

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5373372号
(P5373372)

(45) 発行日 平成25年12月18日 (2013.12.18)

(24) 登録日 平成25年9月27日 (2013.9.27)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 611E

G09G 3/20 612U

G09G 3/20 641E

G09G 3/20 631V

請求項の数 10 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2008-289853 (P2008-289853)
 (22) 出願日 平成20年11月12日 (2008.11.12)
 (65) 公開番号 特開2009-122675 (P2009-122675A)
 (43) 公開日 平成21年6月4日 (2009.6.4)
 審査請求日 平成21年5月12日 (2009.5.12)
 (31) 優先権主張番号 10-2007-0114937
 (32) 優先日 平成19年11月12日 (2007.11.12)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨ
 ウィーテロ 128
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

予め保存された複数の保存映像パターンと、外部から入力された映像データのパターンとを比較し、前記入力された映像データのパターンと最も類似した保存映像パターンを指示するパターン分析信号を出力し、前記パターン分析信号に応答して、液晶表示装置の複数の極性インバージョンパターンをそれぞれ設定する複数の極性インバージョン信号のうち一つを選択して出力する映像分析部と、

前記映像分析部と接続され、前記映像分析部からの映像データのビット数を増加させて出力するビット変換部と、

前記映像分析部と前記ビット変換部とに接続され、前記映像分析部からの前記パターン分析信号によって、前記複数の保存映像パターンにそれぞれ対応して最適化され、予め保存された複数のディザリングパターンセットのうち一つのディザリングパターンセットを選択し、選択されたディザリングパターンセットに基づいて前記ビット変換部からの映像データをディザリングし、ディザリングされた映像データを出力するディザリング部と、

前記ディザリング部からの前記ディザリングされた映像データを、前記映像分析部からの前記極性インバージョン信号によって正極性または負極性を持つ映像信号に変換して、前記液晶表示装置のデータラインに供給するデータドライバーと、を備え、

前記映像分析部に保存された前記複数の保存映像パターンは、相異なる2個の階調が各画素ドット単位で繰返され、前記各画素ドットは3個のサブ画素で構成された、ドットパターンと、相異なる2個の階調が各水平ライン単位で繰返される水平ラインパターンと

10

20

、相異なる 2 個の階調が垂直 2 ドット単位で繰り返され、垂直 2 ドットは垂直方向に接した 2 個の画素ドットで構成された、垂直 2 ドットパターンと、相異なる 2 個の階調が垂直ライン単位で繰り返される垂直ラインパターンと、相異なる 2 個の階調が水平 2 ドット単位で繰り返され、水平 2 ドットは水平方向に接した 2 個の画素ドットで構成された、水平 2 ドットパターンとのうち、少なくとも 2 個を含むことを特徴とする液晶表示装置の駆動装置。

【請求項 2】

前記パターン分析信号が前記垂直 2 ドットパターンを指示すると、前記映像分析部は、前記極性インバージョン信号で水平 2 ドットインバージョン信号を選択して出力し、前記ディザリング部は、ディザリングビットが "1" である垂直方向に接した 2 個の画素と、ディザリングビット "0" である垂直方向に接した 2 個の画素が、水平方向に繰り返すディザリングパターンを含むディザリングパターンセットを選択し、

10

前記パターン分析信号が前記水平 2 ドットパターンを指示すると、前記映像分析部は、前記極性インバージョン信号で垂直 2 ドットインバージョン信号を選択して出力し、前記ディザリング部は、ディザリングビットが "1" である水平方向に接した 2 個の画素と、ディザリングビット "0" である水平方向に接した 2 個の画素が、垂直方向に繰り返すディザリングパターンを含むディザリングパターンセットを選択し、

前記パターン分析信号が前記水平ラインパターンを指示すると、前記映像分析部は、前記極性インバージョン信号で垂直ラインインバージョン信号、または、スクエアインバージョン信号を選択して出力し、前記ディザリング部は、ディザリングビットが "1" である垂直方向に接した 2 個の画素と、ディザリングビット "0" である垂直方向に接した 2 個の画素が、水平方向に繰り返すディザリングパターンと、ディザリングビットが "1" である水平方向に接した 2 個の画素と、ディザリングビット "0" である水平方向に接した 2 個の画素が、垂直方向に繰り返すディザリングパターンとを含むディザリングパターンセットを選択する

20

ことを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 3】

前記映像分析部は、前記入力される映像データのパターンを前記複数の保存映像パターンと順次比較して各同期信号を生成し、生成された各同期信号をカウンティングし、カウンティングされた同期信号が最も多く発生した保存映像パターンを最も類似していると判断し、前記最も類似していると判断された保存映像パターンを指示する前記パターン分析信号を出力することを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

30

【請求項 4】

前記ディザリング部は、前記ビット変換部からビット数が増加して入力された映像データを上位ビットと下位ビットに分割して用いることを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 5】

前記ディザリング部は、

前記映像分析部からの同期信号を用いてフレーム数をカウンティングし、前記ビット変換部からの映像データのフレーム数情報を出力するフレーム判断部と、

40

前記同期信号を用いて前記ビット変換部からの映像データの画素位置を判断し、前記映像データの画素位置情報を出力する画素位置判断部と、

前記複数のディザリングパターンセットを保存したメモリと、

前記パターン分析信号に応答して前記複数のディザリングパターンセットのうち一つのディザリングパターンセットを選択し、前記ビット変換部からの映像データの下位ビットに対応する階調値、前記フレーム数情報及び前記画素位置情報に応答して、前記選択されたディザリングパターンセットから該当のディザリングビットを選択して出力する選択部と、

前記分離された上位ビットと前記選択されたディザリングビットとを加算して出力する加算器と、を備えたことを特徴とする請求項 4 に記載の液晶表示装置の駆動装置。

50

【請求項 6】

予め保存された複数の保存映像パターンと、外部から入力された映像データのパターンとを比較する段階と、

前記複数の保存映像パターンから前記入力された映像データのパターンと最も類似した保存映像パターンを指示するパターン分析信号を出力する段階と；

前記パターン分析信号に応答して、液晶表示装置の複数の極性インバージョンパターンをそれぞれ設定する複数の極性インバージョン信号のうち一つを選択して出力する段階と；

前記入力された映像データのビット数を増加させて出力する段階と；

前記パターン分析信号に応答して、前記複数の保存映像パターンにそれぞれ対応して最適化され、予め保存された複数のディザリングパターンセットのうち一つのディザリングパターンセットを選択する段階と；

前記選択されたディザリングパターンセットを用いて前記ビット数が増加した映像データをディザリングして出力する段階と、

前記ディザリングされた映像データを、前記極性インバージョン信号によって正極性または負極性を持つ映像信号に変換して、前記液晶表示装置のデータラインに供給する段階と；を含み、

前記複数の保存映像パターンは、相異なる 2 個の階調が各画素ドット単位で繰り返され、前記各画素ドットは 3 個のサブ画素で構成された、ドットパターンと、相異なる 2 個の階調が各水平ライン単位で繰り返される水平ラインパターンと、相異なる 2 個の階調が垂直 2 ドット単位で繰り返され、垂直 2 ドットは垂直方向に接した 2 個の画素ドットで構成された、垂直 2 ドットパターンと、相異なる 2 個の階調が垂直ライン単位で繰り返される垂直ラインパターンと、相異なる 2 個の階調が水平 2 ドット単位で繰り返され、水平 2 ドットは水平方向に接した 2 個の画素ドットで構成された、水平 2 ドットパターンとのうち、少なくとも 2 個を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 7】

前記パターン分析信号が前記垂直 2 ドットパターンを指示すると、前記極性インバージョン信号を選択して出力する段階は、水平 2 ドットインバージョン信号を選択して出力し、前記ディザリングパターンセットを選択する段階は、ディザリングビットが"1"である垂直方向に接した 2 個の画素と、ディザリングビット"0"である垂直方向に接した 2 個の画素が、水平方向に繰り返すディザリングパターンを含むディザリングパターンセットを選択し、

前記パターン分析信号が前記水平 2 ドットパターンを指示すると、前記極性インバージョン信号を選択して出力する段階は、垂直 2 ドットインバージョン信号を選択して出力し、前記ディザリングパターンセットを選択する段階は、ディザリングビットが"1"である水平方向に接した 2 個の画素と、ディザリングビット"0"である水平方向に接した 2 個の画素が、垂直方向に繰り返すディザリングパターンを含むディザリングパターンセットを選択し、

前記パターン分析信号が前記水平ラインパターンを指示すると、前記極性インバージョン信号を選択して出力する段階は、垂直ラインインバージョン信号、または、スクエアインバージョン信号を選択して出力し、前記ディザリングパターンセットを選択する段階は、ディザリングビットが"1"である垂直方向に接した 2 個の画素と、ディザリングビット"0"である垂直方向に接した 2 個の画素が、水平方向に繰り返すディザリングパターンと、ディザリングビットが"1"である水平方向に接した 2 個の画素と、ディザリングビット"0"である水平方向に接した 2 個の画素が、垂直方向に繰り返すディザリングパターンとを含むディザリングパターンセットを選択する

ことを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 8】

前記比較する段階及び前記パターン分析信号を出力する段階は、

前記入力される映像データのパターンを前記複数の保存映像パターンと順次比較して各

10

20

30

40

50

同期信号を生成し、生成された各同期信号をカウンティングし、カウンティングされた同期信号が最も多く発生した保存映像パターンを前記最も類似していると判断し、前記最も類似していると判断された保存映像パターンを指示する前記パターン分析信号を出力することを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 9】

前記映像データをディザリングする前に、前記ビット数が増加した映像データを上位ビットと下位ビットに分割する段階と、をさらに含むことを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 10】

前記ディザリングして出力する段階は、

10

同期信号を用いてフレーム数をカウンティングし、前記映像データのフレーム数情報を出力する段階と、

前記同期信号を用いて、前記ビット数が増加した映像データの画素位置を判断し、前記映像データの画素位置情報を出力する段階と、

前記複数のディザリングパターンセットから、前記パターン分析信号に応答して一つのディザリングパターンセットを選択する段階と、

前記ビット数が増加した映像データの下位ビットに対応する階調値、前記フレーム数情報及び前記画素位置情報に応答して、前記選択されたディザリングパターンセットから該当のディザリングビットを選択して出力する段階と、

前記分離された上位ビットと前記選択されたディザリングビットとを加算して出力する段階と、を含むことを特徴とする請求項 9 に記載の液晶表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関するもので、特に、入力される映像データの特性によってフレームレートコントロールパターンを変換し、画質を向上できるようにした液晶表示装置の駆動装置及びその駆動方法に関するものである。

【背景技術】

【0002】

最近、平板表示装置としては、液晶表示装置、電界放出表示装置、プラズマ表示パネル及び発光表示装置などが台頭している。

30

【0003】

これらのうち、液晶表示装置は、電界を用いて液晶の光透過率を調節することで映像を表示するものである。このために、液晶表示装置は、複数の画素セルを有する液晶パネルと、液晶パネルに光を照射するバックライトユニットと、画素セルを駆動するための駆動回路とを備えている。

【0004】

液晶パネルには、複数のゲートラインとデータラインとが交差するように配列され、各ゲートラインとデータラインとが垂直に交差して定義される領域に画素セルが位置する。このような複数の画素セルには、電界を印加するための画素電極及び共通電極がそれぞれ形成される。ここで、各画素電極は、スイッチング素子である薄膜トランジスタ(TFT)と接続され、TFTは、各ゲートラインのスキャンパルスによってターンオンされ、各データラインからのデータ信号が画素電極に充電されるようにする。

40

【0005】

駆動回路は、複数のゲートラインを駆動するためのゲートドライバーと、複数のデータラインを駆動するためのデータドライバーと、ゲートドライバー及びデータドライバーを制御するための制御信号を供給するタイミングコントローラと、液晶パネル及び各ドライバーなどの駆動に必要な駆動電圧を供給する電源供給部とを備えている。

【0006】

上記のような構成を有する液晶表示装置は、表示される映像の階調数を増加させるため

50

に、フレームレート制御 (Frame Rate Control ; FRC) を用いたディザ (Dither) 方法 (以下、FRCディザ方法という。) を使用している。FRCディザ方法は、画面上の画素を一定の大きさのディザブロックに分割し、ブロック内の画素の明るさを調節し、そのブロック内の画素の明るさをフレームごとに異ならせることで、定められた階調の数より多くの階調を表示できるようにする。

【0007】

例えば、一つの画素がR、G、Bデータの組み合わせで18ビットのカラーを表示可能な液晶表示装置でFRCディザ方法を用いる場合、8ビットずつのR、G、Bデータの組み合わせで24ビットのカラーを表示することと類似した効果を得られるようになる。すなわち、FRCディザリング方法を用いた液晶表示装置は、18ビットのR、G、Bデータを入力し、24ビットのR、G、Bデータに対応する階調数を表示できるようになる。

10

【0008】

しかしながら、従来のFRCディザ方法は、液晶表示装置のインバージョン方式や表示される映像の特徴とは関係なしに同一の方法で使用されるので、画質が低下するという問題が発生する。すなわち、ドットインバージョン方式で駆動される液晶表示装置が水平または垂直に一定のパターンを有する映像を表示する場合、特定位置の各画素セルが輝くように見えるフリッカーが発生するようになる。このように、従来のFRCディザ方法は、インバージョン方式や映像の特徴と関係なしに同一の方法で使用されるので、ドットパターン、水平/垂直縞パターンなどの特定のパターンでフリッカー、ノイズ、ダークバーなどが発生し、画質が低下するという問題点がある。

20

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、上記のような問題点を解決するためのもので、その目的は、入力される映像データの特性によってFRCパターンを変換し、画質を向上できるようにした液晶表示装置の駆動装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0010】

上記の目的を達成するための本発明の実施例に係る液晶表示装置の駆動装置は、予め保存された多数の映像パターンと、外部から入力された映像データのパターンとを比較し、前記入力された映像データのパターンと最も類似した保存映像パターンを指示するパターン分析信号を出力する映像分析部と、前記映像分析部と接続され、前記パターン分析信号によってディザリングパターンを選択し、選択されたディザリングパターンに基づいて前記入力映像データをディザリングし、ディザリングされた映像データを出力するディザリング部とを備える。

30

【0011】

前記映像分析部は、前記パターン分析信号に応答して液晶表示装置のインバージョンモードを設定するインバージョンモード信号をさらに出力し、前記インバージョンモード信号を前記液晶表示装置の各データラインを駆動するデータドライバーに供給する。

【0012】

40

前記映像分析部に保存された多数の映像パターンは、ドットパターン、水平ラインパターン、垂直2ドットパターン、垂直ラインパターン、サブ-ドットパターン、水平2ドットパターンのうち何れか一つを含む。

【0013】

前記映像分析部は、外部からの同期信号を用いてフレームまたは水平ライン単位で入力映像データのパターンと前記多数の保存された映像パターンとを比較する。

【0014】

本発明の駆動装置は、前記映像分析部とディザリング部との間に接続され、前記入力データのビット数を増加させるビット変換部をさらに備えており、前記ディザリング部は、前記ビット変換部からビット数が増加して入力されたデータを上位ビットと下位ビットに

50

分割して用いる。

【 0 0 1 5 】

前記ディザリング部は、前記同期信号を用いてフレーム数をカウンティングし、フレーム数情報を出力するフレーム判断部と、前記同期信号を用いて前記ビット変換部からの入力データの画素位置を判断し、画素位置情報を出力する画素位置判断部と、前記入力映像データパターンに対応して最適化された多数のディザリングパターンセットを保存したメモリと、前記パターン分析信号にตอบสนองして前記多数のディザリングパターンセットのうち一つのディザリングパターンセットを選択し、前記入力データの下位ビットに対応する階調値、前記フレーム数情報及び前記画素位置情報にตอบสนองして前記選択されたディザリングパターンセットから該当のディザリングビットを選択して出力する選択部と、前記分離された上位ビットと前記選択されたディザリングビットとを加算して出力する加算器とを備える。

10

【 0 0 1 6 】

本発明に係る液晶表示装置の駆動方法は、予め保存された多数の映像パターンと、外部から入力された映像データのパターンとを比較する段階と、前記多数の保存された映像パターンから前記入力された映像データのパターンと最も類似した保存パターンを指示する映像分析信号を出力する段階と、前記パターン分析信号にตอบสนองしてディザリングパターンを選択する段階と、前記選択されたディザリングパターンを用いて前記入力映像データをディザリングする段階と、前記ディザリングされた映像データを出力する段階とを含む。

【 0 0 1 7 】

20

本発明の駆動方法は、前記パターン分析信号にตอบสนองして前記液晶表示装置のインバージョンモードを設定するためのインバージョンモード信号を出力する段階をさらに含み、前記インバージョンモード信号は、前記液晶表示装置のデータラインを駆動するデータドライバに出力する。

【 0 0 1 8 】

前記比較段階は、外部からの同期信号を用いてフレームまたは水平ライン単位で前記入力映像データのパターンを前記保存された多数の映像パターンと順次的に比較する。

【 0 0 1 9 】

本発明の駆動方法は、前記入力映像データをディザリングする前に、前記入力映像データのビット数を増加させる段階と、前記ビット数が増加した映像データを上位ビットと下位ビットに分割する段階とをさらに含む。

30

【 0 0 2 0 】

前記ディザリング段階は、前記同期信号を用いてフレーム数をカウンティングし、フレーム数情報を出力する段階と、前記同期信号を用いて、前記ビット数が増加した映像データの画素位置を判断し、画素位置情報を出力する段階と、前記入力映像データのパターンによって最適化されて予め保存された多数のディザリングパターンセットから、前記パターン分析信号にตอบสนองして一つのディザリングパターンセットを選択する段階と、前記ビット数が増加した映像データの下位ビットに対応する階調値、前記フレーム数情報及び前記画素位置情報にตอบสนองして前記選択されたディザリングパターンセットから該当のディザリングビットを選択して出力する段階と、前記分離された上位ビットと前記選択されたディザリングビットとを加算して出力する段階とを含む。

40

【 発明の効果 】

【 0 0 2 1 】

本発明の実施例に係る液晶表示装置の駆動装置及びその駆動方法には、次のような効果がある。

【 0 0 2 2 】

本発明に係る液晶表示装置の駆動装置及び駆動方法は、入力される映像データのパターンを分析し、分析された映像パターン、または分析された映像パターン映像及びインバージョンモードによって最適化された多数の F R C ディザリングパターンセットのうち一つのセットを選択し、F R C ディザリング方法を行う。したがって、本発明は、特定の入力

50

映像パターンとFRCディザリングパターンとの干渉を抑制することで、画質を向上させることができる。

【発明を実施するための最良の形態】

【0023】

以下、上記のような特徴を有する本発明の実施例に係る液晶表示装置の駆動装置及びその駆動方法を、添付された図面を参照して一層詳細に説明する。

【0024】

図1は、本発明の実施例に係る液晶表示装置の駆動装置を概略的に示した構成図である。

【0025】

図1に示した液晶表示装置の駆動装置は、複数の画素を備えて形成された液晶パネル2と、外部から入力された映像データRGBのパターンを分析し、分析結果によってインバージョンモード信号nPol及びパターン分析信号Psを出力する映像分析部10と、前記インバージョンモード信号nPolによって複数のデータラインDL1～DLmを駆動するデータドライバー4と、複数のゲートラインGL1～GLnを駆動するゲートドライバー6と、前記パターン分析信号Psによって前記映像データRGBをFRCディザリング処理するFRCディザリング部12と、前記FRCディザリング部12からのデータRo, Go, Boを整列して前記データドライバー4に供給するとともに、ゲート及びデータ制御信号GCS, DCSを生成してデータドライバー4及びゲートドライバー6を制御するタイミングコントローラ8とを備えたことを特徴とする。ここで、FRCディザリング部12は、タイミングコントローラ8に内蔵される。

【0026】

液晶パネル2は、複数のゲートラインGL1～GLn及び複数のデータラインDL1～DLmによって定義される各画素領域に形成された薄膜トランジスタ(TFT)と、TFTと接続された液晶キャパシタClcとを備えている。液晶キャパシタClcは、TFTと接続された画素電極と、画素電極と液晶を挟んで対面する共通電極とを含んで構成される。TFTは、各ゲートラインGL1～GLnからのスキャンパルス、すなわち、ゲートオン信号に応答して、各データラインDL1～DLmからのデータ信号を画素電極に供給する。液晶キャパシタClcは、画素電極に供給されたデータ信号と共通電極に供給された共通電圧との間の差電圧を充電し、その差電圧によって各液晶分子の配列を可変させ、光透過率を調節することで階調を具現する。そして、液晶キャパシタClcにはストレージキャパシタCstが並列に接続され、液晶キャパシタClcに充電された電圧が次のデータ信号の供給時まで維持されるようになる。ストレージキャパシタCstは、画素電極が以前のゲートラインと絶縁膜を挟んで重畳されて形成されるか、画素電極がストレージラインと絶縁膜を挟んで重畳されて形成される。

【0027】

データドライバー4は、タイミングコントローラ8からのデータ制御信号DCS及び映像分析部10からのインバージョンモード信号nPolによって、デジタルデータDataをアナログデータ電圧、すなわち、映像信号に変換する。そして、各ゲートラインGL1～GLnにスキャンパルスが供給される1水平周期ごとに1水平ライン分の映像信号を各データラインDL1～DLmに供給する。すなわち、データドライバー4は、データDataの階調値及びインバージョンモード信号nPolによって所定のレベルを有する正極性または負極性のガンマ電圧を選択し、選択されたガンマ電圧を映像信号として各データラインDL1～DLmに供給する。

【0028】

ゲートドライバー6は、タイミングコントローラ8からのゲート制御信号GCSに応答して、スキャンパルス、例えば、ゲートオン電圧を順次的に発生し、これを各ゲートラインGL1～GLnに順次供給する。

【0029】

映像分析部10は、外部からの各同期信号DCLK, DE, Hsync, Vsyncを

10

20

30

40

50

用いて入力された映像データRGBのパターンを分析し、分析結果によってインバージョンモード信号nPol及びパターン分析信号Psを出力する。すなわち、映像分析部10は、外部からの各同期信号DCLK, DE, Hsync, Vsyncによって入力された映像データRGBのパターンを少なくとも一つのフレーム単位で分析する。例えば、映像分析部10は、水平ライン単位またはフレーム単位で入力される映像のパターンが垂直、水平、1ドット、垂直2ドットまたは水平2ドットなどのパターンのうち何れのパターンと類似しているかを分析し、パターン分析信号PsをFRCディザリング部12に出力する。また、映像分析部10は、分析された映像のパターン、すなわち、パターン分析信号Psによって垂直、水平、1ドット、垂直2ドット、水平2ドットまたはスクエアなどのインバージョン方式を設定するインバージョンモード信号nPolを生成し、これをデータドライバー4に供給する。一方、映像分析部10は、パターン分析信号Psと一緒にインバージョンモード信号nPolをFRCディザリング部12に供給することもできる。

10

【0030】

FRCディザリング部12は、映像分析部10からのパターン分析信号Psによって入力される映像データRGBをFRCディザリング処理し、ディザリングされたデータRo, Go, Boを生成する。具体的に、FRCディザリング部12は、パターン分析信号Psによって画質の不良を最小化できるように多数のFRCディザパターンセットのうち一つのセットを選択する。すなわち、FRCディザリング部12は、パターン分析信号Psによって、特定の映像パターンと特定のFRCディザパターンとの干渉を防止できるように、多数のFRCディザパターンのうち適切な一つのFRCディザパターンセットを選択する。特定の映像パターンと特定のFRCディザパターンとが干渉する場合、特定の映像パターンに対応する画素領域で正極性または負極性の画素数が相対的に増加することで、画質低下が発生する。これを防止するために、FRCディザリング部12は、該当の画素領域で正極または負極性の画素数が互いに類似になるように、映像分析部10で分析された映像パターンに最適化されたFRCディザパターンセットを選択する。そして、FRCディザリング部12は、入力される映像データRGBの一部の下位ビットをFRCディザリング方法、すなわち、選択されたFRCディザパターンを用いて空間及び時間的に分散させ、映像データRGBの輝度を微細に調整する。すなわち、FRCディザリング部12は、映像データRGBの一部の下位ビットを選択されたFRCディザパターンセットを用いて空間及び時間的に分散させる。これによって、FRCディザリング部12は、特定の映像パターンと特定のFRCディザリングパターンとの干渉を防止し、画質低下を最小化することができる。

20

30

【0031】

タイミングコントローラ8は、FRCディザリング部12からのデータRo, Go, Boを液晶パネル2の駆動に適するように整列し、これをデータドライバー4に供給する。また、外部からの各同期信号DCLK, DE, Hsync, Vsyncを用いてゲート制御信号GCS及びデータ制御信号DCSを生成し、データドライバー4及びゲートドライバー6をそれぞれ制御する。

【0032】

図2は、図1に示した映像分析部及びFRCディザリング部を示した構成図である。そして、図3は、図2の映像分析部で分析される各パターンを示した図である。

40

【0033】

図2に示した映像分析部10は、外部から入力された各同期信号DCLK, DE, Hsync, Vsyncによって少なくとも一つのフレーム単位で映像データRGBのパターンを分析し、分析された結果によってパターン分析信号Ps及びインバージョンモード信号nPolを出力する。

【0034】

映像分析部10は、外部から入力される各同期信号DCLK, DE, Hsync, Vsyncのうち少なくとも一つの信号を用いて入力される映像データRGBのパターンを水平ラインまたはフレーム単位で複数の分析パターンと順次比較する。具体的に、パターン

50

分析部 1 1 1 は、少なくとも一つのメモリ及び比較回路を備えており、各メモリに保存された各分析パターンを入力される映像データ R G B と比較するようになる。ここで、少なくとも一つのメモリには、図 3 に示すように、ドットパターン、水平 / 垂直ラインパターン、垂直 2 ドットパターン、サブドット画素パターン、水平 2 ドットパターンなどが保存される。したがって、パターン分析部 1 1 1 は、入力される映像データ R G B のパターンを複数の分析パターンと順次的に比較し、各同期信号を生成する。そして、生成された各同期信号をカウンティングし、最も類似していると判断された分析パターン、すなわち、同期信号が最も多く発生した分析パターンによってパターン分析信号 P s を出力することができる。例えば、映像分析部 1 0 が少なくとも一つのフレーム単位で入力された映像データ R G B のパターンを複数の分析パターンと順次的に比較した結果、垂直 2 ドットパターンとの比較時に同期信号が最も多く発生した場合、これに対応する 3 ビットのパターン分析信号 P s を生成するようになる。そして、3 ビットのパターン分析信号 P s、例えば、" 0 1 1 " 信号を F R C デザリング部 1 2 に供給する。

10

【 0 0 3 5 】

また、映像分析部 1 0 は、パターン分析信号 P s に対応して画質の不良を最小化できるインバージョンモード信号 n P o l を選択して出力する。ここで、パターン分析信号 P s に対応するインバージョンモード信号 n P o l は、設計者によって予め設定される。すなわち、パターン分析信号 P s が " 0 1 1 " で垂直 2 ドットパターンを指示すると、映像分析部 1 0 は、水平 2 ドットインバージョン方式で液晶表示装置を駆動するようにインバージョンモード信号 n P o l を生成することもできる。また、パターン分析信号 P s が " 0 0 1 " で水平ラインパターンを指示すると、映像分析部 1 0 は、垂直ラインインバージョン方式で液晶表示装置を駆動するようにインバージョンモード信号 n P o l を生成することもできる。このように、映像分析部 1 0 は、少なくとも一つのフレーム単位で入力されるパターン分析信号 P s によって垂直、水平、1 ドット、垂直 2 ドット、水平 2 ドットまたはスクエア (s q u a r e) などのインバージョン方式を設定するインバージョンモード信号 n P o l を生成し、これをデータドライバー 4 に供給するようになる。例えば、パターン分析信号 P s が垂直 2 ドットパターンを指示すると、水平 2 ドットインバージョンモードを指示するインバージョンモード信号 n P o l が設定され、水平 2 ドットパターンを指示すると、垂直 2 ドットインバージョンモードを指示するインバージョンモード信号 n P o l が設定され、水平ラインパターンを指示すると、スクエアインバージョンモードを指示するインバージョンモード信号 n P o l が設定されてデータドライバー 4 に供給される。一方、映像分析部 1 0 は、パターン分析信号 P s と一緒にインバージョンモード信号 n P o l を F R C デザリング部 1 2 に供給することができる。

20

30

【 0 0 3 6 】

本発明の液晶表示装置は、映像分析部 1 0 と F R C デザリング部 1 2 との間に接続され、入力される映像データ R G B のビット数を変換するビット変換部 1 2 0 を追加的に備える。ビット変換部 1 2 0 は、映像分析部 1 0 からの入力映像データ R G B のビット数を増加させ、ビット数が増加した映像データ R c , G c , B c を F R C デザリング部 1 2 に供給する。

【 0 0 3 7 】

ビット変換部 1 2 0 は、ルックアップテーブルを保存した少なくとも一つのメモリを備えており、ルックアップテーブルを用いて、入力される映像データ R G B に対応してビット数が増加した映像データ R c , G c , B c を選択して出力する。具体的に、ビット変換部 1 2 0 は、R、G、B の各映像データ R G B が 8 ビットで入力される場合、これに対応する 9 ビットの R、G、B 映像データ R c , G c , B c を出力するようになる。このとき、変換された映像データ R c , G c , B c は、入力された映像データ R G B の最下位ビットに 1 ビット、すなわち、" 0 " または " 1 " が追加されたデータである。

40

【 0 0 3 8 】

F R C デザリング部 1 2 は、フレーム数をカウンティングしてフレーム数情報を出力するフレーム判断部 2 0 2 と、ビット変換部 1 2 0 からの映像データ R c , G c , B c の

50

画素位置を感知する画素位置判断部 204 と、多数の FRC デザリングパターンセットを保存するメモリ 210 と、映像分析部 10 からのパターン分析信号 P s に応答して多数の FRC デザリングパターンセットのうち一つのセットを選択し、ビット変換部 120 からの映像データ R c , G c , B c の一部の低位ビットに該当する階調値、フレーム判断部 202 から入力されたフレーム数情報及び画素位置判断部 204 から入力された画素位置情報を用いて、選択された FRC デザリングパターンセットから該当のディザ値 D r , D g , D b を選択して出力する選択部 206 と、ビット変換部 120 からのデータ R c , G c , B c から分離された一部の上位ビットと選択部 206 で選択されたディザ値 D r , D g , D b とをそれぞれ加算して出力する加算器 208 とを備えている。ここで、ビット変換部 120 からの映像データ R c , G c , B c は、上位 6 ビット及び下位 3 ビットがそれぞれ分離され、上位 6 ビットは加算器 208 に供給され、下位 3 ビットは選択部 206 に供給される。

10

【0039】

フレーム判断部 202 は、映像分析部 10 から入力された同期信号 V s y n c , H s y n c , D E , D C L K のうち垂直同期信号 V s y n c をカウンティングしてフレーム数をカウンティングし、カウンティングされたフレーム数情報を選択部 206 に出力する。

【0040】

画素位置判断部 204 は、上記の同期信号 V s y n c , H s y n c , D E , D C L K のうち少なくとも一つを用いて、ビット変換部 120 からの入力データ R c , G c , B c の画素位置を感知する。例えば、データイネーブル信号 D E のイネーブル期間にドットクロック D C L K をカウンティングすることで、入力データ R c , G c , B c の画素横位置を感知し、垂直同期信号 V s y n c 及びデータイネーブル信号 D E が同時にイネーブルされた期間で水平同期信号 H s y n c をカウンティングすることで、入力データ R c , G c , B c の画素縦位置を感知し、感知された画素位置情報を選択部 206 に出力する。

20

【0041】

メモリ 210 は、多数の入力映像パターンの特性によって最適化されて予め設定された多数の FRC デザリングパターンセットを保存する。例えば、メモリ 210 は、図 4 乃至図 6 に示すように、入力映像パターンの特性によって第 1 乃至第 3 FRC デザリングパターンセットを保存する。

【0042】

30

図 4 乃至図 6 に示した第 1 乃至第 3 FRC デザリングパターンセットは、 4×4 の画素大きさを有し、0、 $1/8$ 、 $2/8$ 、 $3/8$ 、 $4/8$ 、 $5/8$ 、 $6/8$ 、 $7/8$ 、1 の階調値によってディザリングビットが "1" (黒色) である画素数が漸進的に増加するように配列された多数のディザリングパターンをルック-アップテーブル形態で保存している (1 の階調値を有するディザリングパターンは図示せず)。 4×4 の画素大きさのディザリングパターンにおける各画素は、"1" (黒色) または "0" のディザリングビットを有するようになり、階調値は、ディザリングビットが "1" である画素数に比例して決定される。また、図 4 乃至図 6 に示した第 1 乃至第 3 FRC デザリングパターンセットは、同一の階調値に対しても、ディザリングビットが "1" である各画素の位置がフレーム別に異なる、すなわち、複数のフレーム F r a m e 1 ~ F r a m e 4 で "1" の画素位置が異なる多数のディザリングパターンを含む。すなわち、図 4 乃至図 6 に示した第 1 乃至第 3 FRC デザリングパターンセットは、階調別及びフレーム別に互いに異なるディザリングパターンを含む。ディザリングパターンの 4×4 の画素大きさ及び各ディザリングパターンでの "1" の位置は、設計者の必要によって多様に変化される。ここで、"e" 列は、偶数番目の画素列を示し、"o" 列は、奇数番目の画素列を示す。このような第 1 乃至第 3 FRC デザリングパターンセットによって入力データ R c , G c , B c が空間的及び時間的に分散されるので、入力映像の特性に合わせて輝度が微細に調整される。

40

【0043】

選択部 206 は、パターン分析信号 P s に応答してメモリ 210 に保存された多数の FRC デザリングパターンセットのうち該当のセットを選択し、選択された FRC デザ

50

リングパターンセットから、各入力データ R_c , G_c , B_c の一部の下位ビット、例えば、下位3ビット、フレーム判断部202からのフレーム数情報及び画素位置判断部204からの画素位置情報に应答して該当のディザリングビット D_r , D_g , D_b をそれぞれ選択して出力する。選択部206は、パターン分析信号 P_s によって該当のFRCディザリングパターンセットを選択する。例えば、パターン分析信号 P_s が垂直2ドットパターンを指示する"011"で入力されると、選択部206は、図4に示した第1FRCディザリングパターンセットを選択する。パターン分析信号 P_s が水平2ドットパターンを指示する"101"で入力されると、選択部206は、図5に示した第2FRCディザリングパターンセットを選択する。パターン分析信号 P_s が水平ラインパターンを指示する"001"で入力されると、選択部206は、図6に示した第3FRCディザリングパターンセットを選択する。その次に、選択部206は、入力データ R_c , G_c , B_c の下位ビット、フレーム判断部202からのフレーム数情報及び画素位置判断部204からの画素位置に应答して、選択されたFRCディザリングパターンセットから該当のディザリングビット D_r , D_g , D_b をそれぞれ選択して加算器208に出力する。ビット変換部120からの入力データ R_c , G_c , B_c が9ビットで構成された場合、選択部206は、前記各9ビットデータのうち下位3ビットを用いてディザリングビット D_r , D_g , D_b を選択し、残りの上位6ビットは加算器208に供給する。

【0044】

加算器208は、入力データ R_c , G_c , B_c で下位3ビットと分離された上位6ビットと、選択部206で選択されたディザリングビット D_r , D_g , D_b とをそれぞれ加算し、加算された6ビット大きさの出力データ R_o , G_o , B_o をタイミングコントローラ8に供給する。

【0045】

上記のように、FRCディザリング部12は、映像分析部10からのパターン分析信号 P_s によって入力映像パターンに適したFRCディザリングパターンセットを選択し、選択されたFRCディザリングパターンセットを用いて各入力データ R_c , G_c , B_c の下位ビットを時間的及び空間的に分散させることで、輝度を微細に調整する。したがって、FRCディザリング部12は、FRCディザリング方法によって入力データ R_c , G_c , B_c よりビット数が減少した出力データ R_o , G_o , B_o をタイミングコントローラ8に供給する。その結果、FRCディザリング部12は、入力映像パターンによって互いに異なるFRCディザリングパターンセットを用いて特定の映像パターンと特定のFRCパターンとの干渉を防止ないしは軽減することで、画質不良を最小化することができる。

【0046】

一方、FRCディザリング部12は、映像分析部10からの映像分析信号 P_s と一緒にインバージョンモード信号 $nPol$ に应答して該当のFRCディザリングパターンセットを選択することができる。

【0047】

以上説明した内容を通して、当業者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることを理解するであろう。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものでなく、特許請求の範囲によって定められるべきである。

【図面の簡単な説明】

【0048】

【図1】本発明の実施例に係る液晶表示装置の駆動装置を概略的に示した構成図である。

【図2】図1に示した映像分析部及びFRCディザリング部を示した構成図である。

【図3】図2の映像分析部で分析される各映像パターンを示した図である。

【図4】図2に示したメモリに保存された第1FRCディザリングセットを示した図である。

【図5】図2に示したメモリに保存された第2FRCディザリングセットを示した図である。

10

20

30

40

50

【図 6】図 2 に示したメモリに保存された第 3 F R C ディザリングセットを示した図である。

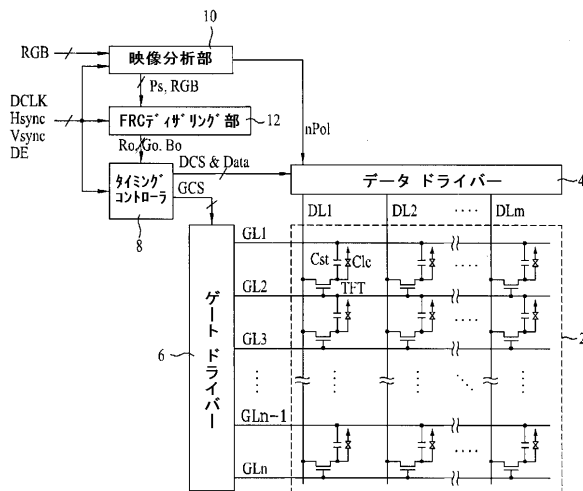
【符号の説明】

【 0 0 4 9 】

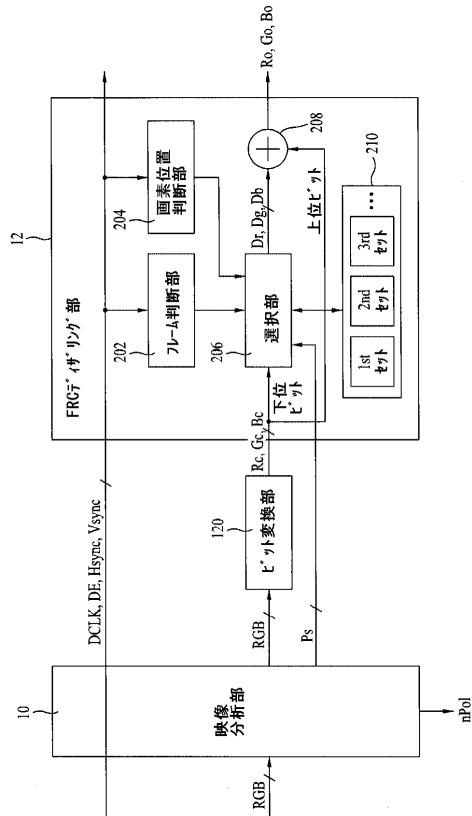
- 2 液晶パネル
- 4 データドライバー
- 6 ゲートドライバー
- 8 タイミングコントローラ
- 10 映像分析部
- 12 FRC ディザリング部
- 120 ビット変換部
- 202 フレーム判断部
- 204 画素位置判断部
- 206 選択部
- 208 加算器

10

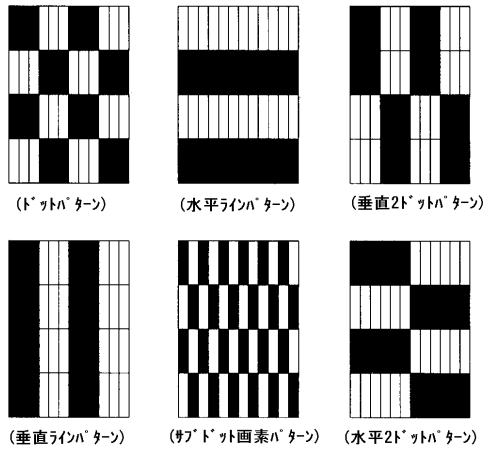
【図 1】



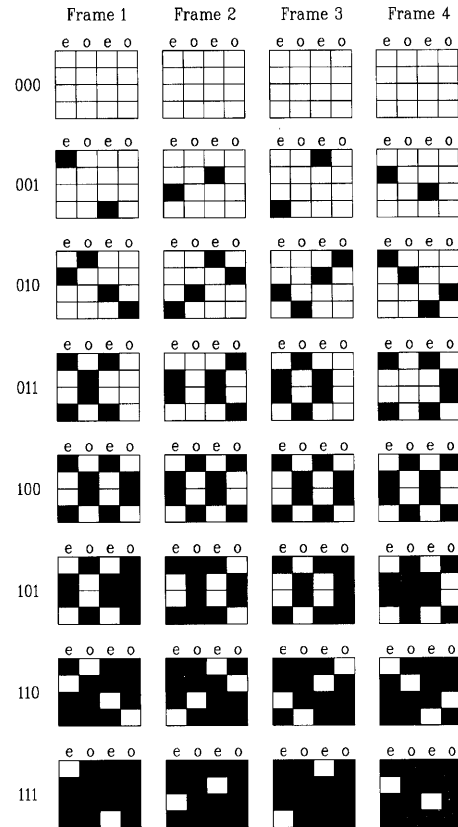
【図 2】



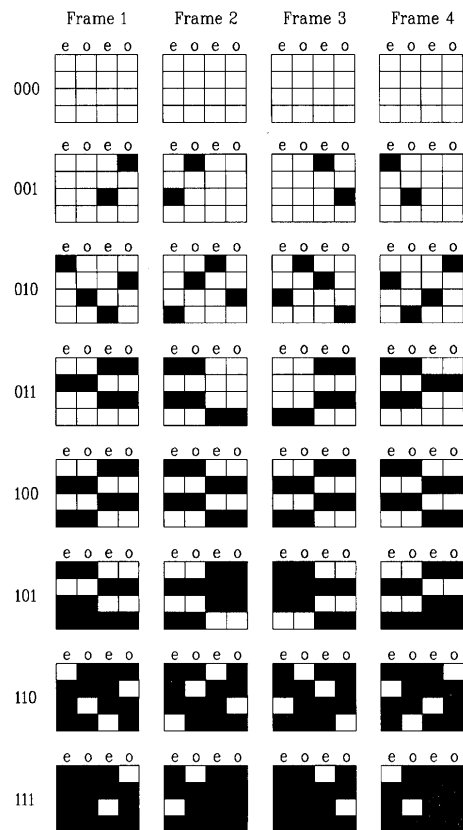
【図 3】



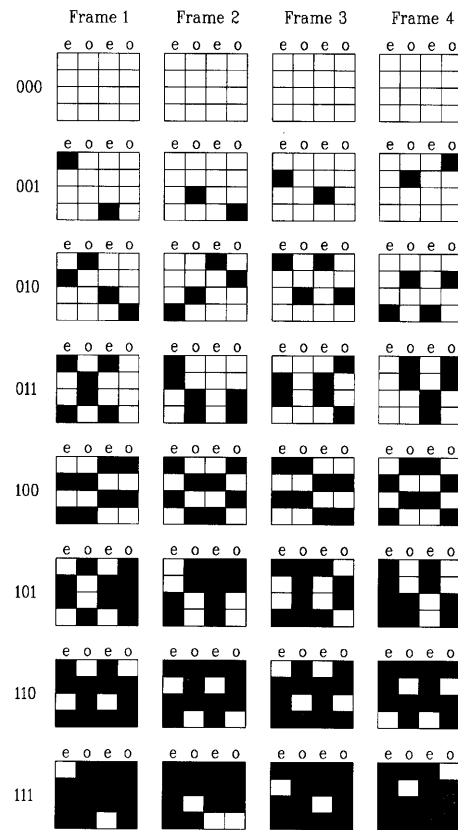
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 3 2 C
G 0 2 F	1/133	5 7 5

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 李 相 勳

大韓民国 大邱廣域市 北區 太田洞 9 3 6 - 1 番地 (9 / 1) 韓信 周公 アパートメン
ト 2 0 4 - 3 0 1

(72)発明者 金 花 英

大韓民国 京畿道 水原市 長安區 亭子洞 2 9 - 1 番地 新美州 アパートメント 1 0 0 2

審査官 西島 篤宏

(56)参考文献 特開平 1 0 - 1 1 6 0 5 5 (J P , A)

特開 2 0 0 4 - 3 0 2 0 2 3 (J P , A)

特開平 1 1 - 0 9 5 7 2 5 (J P , A)

特開平 0 8 - 0 6 9 2 6 4 (J P , A)

特開平 0 8 - 2 0 2 3 1 7 (J P , A)

特開 2 0 0 5 - 2 4 2 3 5 9 (J P , A)

特開 2 0 0 3 - 2 9 5 1 6 0 (J P , A)

特開 2 0 0 0 - 0 5 6 7 2 6 (J P , A)

特開平 1 1 - 1 1 9 7 4 0 (J P , A)

特開平 0 7 - 1 3 4 2 8 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置的驱动装置及其驱动方法		
公开(公告)号	JP5373372B2	公开(公告)日	2013-12-18
申请号	JP2008289853	申请日	2008-11-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	李相勳 金花英		
发明人	李 相 勳 金 花 英		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/2018 G09G3/2055 G09G2320/0233 G09G2320/0247 G09G2360/16		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.612.U G09G3/20.641.E G09G3/20.631.V G09G3/20.621.B G09G3/20.632.C G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA34 2H093/NA54 2H093/NA55 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC27 2H093/NC28 2H093/NC34 2H093/NC35 2H093/ND06 2H093/ND10 2H093/ND60 2H193/ZA04 2H193/ZA06 2H193/ZA07 2H193/ZC14 2H193/ZC20 2H193/ZD24 2H193/ZD25 2H193/ZF12 2H193/ZF22 2H193/ZF36 5C006/AA14 5C006/AC27 5C006/AC28 5C006/AF12 5C006/AF13 5C006/AF42 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF84 5C006/BB16 5C006/BF28 5C006/FA23 5C006/FA25 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD10 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020070114937 2007-11-12 KR		
其他公开文献	JP2009122675A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的装置和方法，该装置和方法被构造使得基于输入图像数据的特性来转换FRC图案以改善图像质量。解决方案：用于驱动液晶显示装置的装置包括：图像分析器，被配置为将外部输入图像数据的图案与多个预先存储的图像数据图案进行比较，并输出指示存储的图案的图案分析信号。与输入图像数据的模式最相似的图像数据；抖动单元连接到图像分析器并且被配置为基于图案分析信号选择抖动图案，基于所选择的抖动图案抖动输入图像数据，并输出抖动处理的图像数据。

【图 2】

