

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4893879号
(P4893879)

(45) 発行日 平成24年3月7日(2012.3.7)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl.	F I
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO1R 31/28 (2006.01)	GO1R 31/28 U
GO2F 1/13 (2006.01)	GO2F 1/13 101
GO2F 1/133 (2006.01)	GO2F 1/133 505
GO9F 9/00 (2006.01)	GO9F 9/00 352

請求項の数 4 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2004-235106 (P2004-235106)	(73) 特許権者	503447036
(22) 出願日	平成16年8月12日 (2004.8.12)		サムスン エレクトロニクス カンパニー リミテッド
(65) 公開番号	特開2005-62876 (P2005-62876A)		大韓民国キョンギード, スウォン-シ, ヨ ントン-ク, マエタン-ド 416
(43) 公開日	平成17年3月10日 (2005.3.10)	(74) 代理人	110000051
審査請求日	平成19年7月30日 (2007.7.30)		特許業務法人共生国際特許事務所
(31) 優先権主張番号	2003-057296	(72) 発明者	張 鐘 雄
(32) 優先日	平成15年8月19日 (2003.8.19)		大韓民国京畿道水原市長安区亭子2洞36 -21番地
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 東 奎
			大韓民国京畿道龍仁市水枝邑豊徳川里11 67番地523棟1305号
		審査官	瀬川 勝久
			最終頁に続く

(54) 【発明の名称】 液晶表示板アセンブリ及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数のゲート線と、
前記ゲート線と交差する複数のデータ線と、
前記ゲート線のうちの1つと前記データ線のうちの1つに各々接続されている複数のスイッチング素子と、
前記スイッチング素子に接続されている画素電極と、
外部から複数の駆動信号を受信する複数の駆動信号線と、
前記複数の駆動信号線から伝達された前記複数の駆動信号に基づいて、ゲート信号を前記スイッチング素子に出力するゲート駆動部とを有し、
前記駆動信号線は、外部から検査信号を受信する検査パッドを各々含み、
前記検査パッドは、外部装置が付着される部分に配置され、
前記複数の駆動信号線は、ゲートオフ電圧、第1クロック信号及び第2クロック信号、及び垂直同期開始信号を受信し、
前記第1クロック信号と第2クロック信号の位相が逆であり、
前記複数の駆動信号線は、少なくとも3つの駆動信号線を含み、これらの駆動信号線の内の2つの駆動信号線は、1つの検査パッドに接続され、
前記2つの駆動信号線は、前記ゲートオフ電圧及び前記垂直同期開始信号を受信することを特徴とする液晶表示板アセンブリ。

【請求項2】

10

20

前記ゲート駆動部は、複数のシフトレジスタを含むことを特徴とする請求項 1 に記載の液晶表示板アセンブリ。

【請求項 3】

複数のゲート線と、前記ゲート線と交差する複数のデータ線と、前記ゲート線のうちの 1 つと前記データ線のうちの 1 つに各々接続されている複数のスイッチング素子と、スイッチング素子を各々含む複数の画素と、外部から複数の駆動信号を受信する複数の駆動信号線とを備えた液晶表示板アセンブリと、

外部からの映像信号を出力し、前記複数の駆動信号を前記複数の駆動信号線に伝達する信号制御部と、

前記信号制御部からの複数の駆動信号に基づいて、ゲート信号を前記スイッチング素子に出力するゲート駆動部と、

前記映像信号に該当する階調電圧をデータ電圧として、前記画素に印加するデータ駆動部とを有し、

前記駆動信号線は、外部からの検査信号を受信する検査パッドを各々含み、

前記検査パッドは、外部装置が前記液晶表示板アセンブリに付着される部分に配置され、

前記複数の駆動信号線は、ゲートオフ電圧、第 1 クロック信号及び第 2 クロック信号、及び垂直同期開始信号を受信し、

前記第 1 クロック信号と第 2 クロック信号の位相が逆であり、

前記複数の駆動信号線は、少なくとも 3 つの駆動信号線を含み、これらの駆動信号線の内の 2 つの駆動信号線は、1 つの検査パッドに接続され、

前記 2 つの駆動信号線は、前記ゲートオフ電圧及び前記垂直同期開始信号を受信することを特徴とする液晶表示装置。

【請求項 4】

前記ゲート駆動部は、複数のシフトレジスタを含むことを特徴とする請求項 3 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示板アセンブリ及び液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、携帯が簡便なフラットパネル（平板）表示装置（flat panel display、FPD）の代表的なものである。

一般的な液晶表示装置は、2 つの表示板とその間に注入されている誘電率異方性を有する液晶層を含む。液晶層に電場を印加し、この電場の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。このような液晶表示装置は、携帯が簡便なフラットパネル表示装置の代表的なものであって、この中でも薄膜トランジスタ（TFT）をスイッチング素子に利用した TFT-LCD が主に利用されている。

TFT-LCD は、行列状に配列されてスイッチング素子を含む複数の画素を有している。各画素は、スイッチング素子を通じて映像信号に該当するデータ電圧を選択的に受け入れる。TFT-LCD は、スイッチング素子に接続された複数のゲート線と複数のデータ線を含み、各ゲート線は、スイッチング素子を各々ターンオンさせるゲートオン電圧を伝達し、各データ線は、ターンオンされたスイッチング素子を通じて、各画素にデータ電圧を伝達する。

【0003】

このような TFT-LCD はまた、ゲート線にゲートオン電圧を印加するゲート駆動部、データ線に画像信号を印加するデータ駆動部、及びこれらを制御する信号制御部を含む。

ゲート駆動部は、信号制御部からの垂直同期開始信号によってゲートオン電圧の出力を

開始し、一列に配列されたゲート線に順にゲートオン電圧を印加する。

【 0 0 0 4 】

近年、有効画面を拡張させ、画面の額縁の面積を縮小するスリムベゼル (narrow bezel) の要求及びコスト節減のために、ゲート駆動部をスイッチング素子形成時に一緒に形成して、同一の基板上に集積している (gate ICless: G I L 構造)。これを実現するために、非晶質 T F T からなるゲート駆動部を、回路的に単純化する必要がある。

このようなゲート駆動部は、複数のシフトレジスタで構成され、各シフトレジスタは、複数のトランジスタで構成されている。

【 0 0 0 5 】

一方、作製された液晶表示装置の動作を検査するために、ゲート線とデータ線の動作状態などを検査する V I (visual inspection) 検査が行われている。G I L 構造の場合、ゲート線の断線などを検査するために別途の検査パッドが設置され、この検査パッドを通じてゲート駆動部の動作に必要な全てのゲート駆動信号を入力パッドに印加する。

したがって、同一の状態のゲート駆動信号がゲート駆動部のシフトレジスタに印加され、データ線に予めラッチされたデータ電圧が画素に印加され、当該ゲート線の断線状態や画素の正常動作状態などを検査する。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

ところが、1つの検査線を通じて同一の状態のゲート駆動信号が全てのシフトレジスタに印加されるため、シフトレジスタ内に具備された複数のトランジスタ中のいくつかのトランジスタだけでも正常に動作すれば、ターンオン状態に変わり、当該シフトレジスタに接続されたゲート線にゲートオン電圧が印加される。したがって、シフトレジスタが非正常状態であっても、正常のゲート駆動信号が出力されるので、非正常のシフトレジスタを検出することができない。

そして、1つの検査信号を利用した 1 G 検査方式であるため、シフトレジスタから正常にゲートオン信号が出力されれば、全てのゲート線にゲートオン信号が印加されてしまい、個別的なゲート線の検査動作が行われず、また隣り合うゲート線が互いにショートされている場合にも、それが検出できないという問題がある。

【 0 0 0 7 】

本発明の目的は、ゲート線のみでなく、ゲート線に接続されているシフトレジスタの状態も検査できるようにすることである。本発明の他の目的は、ゲート線を個別的に検査し、隣り合うゲート線間のショート状態も検査できるようにすることである。

【 課題を解決するための手段 】

【 0 0 0 8 】

上記目的を達成するためになされた本発明による液晶表示板アセンブリは、複数のゲート線と、前記ゲート線と交差する複数のデータ線と、前記ゲート線のうちの1つと前記データ線のうちの1つに各々接続されている複数のスイッチング素子と、前記スイッチング素子に接続されている画素電極と、外部から複数の駆動信号を受信する複数の駆動信号線と、前記複数の駆動信号線から伝達された前記複数の駆動信号に基づいて、ゲート信号を前記スイッチング素子に出力するゲート駆動部とを有し、前記駆動信号線は、外部から検査信号を受信する検査パッドを各々含み、前記検査パッドは、外部装置が付着される部分に配置され、前記複数の駆動信号線は、ゲートオフ電圧、第1クロック信号及び第2クロック信号、及び垂直同期開始信号を受信し、前記第1クロック信号と第2クロック信号の位相が逆であり、前記複数の駆動信号線は、少なくとも3つの駆動信号線を含み、これらの駆動信号線の内の2つの駆動信号線は、1つの検査パッドに接続され、前記2つの駆動信号線は、前記ゲートオフ電圧及び前記垂直同期開始信号を受信することを特徴とする。

【 0 0 0 9 】

上記目的を達成するためになされた本発明による液晶表示装置は、複数のゲート線と、前記ゲート線と交差する複数のデータ線と、前記ゲート線のうちの1つと前記データ線の

10

20

30

40

50

うちの1つに各々接続されている複数のスイッチング素子と、スイッチング素子を各々含む複数の画素と、外部から複数の駆動信号を受信する複数の駆動信号線とを備えた液晶表示板アセンブリと、外部からの映像信号を出力し、前記複数の駆動信号を前記複数の駆動信号線に伝達する信号制御部と、前記信号制御部からの複数の駆動信号に基づいて、ゲート信号を前記スイッチング素子に出力するゲート駆動部と、前記映像信号に該当する階調電圧をデータ電圧として、前記画素に印加するデータ駆動部とを有し、前記駆動信号線は、外部からの検査信号を受信する検査パッドを各々含み、前記検査パッドは、外部装置が前記液晶表示板アセンブリに付着される部分に配置され、前記複数の駆動信号線は、ゲートオフ電圧、第1クロック信号及び第2クロック信号、及び垂直同期開始信号を受信し、前記第1クロック信号と第2クロック信号の位相が逆であり、前記複数の駆動信号線は、少なくとも3つの駆動信号線を含み、これらの駆動信号線の内の2つの駆動信号線は、1つの検査パッドに接続され、前記2つの駆動信号線は、前記ゲートオフ電圧及び前記垂直同期開始信号を受信することを特徴とする。

10

【0010】

前記ゲート駆動部は、複数のシフトレジスタを含むのが好ましい。

【発明の効果】

【0011】

ゲート駆動部が複数のシフトレジスタからなる液晶表示装置で、1つの検査パッドを利用してゲート駆動信号線に全て同一形態の検査信号を印加する代わりに、ゲート駆動信号線の各々に液晶表示装置の実際動作時と同様の波形の検査信号を印加して各ゲート線の状態などを検査するため、ゲート線の状態だけでなく、各シフトレジスタの動作状態も正確に検査できる。また、ゲート線が順に検査され、隣り合うゲート線に印加される信号の状態が異なっているため、隣り合うゲート線間のショート状態の有無も検査できる。さらに、別途の検査パッドを追加することなく、液晶表示板アセンブリに形成されている余分のダミーパッドなどを利用するので経済的である。

20

【発明を実施するための最良の形態】

【0012】

添付した図面を参照して、本発明の実施例に対して本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように、本発明を詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施例に限定されない。

30

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一な符号を付けている。層、膜、領域、板などの部分が他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時、これは中間に他の部分がない場合を意味する。

【0013】

以下、本発明の実施例による液晶表示装置について図面を参考にして詳細に説明する。

図1は、本発明の一実施例による液晶表示装置の概念図であり、図2は、本発明の一実施例による液晶表示装置の一画素の等価回路図である。

40

図1に示したように、本発明の一実施例による液晶表示装置は、液晶表示板アセンブリ300及びこれに接続されたゲート駆動部400、データ駆動部500、データ駆動部500に接続された階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0014】

液晶表示板アセンブリ300は、等価回路から見れば、複数の表示信号線 G_1 - G_n 、 D_1 - D_m と、これに接続されて行列状に配列された複数の画素を含む。

表示信号線 G_1 - G_n 、 D_1 - D_m は、ゲート信号(走査信号ともいう)を伝達する複数のゲート線 G_1 - G_n と、データ信号を伝達するデータ信号線(すなわちデータ線) D_1 - D_m を含む。

50

ゲート線 G_1 - G_n は、行方向にのびて互いにほぼ平行であり、データ線 D_1 - D_m は列方向にのびて互いにほぼ平行である。

各画素は、表示信号線 G_1 - G_n 、 D_1 - D_m に接続されたスイッチング素子 Q と、これに接続された液晶キャパシタ C_{LC} 及び維持（保持）キャパシタ C_{ST} を含む。維持キャパシタ C_{ST} は必要に応じて省略できる。

スイッチング素子 Q は、下部表示板100に備えられている三端子素子であり、その制御端子及び入力端子は、各々ゲート線 G_1 - G_n 及びデータ線 D_1 - D_m に接続されており、出力端子は、液晶キャパシタ C_{LC} 及び維持キャパシタ C_{ST} に接続されている。

【0015】

液晶キャパシタ C_{LC} は、下部表示板100の画素電極190と上部表示板200の共通電極270が2つの端子となり、2つの電極190、270間の液晶層3は誘電体として機能する。画素電極190は、スイッチング素子 Q に接続され、共通電極270は、上部表示板200の全面に形成されて共通電圧 V_{com} の印加を受ける。図2とは異なり、共通電極270が下部表示板100に具備される場合もあり、この時には2つの電極190、270が全て線状または棒状に形成される。

維持キャパシタ C_{ST} は、下部表示板100に具備された別個の信号線（図示せず）と画素電極190が重なって形成され、この別個の信号線には、共通電圧 V_{com} などの決められた電圧が印加される。しかし、維持キャパシタ C_{ST} は、画素電極190が絶縁体を介してすぐ上の前段ゲート線と重なって形成される。

【0016】

一方、色表示を実現するために各画素が色相を表示しなければならないが、これは画素電極190に対応する領域に、赤色、緑色、及び青色の色フィルタ230を備えることによって可能である。図2で、色フィルタ230は、上部表示板200の該当領域に形成されているが、これとは異なって下部表示板100の画素電極190上や下に形成することもできる。

液晶表示板アセンブリ300の2つの表示板100、200のうちの少なくとも1つの外側面には、光を偏光させる偏光子（図示せず）が付着されている。

階調電圧生成部800は、画素の透過率に係る2組の複数階調電圧を生成する。そのうち1組は共通電圧 V_{com} に対し正の値を有しており、もう1組は負の値を有する。

【0017】

ゲート駆動部400は、液晶表示板アセンブリ300のゲート線 G_1 - G_n に接続され、外部からのゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} の組み合わせからなるゲート信号をゲート線 G_1 - G_n に印加する。

データ駆動部500は、液晶表示板アセンブリ300のデータ線 D_1 - D_m に接続され、階調電圧生成部800からの階調電圧を選択してデータ信号として画素に印加し、通常、複数の集積回路で構成される。

信号制御部600は、ゲート駆動部400及びデータ駆動部500などの動作を制御する制御信号を生成し、各該当する制御信号をゲート駆動部400及びデータ駆動部500に提供する。

【0018】

以下、図3を参照して、本発明の一実施例による液晶表示装置の構造を詳細に説明する。

図3は、本発明の一実施例による液晶表示装置の概略的な配置図である。

図3に示したように、ゲート線 G_1 - G_n とデータ線 D_1 - D_m が具備された液晶表示板アセンブリ300の上側には、液晶表示装置を駆動するための信号制御部600及び階調電圧生成部800などの回路要素が具備されている印刷回路基板（PCB）550が位置している。液晶表示板アセンブリ300とPCB550は、可撓性回路（FPC）基板511～513を通じて、互いに電氣的、物理的に接続されている。

【0019】

最も左側に位置したFPC基板511には、複数の駆動信号線521が形成されている

10

20

30

40

50

。複数の駆動信号線521は、ゲート駆動部400の動作に必要な駆動信号、即ち、図4に示すように、ゲートオフ電圧Voff、第1クロック信号CKV、第2クロック信号CKVB、垂直同期開始信号STVを液晶表示板アセンブリ300に形成された駆動信号線321を通じて、シフトレジスタ440に伝達する。

2番目に位置したFPC基板512には、複数のデータ伝達線522と駆動信号線523が形成されている。データ伝達線522は、アセンブリ300に形成されたリード線322を通じて、データ駆動IC540の入力端子と接続され階調信号を伝達する。駆動信号線523は、駆動IC540の動作に必要な電源電圧と制御信号などを液晶表示板アセンブリ300に形成された駆動信号線323を通じて、各駆動IC540に伝達する。

【0020】

その他のFPC基板513には、これと接続されたデータ駆動IC540に駆動信号及び制御信号を伝達するための複数の駆動信号線523が形成されている。

これらの信号線521～523は、PCB550の回路要素と接続され、そこから信号を受ける。一方、駆動信号線523を別のFPC基板に形成することもできる。

図3のように、液晶表示板アセンブリ300に具備された横方向のゲート線 G_1 - G_n と縦方向のデータ線 D_1 - D_m の交差によって画定される複数の画素領域が集まって、画像を表示する表示領域Dを形成する。表示領域Dの外側(斜線で示した部分)には、ブラックマトリックス220が具備されており、表示領域Dの外側に漏れる光を遮断している。ゲート線 G_1 - G_n とデータ線 D_1 - D_m は、表示領域D内で各々実質的に平行の状態を維持する。

【0021】

液晶表示板アセンブリ300の表示領域Dの外側の上側縁には、複数個のデータ駆動IC540が横方向に順に装着されている。データ駆動IC540間には、IC間の接続線541が形成されており、FPC基板512を通じて最も左側に位置したデータ駆動IC540に供給される階調信号を次のデータ駆動IC540に順に伝達する。

なお、液晶表示板アセンブリ300の左側縁には、シフトレジスタ440が縦方向に装着されている。このシフトレジスタ440の付近には、既に言及した複数の駆動信号線321が形成されており、これらの駆動信号線321の一方の端部には各々、入力パッド451～454が形成されている。また、このパッド451～454に対して平行に対応する位置に、検査パッド461～464が形成されている。

【0022】

検査パッド461～464のうちの検査パッド461はゲートオフ電圧Voffを、検査パッド462は第1クロック信号CLKを、検査パッド463は第2クロック信号CLKBを、そして検査パッド464は垂直同期開始信号STVを、当該駆動信号線321に印加する検査パッドである。これらの検査パッド461～464の配置順は、変更可能である。

また、これらの検査パッド461～464は、別途のパッドを形成することなく、液晶表示板アセンブリ300に形成されている未使用のダミーパッドなどを使用する。シフトレジスタ440は、図4に示したように、複数のレジスタ段 SRC_1 - SRC_{n+1} を備えている。

【0023】

次に、図4を参照して、シフトレジスタ440の構造について説明する。

図4に示したように、シフトレジスタ440は、互いに接続されたレジスタ段 SRC_1 - SRC_{n+1} を備えている。即ち、各レジスタ段の出力端子OUTが次の段のレジスタ段の入力端子INに接続される。これらのレジスタ段は、ゲート線 G_1 - G_n に対応する数のレジスタ段 SRC_1 - SRC_n と、1つのダミーレジスタ段 SRC_{n+1} とからなる。各レジスタ段は、入力端子IN、出力端子OUT、制御端子CT、第1クロック端子CK及び第2クロック端子CKB、及び電源電圧端子VSSを備えている。

【0024】

第1のレジスタ段 SRC_1 の入力端子INには、垂直同期開始信号STVが入力される。各レジスタ段 SRC_1 - SRC_n の出力信号 $Gout_1$ - $Gout_n$ は、対応されるゲート線 G_1 - G_n に接続される。奇数番目のレジスタ段には、第1クロック信号CKVが印加され、偶数番目のレジスタ段に

10

20

30

40

50

は、第2クロック信号CKVBが印加される。第1クロック信号CKV及び第2クロック信号CKVBは互いに逆の位相を有している。

各レジスタ段 $SRC_1 - SRC_n$ の各制御端子CTは、次のレジスタ段 $SRC_2 - SRC_{n+1}$ の出力端子OTと接続される。

これらのレジスタ段 $SCR_1 - SCR_{n+1}$ は、画素のスイッチング素子と同じ工程で形成され、同じ基板上に集積される。

【0025】

以下、このような液晶表示装置の表示動作について、さらに詳細に説明する。

信号制御部600は、図1に示すように、外部のグラフィック制御機(図示せず)からRGB映像信号R、G、B及びその表示を制御する入力制御信号、例えば垂直同期信号Vsync)と水平同期信号Hsync、メインクロックMCLK、データネーブル信号DEなどの提供を受ける。信号制御部600は、入力映像信号R、G、B及び入力制御信号に基づいて、映像信号R、G、Bを液晶表示板アセンブリ300の動作条件に合うように適切に処理し、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成した後、ゲート制御信号CONT1をゲート駆動部400に送り、データ制御信号CONT2と処理した映像信号R'、G'、B'をデータ駆動部500に送る。

【0026】

ゲート制御信号(CONT1)は、ゲートオンパルス(ゲート信号のハイ区間)の出力開始を指示する垂直同期開始信号STV、ゲート線 $G_1 - G_n$ に順に印加されてゲートオン電圧Vonとして作用する第1及び第2クロック信号CKV、CKVB、並びに、ゲートオフ電圧Voffなどを含む。この時、ゲートオフ電圧Voffは、複数の駆動電圧を生成する別途の装置から印加されることもできる。

データ制御信号CONT2は、映像データR'、G'、B'の入力開始を指示する水平同期開始信号STHとデータ線($D_1 - D_m$)に当該データ電圧の印加を指示するロード信号LOAD、共通電圧Vcomに対するデータ電圧の極性(以下、“共通電圧に対するデータ電圧の極性”を略して“データ電圧の極性”という)を反転させる反転信号RVS、及びデータクロック信号HCLKなどを含む。

【0027】

この時、ゲート駆動部400のシフトレジスタ440に供給されるゲート制御信号は、駆動信号線521、321を通じて伝達され、データ制御信号及び階調信号は、リード線322を通じてデータ駆動部500に伝達される。

そして、階調電圧生成部800は、液晶表示装置の輝度に係る複数の階調電圧を生成して、リード線322を通じてデータ駆動部500に印加する。

データ駆動部500は、信号制御部600からのデータ制御信号CONT2によって1行の画素に対応する映像データR'、G'、B'を順に受信し、階調電圧生成部800からの階調電圧のうちの各映像データR'、G'、B'に対応する階調電圧を選択することによって、映像データR'、G'、B'を当該データ電圧に変換する。

【0028】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1に従って、ゲートオン電圧Vonをゲート線 $G_1 - G_n$ に印加し、このゲート線 $G_1 - G_n$ に接続されたスイッチング素子Qをターンオンさせる。

ゲート線 $G_1 - G_n$ の1つにゲートオン電圧Vonが印加され、これに接続された1行のスイッチング素子Qがターンオンされている間(この期間を1Hまたは1水平周期といい、水平同期信号Hsync、データネーブル信号DEの1周期と同じである)、データ駆動部500は、各データ電圧を当該データ線 $D_1 - D_m$ に供給する。データ線 $D_1 - D_m$ に供給されたデータ電圧は、ターンオンされたスイッチング素子Qを通じて、当該画素に印加される。

【0029】

このような方式で、1フレーム期間の間に全てのゲート線 $G_1 - G_n$ に対し順にゲートオン電圧Vonを印加し全ての画素にデータ電圧を印加する。1フレームが終了すれば次のフレームが開始され、各画素に印加されるデータ電圧の極性が直前フレームにおける極性と逆

10

20

30

40

50

になるように、データ駆動部500に印加される反転信号RVSの状態が制御される（フレーム反転）。この時、1フレーム期間内でも、反転信号RVSの特性に従って、1つのデータ線を通じて流れるデータ電圧の極性が変わったり（ライン反転）、1つの画素行に印加されるデータ電圧の極性も互いに異なることができる（ドット反転）。

【0030】

この過程について、より詳細に説明する。

信号制御部600は、ゲートオフ電圧Voffと第1及び第2クロック信号CKV、CKVBをシフトレジスタ440の全レジスタ段SRC₁-SRC_{n+1}に印加する。そして、信号制御部600は、垂直同期信号Vsyncなどに基づいて垂直同期開始信号STVを生成して、これをシフトレジスタ440の第1のレジスタ段SRC₁に印加する。

10

各レジスタ段SRC_iは、前段の出力信号Gout_{i-1}及び後段の出力信号Gout_(i+1)に基づき、第1及び第2クロック信号CKV、CKVBに同期して出力信号Gout_iを生成する。隣り合うレジスタ段は、互いに異なるクロック信号CKV、CKVBを受信するが、2つのクロック信号CKV、CKVBは位相が逆であり、2Hの周期を有する。各クロック信号CKV、CKVBは、画素のスイッチング素子Qを駆動できるように、ハイレベルの場合はゲートオン電圧Vonとして作用する。

【0031】

各出力信号Gout_(i-1)は、その後段のレジスタ段SRC_iの入力端子INに印加され、イネーブル信号として作用する。また、該後段のレジスタ段SRC_iの出力信号は、前段のレジスタ段SRC_(i-1)の制御端子CTに印加されて該レジスタ段SRC_(i-1)の動作を制御し、出力信号Gout_(i-1)がゲートオフ信号Voffとして印加されるようにする。

20

このような動作により、複数のレジスタ段SRC_iの動作が順に行われ、ゲートオン電圧Vonを複数のゲート線G₁-G_nに順に印加する。

【0032】

一方、最も左側のデータ駆動IC540は、自身の階調信号を全て保存し、他のデータ駆動IC540用の階調信号を受信して接続線541を通じて隣接するデータ駆動IC540に送る。このような方法で、各データ駆動IC540は、自身の階調信号は保存し、かつ、他のデータ駆動IC540用の階調信号を接続線541を通じて隣接データ駆動IC540に伝達する。

30

第1ゲート線G₁に接続されたスイッチング素子Qは、ゲートオン電圧Vonによって導通し、第1行目のデータ信号が導通したスイッチング素子Qを通じて、第1行の画素の液晶キャパシタC_{LC}及び維持キャパシタC_{ST}に印加される。一定の時間が経過し、第1行の画素のキャパシタC_{LC}、C_{ST}の充電が完了すれば、シフトレジスタ440は、第1ゲート線G₁にゲートオフ電圧Voffを印加して接続されたスイッチング素子Qをオフさせ、第2ゲート線G₂にゲートオン電圧Vonを印加する。

このような方式で接続された全ゲート線の走査動作の1フレームが完了する。

【0033】

このような過程で表示動作を実施する液晶表示装置において、ゲート線G₁-G_n及び画素の状態のみでなく、シフトレジスタ440の各レジスタ段SRC₁-SRC_{n+1}の状態をも検査する検査方法について説明する。

40

まず、液晶表示板アセンブリ300を製造した後、検査装置（図示せず）のプローブを利用して、液晶表示板アセンブリ300上に形成された検査パッド461～463に、各々図5に示したような波形の信号を印加する。まず、検査パッド464を通じて、図5に示したような検査信号を第1のレジスタ段SRC₁の入力端子INに印加する。図5に示した検査信号の波形は、実際に液晶表示装置を駆動する際に、シフトレジスタ440に印加される信号の波形と同じである。

したがって、第1のレジスタ段SRC₁が動作し、第1のレジスタ段SRC₁の状態が正常である場合には、出力端子OUTにハイレベルの出力信号Gout₁を、第1クロック信号CKVに同期してゲートオン電圧Vonとして出力するが、第1のレジスタ段SRC₁の状態が非正常であ

50

る場合には、ローレベルの信号が出力される。

【0034】

ゲートオン電圧Vonが出力されると、データ線D₁-D_mに既にラッチされているデータ信号が印加され、ゲート線G₁に接続された画素を駆動する。したがって、検査者は、ゲート線G₁の断線しているか否か、及び各画素の動作状態などを視覚的に検査することができる。

それとともに、第1のレジスタ段SRC₁の出力信号Gout₁は、次の段である第2のレジスタ段SRC₂の入力端子INに印加され、前記説明のような方法で、第2レジスタ段SRC₂の動作が行われる。レジスタ段SRC₂の状態が正常である場合には、当該ゲート線G₂に正常にゲートオン電圧Vonを出力して、検査者が当該ゲート線G₂の断線状態や画素状態を検査

10

【0035】

このような方式で、ゲート線G₁-G_nにゲートオン電圧Vonが順に印加され、検査者が全ゲート線G₁-G_n及び該当する画素の状態を検査する。しかし、ゲートオン電圧Vonが正常に出力されなければ、検査者は、当該レジスタ段SCR_iの状態を非正常状態であると判断する。そして、後段のレジスタ段の入力端子INにハイ状態の信号が印加されないため、その以後のレジスタ段は動作しない。したがって、検査者は、正常に表示動作が行われないゲート線付近のレジスタ段を精密検査して、誤動作するレジスタ段を検出することができる。

【0036】

20

なお、全ゲート線G₁-G_nの検査動作が、実際の液晶表示装置の動作のような方法で順に行われるので、検査者は、当該ゲート線自体の断線の有無だけでなく、隣り合うゲート線とのショートの有無も判断することができる。

このような方式で全ゲート線G₁-G_mに対する検査を完了したときに、レーザートリミング(laser trimming)装置などを利用して、検査パッド461~464とパッド451~454との間に接続された検査線を切断線Lに沿って切断する。

【0037】

次に、図6及び図7を参照して、本発明の他の実施例について説明する。図6は、本発明の他の実施例による液晶表示装置を概略的に示した配置図であり、図7は、本発明の他の実施例によってシフトレジスタに印加される検査信号の波形図である。

30

本発明の先に説明した実施例では、ゲートオフ電圧Voff及び垂直同期開始信号STVが印加される検査パッド461、464を別々に設置したが、本発明の他の実施例では、図6に示したように、1つの検査パッド461'を利用して、ゲートオフ電圧Voffと垂直同期開始信号STVを同時に印加する。この場合、これらの信号Voff、STVを印加する駆動信号線321は、互いに隣接することもある。

【0038】

この時、この検査パッド461'に印加される検査信号は、図7に示した通りである。実質的に、垂直同期開始信号STVは、第1のレジスタ段SRC₁を動作させるためのイネーブル信号として作用し、ゲートオフ電圧Voffは1フレーム期間の間、ローレベルを維持するので、図7に示すような波形の信号を印加しても、シフトレジスタ440は図5に示した

40

波形の信号が印加される時と同じ動作を行う。したがって、本発明の他の実施例の場合には、検査パッドの個数及びそれに接続された検査線の個数を減らすことができる。

前記実施例では、ゲート駆動部が薄膜トランジスタやゲート線、データ線などと同様の工程で液晶表示板アセンブリ上に直接形成される場合について説明したが、これに限定されない。

【0039】

以上で本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者の様々な変形及び改良形態も本発明の権利範囲に属する。

【図面の簡単な説明】

50

【0040】

【図1】本発明の一実施例による液晶表示装置のブロック図である。

【図2】本発明の一実施例による液晶表示装置の一画素の等価回路図である。

【図3】本発明の一実施例による液晶表示装置の概略的な配置図である。

【図4】本発明の一実施例によるゲート駆動部のシフトレジスタのブロック図である。

【図5】本発明の一実施例によってシフトレジスタに印加される検査信号の波形図である。

【図6】本発明の他の実施例による液晶表示装置の概略的な配置図である。

【図7】本発明の他の実施例によってシフトレジスタに印加される検査信号の波形図である。

10

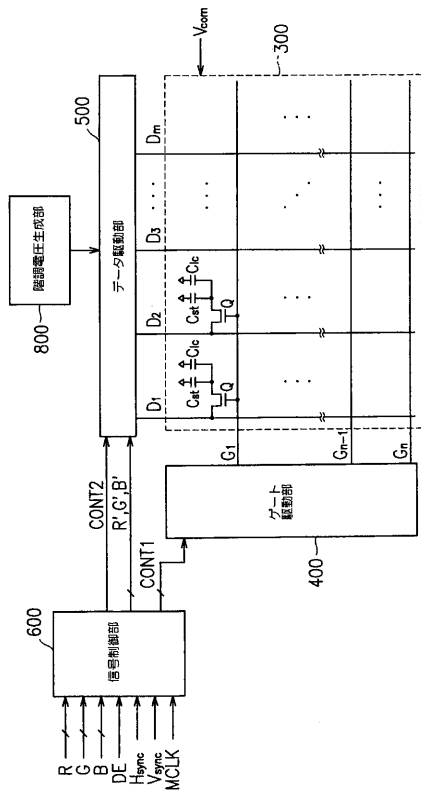
【符号の説明】

【0041】

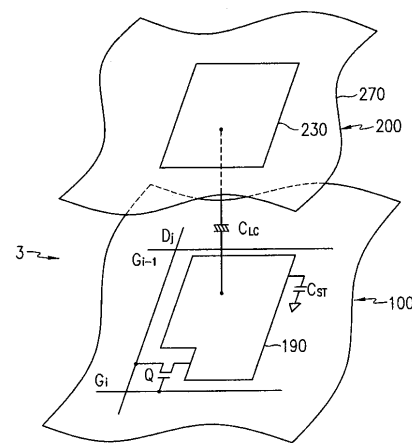
- 100、200 表示板
- 190 画素電極
- 220 ブラックマトリクス
- 270 共通電極
- 300 液晶表示板アセンブリ
- 400 ゲート駆動部
- 440 シフトレジスタ
- 461 ~ 464 検査パッド
- 500 データ駆動部
- 521、523、321 駆動信号線
- 600 信号制御部
- 800 階調電圧生成部

20

【図1】



【図2】



フロントページの続き

(51)Int.Cl.			F I		
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/30	3 3 0 Z
G 0 9 F	9/35	(2006.01)	G 0 9 F	9/30	3 3 8
G 0 9 G	3/20	(2006.01)	G 0 9 F	9/35	
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/20	6 1 2 K
			G 0 9 G	3/20	6 2 1 M
			G 0 9 G	3/20	6 2 2 E
			G 0 9 G	3/20	6 4 1 C
			G 0 9 G	3/20	6 7 0 Q
			G 0 9 G	3/20	6 8 0 G
			G 0 9 G	3/36	

- (56)参考文献 特開平 1 1 - 2 0 2 3 5 3 (J P , A)
 特開 2 0 0 3 - 1 2 1 8 6 7 (J P , A)
 特開 2 0 0 3 - 0 4 3 9 4 5 (J P , A)
 特開 2 0 0 4 - 3 1 0 0 2 4 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G 0 2 F 1 / 1 3 4 5
 G 0 1 R 3 1 / 2 8
 G 0 2 F 1 / 1 3
 G 0 2 F 1 / 1 3 3
 G 0 9 F 9 / 0 0
 G 0 9 F 9 / 3 0
 G 0 9 F 9 / 3 5
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 6

专利名称(译)	液晶显示板组件和液晶显示装置		
公开(公告)号	JP4893879B2	公开(公告)日	2012-03-07
申请号	JP2004235106	申请日	2004-08-12
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	張鐘雄 金東奎		
发明人	張 鐘 雄 金 東 奎		
IPC分类号	G02F1/1345 G01R31/28 G02F1/13 G02F1/133 G09F9/00 G09F9/30 G09F9/35 G09G3/20 G09G3/36 G02F1/1343 G02F1/1362 G09G3/00		
CPC分类号	G09G3/006 G02F1/13454 G02F2001/136254 G09G2310/0267		
FI分类号	G02F1/1345 G01R31/28.U G02F1/13.101 G02F1/133.505 G09F9/00.352 G09F9/30.330.Z G09F9/30. 338 G09F9/35 G09G3/20.612.K G09G3/20.621.M G09G3/20.622.E G09G3/20.641.C G09G3/20.670.Q G09G3/20.680.G G09G3/36 G02F1/1343 G09F9/30.330 G11C19/00 G11C19/00.J		
F-TERM分类号	2G132/AA00 2G132/AA12 2G132/AD05 2G132/AD15 2G132/AL11 2H088/FA11 2H088/HA02 2H088 /HA06 2H088/MA20 2H092/GA24 2H092/GA32 2H092/GA40 2H092/HA06 2H092/JA24 2H092/JB22 2H092/JB77 2H092/MA56 2H092/NA30 2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA51 2H093 /NB11 2H093/NC22 2H093/NC34 2H093/NC90 2H093/ND56 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZD21 2H193/ZK01 5B074/AA10 5B074/CA01 5C006/AA16 5C006/AA22 5C006/AC27 5C006 /AC28 5C006/AF72 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC20 5C006/BC24 5C006/BF03 5C006/BF27 5C006/BF43 5C006/EB01 5C006/EB03 5C006/EB04 5C080/AA10 5C080 /BB05 5C080/DD15 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094 /DB01 5C094/DB04 5C094/EA10 5C094/GA10 5C094/GB10 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE37 5G435/KK05 5G435/KK10		
优先权	1020030057296 2003-08-19 KR		
其他公开文献	JP2005062876A		
外部链接	Espacenet		

摘要(译)

要解决的问题：检查连接到栅极线的栅极线和移位寄存器的状态，并检查相邻栅极线之间是否存在短路。测试焊盘设置在外部设备连接到液晶显示面板组件的部分中，并且检查信号经由印刷电路板550上的驱动信号线521提供给测试焊盘461-464。测试信号是与提供给移位寄存器以驱动栅极线的实际信号类似的信号，并且包括要提供给移位寄存器的第一级的垂直同步开始信号，提供给奇数级和偶数级的垂直同步开始信号。一个时钟和一个栅极关闭信号提供给所有级。检查完成后，在L线的位置切割。点域

【 図 2 】

