

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4790798号  
(P4790798)

(45) 発行日 平成23年10月12日(2011.10.12)

(24) 登録日 平成23年7月29日(2011.7.29)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 621A
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 622D
	G09G 3/20 624B
	G09G 3/20 624D

請求項の数 11 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2008-516574 (P2008-516574)  
 (86) (22) 出願日 平成19年3月15日(2007.3.15)  
 (86) 国際出願番号 PCT/JP2007/055239  
 (87) 国際公開番号 W02007/135803  
 (87) 国際公開日 平成19年11月29日(2007.11.29)  
 審査請求日 平成20年5月27日(2008.5.27)  
 (31) 優先権主張番号 特願2006-140921 (P2006-140921)  
 (32) 優先日 平成18年5月19日(2006.5.19)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (74) 代理人 110000338  
 特許業務法人原謙三国際特許事務所  
 (72) 発明者 入江 健太郎  
 日本国大阪府大阪市阿倍野区長池町22番  
 22号 シャープ株式会社内  
 (72) 発明者 北山 雅江  
 日本国大阪府大阪市阿倍野区長池町22番  
 22号 シャープ株式会社内  
 (72) 発明者 下敷領 文一  
 日本国大阪府大阪市阿倍野区長池町22番  
 22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうち少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置において、

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、

上記黒信号挿入期間を変更する黒挿入率変更手段と、

上記第1の保持容量配線又は第2の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始時間より前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始時間との時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】

上記保持容量位相不変化手段が、上記保持容量電圧立ち上がりタイミングと、上記黒信

号挿入期間の最初に上記走査信号線に印加される黒挿入パルスの立ち上がりタイミングとの時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御することを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置

10

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、

上記黒信号挿入期間を変更する黒挿入率変更手段と、

上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

20

【請求項4】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、

上記黒信号挿入期間を変更する黒挿入率変更手段と、

上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

30

【請求項5】

上記黒信号挿入手段は、複数のデータ信号線におけるデータ信号の極性が反転するときに、所定黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とすることを特徴とする請求項1、3、または4記載のアクティブマトリクス型液晶表示装置。

40

【請求項6】

上記保持容量位相不変化手段が、

上記黒信号挿入期間に対応する複数の値と、各値に対応する、上記黒信号挿入期間の開始時間とを格納した記憶手段を有するとともに、上記黒挿入率変更手段によって黒信号挿入期間が変更された場合に、上記記憶手段を参照することによって変更された黒信号挿入期間に対応する黒信号挿入期間の開始時間を特定することを特徴とする請求項1、3、または4記載のアクティブマトリクス型液晶表示装置。

50

## 【請求項 7】

前記保持容量位相不変化手段は、

前記変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、上記第 1 の保持容量配線又は第 2 の保持容量配線の信号電圧に対する位相が互いに変わらないように制御するための複数の各黒信号挿入期間の出力タイミングを格納した記憶手段を有していることを特徴とする請求項 1、3、または 4 記載のアクティブマトリクス型液晶表示装置。

## 【請求項 8】

上記記憶手段は、ルックアップテーブルからなっていることを特徴とする請求項 6 記載のアクティブマトリクス型液晶表示装置。

## 【請求項 9】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第 1 副画素電極と容量を形成する第 1 の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第 2 副画素電極と容量を形成する第 2 の保持容量配線とが設けられ、かつ上記第 1 の保持容量配線及び第 2 の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置の駆動方法において、

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、

上記黒信号挿入期間を変更する黒挿入率変更工程と、

上記第 1 の保持容量配線又は第 2 の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始時間より前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始時間との時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

## 【請求項 10】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第 1 副画素電極と容量を形成する第 1 の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第 2 副画素電極と容量を形成する第 2 の保持容量配線とが設けられ、かつ上記第 1 の保持容量配線及び第 2 の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、

上記黒信号挿入期間を変更する黒挿入率変更工程と、

上記黒信号挿入期間が変更されたときに、上記第 1 の保持容量配線又は第 2 の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第 1 の保持容量配線又は第 2 の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

## 【請求項 11】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第 1 副画素電極と容量を形成する第 1 の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第 2 副画素電極と容量を形成する第 2 の保持容量配線とが設けられ、かつ上記第 1 の保持容量配線及び第 2 の保持容量配

10

20

30

40

50

線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、

上記黒信号挿入期間を変更する黒挿入率変更工程と、

上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が2つの副画素から構成され、上記2つの副画素のうちの一方の副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記2つの副画素のうちの他方の第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置及びその駆動方法に関するものである。

20

【背景技術】

【0002】

CRT (CathodeRayTube: 陰極線管) のようなインパルス型の表示装置においては、個々の画素に着目すると、画像が表示される点灯期間と画像が表示されない消灯期間とが交互に繰り返される。例えば動画の表示が行われた場合にも、1画面分の画像の書き換えが行われる際に消灯期間が挿入されるため、人間の視覚に動いている物体の残像が生じることがない。

【0003】

30

これに対し、TFT (Thin Film Transistor: 薄膜トランジスタ) を使用した液晶表示装置のようなホールド型の表示装置では、個々の画素の輝度は各画素容量に保持される電圧によって決まり、画素容量における保持電圧は、一旦、書き換えられると1フレーム期間維持される。ホールド型表示装置では動画を表示した際にボケ現象(動画ボケ)が生じる。この動画ボケは、表示している動体を眼が追いかけること(視線追跡)によって生じる。

【0004】

そこで、アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置では、動画表示の際に動画ボケが生じるので、この動画ボケを改善する技術が提案されている。

40

【0005】

例えば、特許文献1では、上記の尾引残像を改善する方法として、1フレーム期間中に黒表示を行う期間を挿入する(以下「黒挿入」という)等により液晶表示装置における表示を(擬似的に)インパルス化するという方法が知られている。

【0006】

この特許文献1では、図11に示すように、例えば480本の走査線(ゲート線)を有する液晶表示パネルの場合、ゲート線Y1~Y480は、1フレーム周期中において画像信号を画素セルに書き込むために、タイミングを少しずつずらして順次立ち上げられる。480本全てのゲート線を立ち上げて、画像信号を画素セルに書き込むことにより、1フレーム周期が終了する。このとき、画像信号の書き込みのための立ち上げから、1/2フレ

50

ム周期程遅れて、ゲート線 Y 1 ~ Y 4 8 0 を再度立ち上げて、各画素セルにデータ線 X を介して黒を表示する電位を供給する。これにより、各画素セルは黒表示状態となる。

【 0 0 0 7 】

すなわち、各ゲート線 Y は、1 フレーム周期において、異なる期間で 2 回高レベルとなる。1 回目の選択により画素セルは一定期間画像データを表示し、それに続く 2 回目の選択で、画素セルは強制的に黒表示を行う。このように、1 フレーム期間内に画像表示期間と黒表示期間とを設けることによって、擬似的にホールド型駆動の表示状態から CRT のようなインパルス型駆動の表示に近づけることができ、動画表示の際に生じる動きぼけによる画質劣化を改善することが可能となる。

【 0 0 0 8 】

垂直配向モード ( V A モード ) では、コントラストに優れているが、正面のガンマカーブと斜め視角のガンマカーブとが一致せず、正面に比べ斜め視角では画面全体が白っぽく ( 白浮きして ) 見える。斜め視角の白浮きを低減する技術として、例えば、特許文献 3 では、1 絵素を複数の副絵素に分割 ( マルチ絵素構造 ) し、各副絵素間の輝度を異なるように設定している ( マルチ絵素技術、面積階調技術と呼ばれる ) 。

【特許文献 1】日本国公開特許公報「特開平 1 1 - 1 0 9 9 2 1 号公報 ( 1 9 9 9 年 4 月 2 3 日公開 ) 」

【特許文献 2】日本国公開特許公報「特開 2 0 0 5 - 3 4 5 9 7 3 号公報 ( 2 0 0 5 年 1 2 月 1 5 日公開 ) 」

【特許文献 3】日本国公開特許公報「特開 2 0 0 4 - 6 2 1 4 6 号公報 ( 2 0 0 4 年 2 月 2 6 日公開 ) 」

【発明の開示】

【 0 0 0 9 】

( 発明が解決しようとする課題 )

しかしながら、黒挿入技術とマルチ絵素技術を合わせて試作を行い、評価した結果、図 1 2 に示すように、表示パネルの画面の上下において輝度差が生じるという問題を有していることが分かった。

【 0 0 1 0 】

この原因は、図 1 3 の ( a ) に示す保持容量 C S の波形に対して、図 1 3 の ( b ) に示す位置に黒挿入を行う場合と、図 1 3 の ( c ) に示す位置に黒挿入を行う場合とでは、図 1 3 の ( a ) に示す保持容量 C S の波形の状態が異なる。この結果、保持容量 C S の突き上げ量と突き下げ量とが変化するので、図 1 2 に示すように、表示パネルの画面の上下において輝度差が生じることによる。

【 0 0 1 1 】

この問題は、特に、黒表示期間の割合を変化させる場合に発生し易い。例えば、特許文献 2 には、黒挿入率により黒書込みタイミングを変える点が開示されているが、表示パネルの画面の上下において輝度差が生じるという問題に対しては言及していない。

【 0 0 1 2 】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供することにある。

【 0 0 1 3 】

( 課題を解決するための手段 )

本発明のアクティブマトリクス型液晶表示装置は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうち少なくとも一つの副画素における第 1 副画素電極と容量を形成する第 1 の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第 2 副画素電極と容量を形成する第 2 の

10

20

30

40

50

保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、上記黒信号挿入期間を変更する黒挿入率変更手段と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始時間より前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始時間との時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられている構成である。

10

## 【0014】

また、本発明のアクティブマトリクス型液晶表示装置は、上記の構成において、上記保持容量位相不変化手段が、上記保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の最初に上記走査信号線に印加される黒挿入パルスの立ち上がりタイミングとの時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する構成としてもよい。

## 【0015】

また、本発明のアクティブマトリクス型液晶表示装置の駆動方法は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうち少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置の駆動方法において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、上記黒信号挿入期間を変更する黒挿入率変更工程と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始時間より前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始時間との時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含む方法である。

20

30

## 【0016】

また、本発明のアクティブマトリクス型液晶表示装置は、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうち少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、上記黒信号挿入期間を変更する黒挿入率変更手段と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられている構成である。

40

## 【0017】

50

また、本発明のアクティブマトリクス型液晶表示装置の駆動方法は、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、上記黒信号挿入期間を変更する黒挿入率変更工程と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変工程とを含む方法である。

10

## 【0018】

本発明では、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置を対象にしている。

20

## 【0019】

また、本発明では、擬似インパルス化を図るために、黒挿入を行う。具体的には、黒信号挿入手段が、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する。さらに、黒挿入率変更手段は、黒信号挿入期間を変更する。

## 【0020】

このようなアクティブマトリクス型液晶表示装置においては、黒挿入率の変更に伴い、保持容量電圧の波形との関係において、表示部に輝度差が生じることがある。この理由は、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける各黒挿入パルスの最初の立ち上がり位置と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置との時間幅が互いに異なるからである。

30

## 【0021】

そこで、本発明では、この問題を解決するために、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変手段とが設けられている。

40

## 【0022】

したがって、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供することができる。

## 【0023】

50

また、本発明のアクティブマトリクス型液晶表示装置は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、上記黒信号挿入期間を変更する黒挿入率変更手段と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変手法とが設けられていることを特徴としている。

10

## 【0024】

本発明のアクティブマトリクス型液晶表示装置の駆動方法は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、上記黒信号挿入期間を変更する黒挿入率変更工程と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変工程とを含むことを特徴としている。

20

30

## 【0025】

すなわち、本発明では、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、制御する。

40

## 【0026】

これによっても、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供することができる。

## 【0027】

また、本発明のアクティブマトリクス型液晶表示装置では、前記黒信号挿入手段は、複数のデータ信号線におけるデータ信号の極性が反転するときに、所定黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とすることが好ましい。

## 【0028】

50

これにより、データ信号の極性が反転するときに、例えば、正極性から負極性へ直接変化するのではなく、正極性の電圧から、一旦、データ信号線の電圧を黒表示に相当する電圧を印加した後、負極性の電圧を印加する。したがって、電圧差が小さくなるので、消費電力を低減することができる。

【0029】

ここで、データ信号の極性が反転するときの黒表示に相当する電圧を印加する時間は、短時間であり、1回の黒表示に相当する電圧印加では、黒表示としては十分ではない。

【0030】

この点、ドット反転駆動においては、1フレーム期間中に何度も極性が反転する。したがって、この複数回の極性反転時毎に電圧を黒表示に相当する電圧を何度も印加することによって、黒電圧の書き込み不足を補うことができる。

10

【0031】

また、この黒電圧の書き込み方法では、画素データ書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ等の動作速度を上げる必要もない。

【0032】

また、本発明のアクティブマトリクス型液晶表示装置では、前記保持容量位相不変化手段は、前記変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、上記第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わらないように制御するための複数の各黒信号挿入期間の出力タイミングを格納した記憶手段を有している

20

【0033】

これにより、記憶手段に格納されているデータにより、変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、上記第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わらないように制御することができる。したがって、複雑な回路が不要である。

【0034】

また、本発明のアクティブマトリクス型液晶表示装置では、前記記憶手段は、ルックアップテーブルからなっていることが好ましい。

【0035】

これにより、有限の黒挿入率に対する最適な黒信号挿入期間の組み合わせを容易に求めることができる。

30

【0036】

(発明の効果)

本発明のアクティブマトリクス型液晶表示装置及びアクティブマトリクス型液晶表示装置の駆動方法は、以上のように、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する。

40

【0037】

本発明のアクティブマトリクス型液晶表示装置及びアクティブマトリクス型液晶表示装置の駆動方法は、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられている。

50

## 【 0 0 3 8 】

それゆえ、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供するという効果を奏する。

## 【 図面の簡単な説明 】

## 【 0 0 3 9 】

【 図 1 】 ( a ) ( b ) ( c ) は、本発明におけるアクティブマトリクス型液晶表示装置及びその駆動方法の実施の一形態を示すタイミングチャートである。

【 図 2 】 上記アクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【 図 3 】 上記アクティブマトリクス型液晶表示装置の黒挿入のタイミングを示すタイミングチャートである。

【 図 4 】 上記アクティブマトリクス型液晶表示装置のマルチ絵素構造の画素の構造を示す平面図である。

【 図 5 】 上記アクティブマトリクス型液晶表示装置のマルチ絵素構造の画素の等価回路を示す回路図である。

【 図 6 】 上記マルチ絵素構造のアクティブマトリクス型液晶表示装置における駆動方法を示すタイミングチャートである。

【 図 7 】 上記アクティブマトリクス型液晶表示装置において、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第 1 の保持容量配線又は第 2 の保持容量配線の信号電圧に対する位相が互いに変わらない場合の駆動を示すタイミングチャートである。

【 図 8 】 上記アクティブマトリクス型液晶表示装置において、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第 1 の保持容量配線又は第 2 の保持容量配線の信号電圧に対する位相が互いに変わる場合の駆動を示すタイミングチャートである。

【 図 9 】 ( a ) は上記アクティブマトリクス型液晶表示装置における保持容量位相不変化制御部の構成を示すブロック図であり、( b ) はルックアップテーブルの格納内容を示す説明図である。

【 図 1 0 】 ( a ) ( b ) は 3 分割絵素を示す模式図であり、( c ) は上記 3 分割マルチ絵素構造の画素の構造を示す平面図である。

【 図 1 1 】 従来のアクティブマトリクス型液晶表示装置における黒挿入の駆動方法を示すタイミングチャートである。

【 図 1 2 】 上記アクティブマトリクス型液晶表示装置において、画面の上下において輝度差が生じている表示パネルを示す平面図である。

【 図 1 3 】 ( a ) ( b ) ( c ) は、上記アクティブマトリクス型液晶表示装置において、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第 1 の保持容量配線又は第 2 の保持容量配線の信号電圧に対する位相が互いに変わる場合の駆動を示すタイミングチャートである。

## 【 符号の説明 】

## 【 0 0 4 0 】

- |     |                                      |  |
|-----|--------------------------------------|--|
| 4   | T F T                                |  |
| 1 1 | 第 1 保持容量配線 ( 第 1 の保持容量配線 )           |  |
| 1 2 | 第 2 保持容量配線 ( 第 2 の保持容量配線 )           |  |
| 2 0 | 液晶表示装置                               |  |
| 2 1 | 表示部                                  |  |
| 2 2 | ゲートドライバ ( 黒信号挿入手段、黒挿入率変更手段 )         |  |
| 2 3 | ソースドライバ ( 黒信号挿入手段、黒挿入率変更手段 )         |  |
| 2 4 | 表示制御回路 ( 黒信号挿入手段、黒挿入率変更手段 )          |  |
| 3 0 | 保持容量位相不変化制御部 ( 保持容量位相不変化手段、黒挿入制御手段 ) |  |

10

20

30

40

50

G L 1 ~ G L m      ゲートライン ( 走査信号線 )  
 L U T              ルックアップテーブル ( 記憶手段 )  
 P 1                第 1 副画素  
 P 2                第 2 副画素  
 P b                黒電圧印加パルス  
 S L 1 ~ S L n      ソースライン ( データ信号線 )  
 T                  時間

【発明を実施するための最良の形態】

【0041】

本発明の一実施形態について図 1 ないし図 9 に基づいて説明すれば、以下の通りである

10

【0042】

本実施の形態の液晶表示装置 20 は、図 2 に示すように、アクティブマトリクス形の表示部 21 と、走査信号線駆動回路であるゲートドライバ 22 と、データ信号線駆動回路であるソースドライバ 23 と、ソースドライバ 23 及びゲートドライバ 22 を制御するための表示制御回路 24 とを備えている。

【0043】

上記表示部 21 は、複数本 ( m 本 ) の走査信号線としてのゲートライン G L 1 ~ G L m と、それらゲートライン G L 1 ~ G L m のそれぞれと交差する複数本 ( n 本 ) のデータ信号線としてのソースライン S L 1 ~ S L n と、それらのゲートライン G L 1 ~ G L m とソースライン S L 1 ~ S L n との交差点にそれぞれ対応して設けられた複数個 ( m × n 個 ) の画素形成部とを含んでいる。

20

【0044】

これらの画素形成部は、マトリクスに配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートライン G L j にゲート端子が接続される共に、該交差点を通過するソースライン S L i にソース端子が接続されたスイッチング素子である T F T 4 と、その T F T 4 のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通対向電極 E c と、上記複数の画素形成部に共通的に設けられ画素電極と共通対向電極 E c との間に挟持された液晶層とからなっている。

30

【0045】

そして、画素電極と共通対向電極 E c とによって形成される液晶容量により、画素容量 C p が構成される。なお、本実施の形態では、後述するように、マルチ絵素構造を有しており、各画素は第 1 副画素 P 1 及び第 2 副画素 P 2 の 2 つに分かれている。この第 1 副画素 P 1 及び第 2 副画素 P 2 の具体的な構成については、後述する。

【0046】

上記各画素形成部における画素電極には、ソースドライバ 23 及びゲートドライバ 22 により表示すべき画像に応じた電位が与えられ、共通対向電極 E c には、図示しない電源回路から所定電位 ( 「共通電極電位」と呼ぶ ) V c o m が与えられる。これにより、画素電極と共通対向電極 E c との間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることによって、画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用される。本実施形態では、ノーマリブラックとなるように偏光板が配置されているものとする。

40

【0047】

上記表示制御回路 24 は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号 D v と、該デジタルビデオ信号 D v に対応する水平同期信号 H S Y 及び垂直同期信号 V S Y と、表示動作を制御するための制御信号 D c とを受け取る。そして、それらデジタルビデオ信号 D v 、水平同期信号 H S Y 、垂直同期信号 V S Y 、及び制御信号 D c に基づき、そのデジタルビデオ信号 D v の表す画像を表示部 21 に表示させるための信号として、データスタートパルス信号 S S P と、データクロック信号 S C K と、短絡制御信号 C s h

50

と、表示すべき画像を表すデジタル画像信号DA（ビデオ信号Dvに相当する信号）と、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとを生成して出力する。

【0048】

詳細には、表示制御回路24は、デジタルビデオ信号Dvを内部メモリにて必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路24から出力する。また、表示制御回路24は、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号SSPを生成する。さらに、表示制御回路24は、垂直同期信号VSYに基づき、1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づき、ゲートクロック信号GCKを生成する。そして、水平同期信号HSY及び制御信号Dcに基づき、短絡制御信号Csh及びゲートドライバ出力制御信号GOE（GOE1～GOEq）を生成する。

10

【0049】

上述のようにして、表示制御回路24において生成された信号のうち、デジタル画像信号DAと短絡制御信号Cshとソースドライバ23用のデータスタートパルス信号SSP及びデータクロック信号SCKとは、ソースドライバ23に入力される。一方、ゲートドライバ22用のゲートスタートパルス信号GSP及びゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバ22に入力される。

20

【0050】

ソースドライバ23は、デジタル画像信号DAとデータスタートパルス信号SSP及びデータクロック信号SCKとに基づき、デジタル画像信号DAの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号S(1)～S(n)を1水平走査期間毎に順次生成し、これらのデータ信号S(1)～S(n)をソースラインSL1～SLnにそれぞれ印加する。

【0051】

本実施の形態におけるソースドライバ23は、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に、各フレーム内において、1ゲートラインG1～G2m毎かつ1ソースラインSL1～SLn毎にも反転されるように、データ信号S(1)～S(n)が出力される駆動方式、つまりドット反転駆動方式が採用されている。したがって、ソースドライバ23は、ソースラインSL1～SLnへの印加電圧の極性をソースラインSL1～SLn毎に反転させ、かつ各ソースラインSLiに印加されるデータ信号S(i)の電圧極性を1水平走査期間毎に反転させる。

30

【0052】

ここで、ソースラインSL1～SLnへの印加電圧の極性反転の基準となる電位は、データ信号S(1)～S(n)の直流レベル（直流成分に相当する電位）であり、この直流レベルは、一般的には共通対向電極Ecの直流レベルとは一致せず、各画素形成部におけるTF T4のゲート・ドレイン間の寄生容量Cgdによるレベルシフト（フィールドスルー電圧）Vdだけ共通対向電極Ecの直流レベルと異なる。ただし、寄生容量CgdによるレベルシフトVdが液晶の光学的閾値電圧Vthに対して十分に小さい場合には、データ信号S(1)～S(n)の直流レベルは共通対向電極Ecの直流レベルに等しいとみなせるので、データ信号S(1)～S(n)の極性つまりソースラインSL1～SLnへの印加電圧の極性は共通対向電極Ecの電位を基準として1水平期間ごとに反転すると考えてもよい。

40

【0053】

ところで、本実施の形態の液晶表示装置20では、表示を擬似的にインパルス化する方法として、1フレーム期間中に黒表示を行う期間を挿入している（以下「黒挿入」という）。

50

## 【0054】

また、その黒挿入の仕方については、消費電力を低減するために、データ信号  $S(1) \sim S(n)$  の極性反転時に隣接ソースライン間が短絡されるチャージシェアリング方式を採用し、その短絡期間に黒挿入が行われるようになっている。

## 【0055】

このような、チャージシェアリング方式による黒挿入について、以下に詳細に説明する。

## 【0056】

まず、図3の(a)に示すように、ソースドライバ23にて、1水平走査期間(1H)毎に極性の反転する映像信号としてアナログ電圧信号  $d(i)$  が生成される。表示制御回路24では、図3の(b)に示すように、各アナログ電圧信号  $d(i)$  の極性の反転時に所定期間(1水平ブランキング期間程度の短い期間)  $T_{sh}$  だけハイレベル(Hレベル)となる短絡制御信号  $C_{sh}$  が生成される(以下、短絡制御信号  $C_{sh}$  がハイレベル(Hレベル)となる期間を「短絡期間」という)。

10

## 【0057】

そして、上記短絡制御信号  $C_{sh}$  が、ローレベル(Lレベル)のときには各アナログ電圧信号  $d(i)$  がデータ信号  $S(i)$  として出力され、短絡制御信号  $C_{sh}$  がHレベルのときには隣接ソースラインが互いに短絡される。

## 【0058】

このとき、本実施形態では、ドット反転駆動が採用されていることから、隣接ソースラインの電圧は互いに逆極性であって、しかも、その絶対値は略等しい。したがって、各データ信号  $S(i)$  の値つまり各ソースライン  $SL_i$  の電圧は、短絡期間  $T_{sh}$  においてデータ信号  $S(i)$  の直流レベル  $V_{SDC}$  に略等しくなる。また、短絡期間  $T_{sh}$  の各ソースライン  $SL_i$  の電圧をある一定の電圧(例えば黒電圧)に設定してもよい。

20

## 【0059】

なお、このようにデータ信号の極性反転時に隣接ソースラインを短絡することによって、各ソースラインの電圧を黒電圧(データ信号  $S(i)$  の直流レベル  $V_{SDC}$  又は共通電極電位  $V_{COM}$ )に略等しくするという構成は、消費電力を低減するための手段として従来提案されており、図3に示した構成に限定されるものではない。

## 【0060】

このとき、ゲートドライバ22は、ゲートドライバ用のゲートスタートパルス信号  $GSP$  及びゲートクロック信号  $GCK$  と、ゲートドライバ出力制御信号  $GOEr$  ( $r=1, 2, \dots, q$ ) とに基づき、各データ信号  $S(1) \sim S(n)$  を各画素形成部の画素容量に書き込むために、デジタル画像信号  $DA$  の各フレーム期間(各垂直走査期間)においてゲートライン  $GL_1 \sim GL_m$  を略1水平走査期間ずつ順次選択すると共に、黒挿入のために、データ信号  $S(i)$  ( $i=1 \sim n$ ) の極性反転時に所定期間だけゲートライン  $GL_j$  ( $j=1 \sim m$ ) を選択する。

30

## 【0061】

すなわち、ゲートドライバ22は、図3の(d)(e)に示すような画素データ書込パルス  $P_w$  と黒電圧印加パルス  $P_b$  とを含む走査信号  $G(1) \sim G(m)$  をゲートライン  $GL_1 \sim GL_m$  にそれぞれ印加し、これらのパルス  $P_w \cdot P_b$  が印加されているゲートライン  $GL_j$  は選択状態となり、選択状態のゲートライン  $GL_j$  に接続された  $TFT$  がオン状態となる(非選択状態のゲートラインに接続された  $TFT$  はオフ状態となる)。

40

## 【0062】

本実施形態では、図3の(d)(e)に示すように、各走査信号  $G(j)$  において、画素データ書込パルス  $P_w$  と当該画素データ書込パルス  $P_w$  の後に最初に現れる黒電圧印加パルス  $P_b$  との間は2/3フレーム期間であり、黒電圧印加パルス  $P_b$  は、1フレーム期間(1V)において1水平走査期間(1H)の間隔で続いて3個現れる。

## 【0063】

次に、図3の(a)~(f)参照しつつ、上記のソースドライバ23及びゲートドライ

50

バ 2 2 による表示部 2 1 の駆動について説明する。

【 0 0 6 4 】

表示部 2 1 における各画素形成部では、それに含まれる T F T 4 のゲート端子に接続されるゲートライン G L j に画素データ書込パルス P w が印加されることにより、T F T 4 がオンし、T F T 4 のソース端子に接続されるソースライン S L i の電圧がデータ信号 S ( i ) の値として画素形成部に書き込まれる。すなわち、ソースライン S L i の電圧が画素容量 C p に保持される。その後、ゲートライン G L j は黒電圧印加パルス P b が現れるまでの期間 T h d は非選択状態となるので、当該画素形成部に書き込まれた電圧がそのまま保持される。黒電圧印加パルス P b は、その非選択状態の期間（以下、「画像データ保持期間」という）T h d の後の短絡期間 T s h にゲートライン G L j に印加される。

10

【 0 0 6 5 】

前述したように、短絡期間 T s h では、各データ信号 S ( i ) の値つまり各ソースライン S L i の電圧は、データ信号 S ( i ) の直流レベルに略等しくなる（つまり黒電圧となる）。したがって、当該ゲートライン G L j への黒電圧印加パルス P b の印加により、当該画素形成部の画素容量 C p に保持される電圧は黒電圧に向かって変化する。

【 0 0 6 6 】

しかし、黒電圧印加パルス P b のパルス幅は短いので、画素容量 C p における保持電圧を確実に黒電圧にするため、図 3 の ( d ) ( e ) に示すように、各フレーム期間において 1 水平走査期間 ( 1 H ) の間隔で 3 個の黒電圧印加パルス P b が続けて当該ゲートライン G L j に印加される。これにより、当該ゲートライン G L j に接続される画素形成部によって形成される画素の輝度（画素容量 C p での保持電圧によって決まる透過光量）L ( j , i ) は、図 3 の ( f ) に示すように変化する。したがって、各ゲートライン G L j に接続される画素形成部に対応する 1 表示ラインにおいて、画素データ保持期間 T h d ではデジタル画像信号 D A に基づく表示が行われ、その後上記 3 個の黒電圧印加パルス P b が印加されてから次に当該ゲートライン G L j に画素データ書込パルス P w が印加される時点までの期間 T b k では黒表示が行われる。このようにして、黒表示の行われる期間（以下「黒表示期間」という）T b k が各フレーム期間に挿入されることにより、液晶表示装置 2 0 によるインパルス化が行われる。

20

【 0 0 6 7 】

図 3 の ( d ) ( e ) から分かるように、画素データ書込パルス P w の現れる時点は走査信号 G ( j ) 毎に 1 水平走査期間 ( 1 H ) ずつずれているので、黒電圧印加パルス P b の現れる時点も走査信号 G ( j ) 毎に 1 水平走査期間 ( 1 H ) ずつずれている。

30

【 0 0 6 8 】

したがって、黒表示期間 T b k も 1 表示ライン毎に 1 水平走査期間 ( 1 H ) ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる。このようにして、画素データ書込のための画素容量 C p での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ 2 3 等の動作速度を上げる必要もない。

【 0 0 6 9 】

一方、本実施の形態の液晶表示装置 2 0 は、チャージシェアリング方式による黒挿入に加えて、さらにマルチ絵素構造を有している。

40

【 0 0 7 0 】

以下に、本実施の形態の液晶表示装置 2 0 におけるマルチ絵素構造について説明する。

【 0 0 7 1 】

まず、マルチ絵素構造では、各赤 ( R ) ・緑 ( G ) ・青 ( B ) の画素が 2 以上の副画素に分割され、副画素電極がそれぞれ個別に駆動される。

【 0 0 7 2 】

このようなマルチ絵素構造が適用される場合、副画素のうちの少なくとも 2 つは輝度が互いに異なるものであることが好ましい。この形態によれば、1 つの画素内に明るい副画素及び暗い副画素の両方が存在するため、面積階調によって中間調を表現することができ、液晶表示画面の斜め視角における白浮きを改善するのに好適である。また、このような

50

、明るい副画素及び暗い副画素を形成するために、本実施の形態では、互いに逆の位相の信号電圧が印加される2以上の保持容量配線が設けられている。

【0073】

なお、2以上の保持容量配線に印加される互いに逆の位相の信号電圧とは、画素分割構造の画素において、面積階調を操作するために用いられる保持容量電圧のことを意味している。この保持容量電圧としては、ゲート信号のオフ後に、ソースから供給されるドレイン信号電圧( $V_s$ )の突き上げに寄与する保持容量電圧(保持容量 $C_s$ 極性が+)と、ドレイン信号電圧( $V_s$ )の突き下げに寄与する保持容量電圧(保持容量 $C_s$ 極性が-)との2種類がある。

【0074】

このような画素分割法(面積階調技術)においては、保持容量電圧、保持容量 $C_s$ 及び液晶容量の容量結合により、画素毎の実効電圧を副画素毎に代えている。これにより、明・暗の副画素を形成させ、これらのマルチ絵素駆動を実現することができる。

【0075】

上記マルチ絵素構造を有するアクティブマトリクス基板10を備えた液晶表示装置20の構成を、図4に基づいて詳述する。図4は、1画素の構成を示す平面図である。

【0076】

同図に示すように、上記アクティブマトリクス基板10は、マトリクス状に配された画素領域1と、互いに直交するゲートライン $GL_1$ 、...、 $GL_j$ 、 $GL_{j+1}$ 、...、 $GL_m$ (列方向、図中左右方向)及びソースライン $SL_1$ 、...、 $SL_i$ 、 $SL_{i+1}$ 、...、 $SL_n$ (行方向、図中上下方向)と、第1保持容量配線11及び第2保持容量配線12とを備えている。

【0077】

画素領域1には、これらゲートライン $GL_j$ とソースライン $SL_i$ との交差部分に、アクティブ素子であるスイッチング素子としてのTFT(Thin Film Transistor: 薄膜トランジスタ)4が設けられている。アクティブ素子であるTFT4は、ゲート電極として機能するゲートライン $GL_j$ と、ソースライン $SL_i$ に接続されたソース電極5と、互に向かい合う第1ドレイン電極6a及び第2ドレイン電極6bとを備えている。この結果、上記TFT4は、ソース電極5とゲートライン $GL_j$ に接続されるゲート電極と第1ドレイン電極6aとによって構成される第1TFT4aと、ソース電極5とゲートライン $GL_j$ に接続されるゲート電極と第2ドレイン電極6bとによって構成される第2TFT4bとを含んでいる。

【0078】

そして、第1ドレイン電極6a及び第2ドレイン電極6bはそれぞれ、配線部を構成する導電層からなる第1ドレイン引出し配線7a及び第2ドレイン引出し配線7bに接続されている。第1ドレイン引出し配線7a及び第2ドレイン引出し配線7bは、それぞれ層間絶縁膜を貫く第1コンタクトホール8a及び第2コンタクトホール8bを介して第1副画素電極1a及び第2副画素電極1bと接続されている。

【0079】

上記構成のアクティブマトリクス基板10の各画素では、図5に示す等価回路が実現される。

【0080】

すなわち、第1副画素電極1aが第1TFT4aを介してソースライン $SL_i$ に接続され、第2副画素電極1bが第2TFT4bを介してソースライン $SL_1 \sim SL_n$ に接続される。なお、第1TFT4a及び第2TFT4bのゲートはいずれもゲートライン $GL_j$ に接続される。また、第1副画素電極1aに接続された第1保持容量上電極9aと第1保持容量配線11との間で第1保持容量(Strage Capacitor) $C_{cs1}$ が形成され、第2副画素電極1bに接続された第2保持容量上電極9bと第2保持容量配線12との間で第2保持容量 $C_{cs2}$ が形成される。なお、第1保持容量配線11及び第2保持容量配線12には、互いに異なる保持容量信号(補助容量対向電圧)が供給される。

10

20

30

40

50

## 【 0 0 8 1 】

同図に示すように、第 1 副画素電極 1 a、共通対向電極 E c、及び両者間の液晶層によって第 1 副画素容量 C p 1 が構成され、第 2 副画素電極 1 b、共通対向電極 E c、及び両者間の液晶層によって第 2 副画素容量 C p 2 が構成される。

## 【 0 0 8 2 】

次に、この保持容量信号を用いた駆動方法の一例について、上記図 5 に示す画素の等価回路と、各信号の電圧波形（タイミング）を示した図 6 の（ a ）（ b ）とに基づいて説明する。図 6 の（ a ）は n フレーム目の駆動波形を示すものであり、図 6 の（ b ）は n + 1 フレーム目の駆動波形を示すものである。なお、図 6 の（ b ）は図 6 の（ a ）に対して極性反転したものとなっている。また、この駆動方法は、単に、マルチ絵素構造の駆動方法を示すものであって、黒挿入技術に関する内容は省略されている。

10

## 【 0 0 8 3 】

先ず、図 6 の（ a ）（ b ）に示した電圧波形によれば、第 1 副画素 P 1 が明副画素となり、第 2 副画素 P 2 が暗副画素となる。V g はゲート電圧を示し、V s はソース電圧を示し、V c s 1・V c s 2 は第 1 副画素 P 1 及び第 2 副画素 P 2 のそれぞれの保持容量ライン C S 1・C S 2 の電圧を示し、V l c 1 及び V l c 2 はそれぞれ第 1 副画素 P 1 及び第 2 副画素 P 2 の画素電極の電圧を示す。

## 【 0 0 8 4 】

本実施の形態では、図 6 の（ a ）に示すように、n フレーム目にソース電圧の中央値 V s c に対して、プラス極性としてソース電圧に V s p を与え、図 6 の（ b ）に示すように、次の（ n + 1 ）フレーム目にマイナス極性としてソース電圧に V s n を与え、かつ、フレーム毎にドット反転を行う。保持容量ライン C S 1・C S 2 には、第 1 保持容量電圧 V c s 1 及び第 2 保持容量電圧 V c s 2 を振幅電圧 V a d で振幅させ、保持容量ライン C S 1 の位相と保持容量ライン C S 2 の位相とを 1 8 0 度ずらした信号を入力する。

20

## 【 0 0 8 5 】

図 6 の（ a ）を参照して、n フレーム目のときの各信号の電圧の経時変化を説明する。

## 【 0 0 8 6 】

時刻 T 1 のとき、ゲート電圧 V g が V g L から V g H に変化し、両副画素の第 1 T F T 4 a 及び第 2 T F T 4 b が ON 状態となり、第 1 液晶容量 C l c 1・第 2 液晶容量 C l c 2 及び第 1 保持容量 C c s 1・第 2 保持容量 C c s 2 に V s p の電圧が印加される。

30

## 【 0 0 8 7 】

時刻 T 2 のとき、ゲート電圧 V g が V g H から V g L に変化し、第 1 副画素 P 1 及び第 2 副画素 P 2 の第 1 T F T 4 a 及び第 2 T F T 4 b が OFF 状態となり、第 1 液晶容量 C l c 1・第 2 液晶容量 C l c 2 及び第 1 保持容量 C c s 1・第 2 保持容量 C c s 2 がソースライン S L 1 ~ S L n と電氣的に絶縁される。なお、この直後に寄生容量等の影響による引き込み現象のために、第 1 副画素 P 1 及び第 2 副画素 P 2 のそれぞれに概ね同一の引き込み電圧が発生し、各第 1 副画素 P 1 及び第 2 副画素 P 2 の第 1 副画素電圧 V l c 1 及び第 2 副画素電圧 V l c 2 は、

$$V l c 1 = V s p - V d$$

$$V l c 2 = V s p - V d$$

40

となる。

## 【 0 0 8 8 】

また、このとき、第 1 保持容量電圧 V c s 1 及び第 2 保持容量電圧 V c s 2 は、

$$V c s 1 = V c o m - V a d$$

$$V c s 2 = V c o m + V a d$$

である。

## 【 0 0 8 9 】

なお、引き込み電圧 V d は、下記の式のようになる。

## 【 0 0 9 0 】

$$V d = ( V g H - V g L ) \times C g d / ( C l c ( V ) + C g d + C c s )$$

50

ここで、 $V_{gH}$ 及び $V_{gL}$ はそれぞれ第1 TFT 4 a及び第2 TFT 4 bのゲートオン時の電圧及びゲートオフ時の電圧、 $C_{gd}$ は第1 TFT 4 a及び第2 TFT 4 bのゲートとドレインとの間に生じる寄生容量、 $C_{lc}(V)$ は液晶容量の静電容量(容量値)、 $C_{cs}$ は保持容量の静電容量(容量値)を示す。

【0091】

次に、時刻T3のとき、保持容量ラインCS1の第1保持容量電圧 $V_{cs1}$ が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、保持容量ラインCS2の第2保持容量電圧 $V_{cs2}$ が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。このとき各第1副画素P1及び第2副画素P2の第1副画素電圧 $V_{lc1}$ 及び第2副画素電圧 $V_{lc2}$ は、

$$V_{lc1} = V_{sp} - V_d + 2 \times K \times V_{ad}$$

$$V_{lc2} = V_{sp} - V_d - 2 \times K \times V_{ad}$$

となる。ただし、 $K = C_{cs} / (C_{lc}(V) + C_{cs})$ である。

【0092】

時刻T4では、第1保持容量電圧 $V_{cs1}$ が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、第2保持容量電圧 $V_{cs2}$ が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。このとき第1副画素電圧 $V_{lc1}$ 及び第2副画素電圧 $V_{lc2}$ は、

$$V_{lc1} = V_{sp} - V_d$$

$$V_{lc2} = V_{sp} - V_d$$

となる。

【0093】

時刻T5では、第1保持容量電圧 $V_{cs1}$ が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、第2保持容量電圧 $V_{cs2}$ が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。このとき第1副画素電圧 $V_{lc1}$ 及び第2副画素電圧 $V_{lc2}$ は、

$$V_{lc1} = V_{sp} - V_d + 2 \times K \times V_{ad}$$

$$V_{lc2} = V_{sp} - V_d - 2 \times K \times V_{ad}$$

となる。

【0094】

後は、次に $V_g = V_{gH}$ となり書き込みが行われるまで、水平走査期間1Hの整数倍毎に、第1保持容量電圧 $V_{cs1}$ 及び第2保持容量電圧 $V_{cs2}$ と第1副画素電圧 $V_{lc1}$ 及び第2副画素電圧 $V_{lc2}$ とは、時刻T4と時刻T5との動作を交互に繰り返す。したがって、第1副画素電圧 $V_{lc1}$ 及び第2副画素電圧 $V_{lc2}$ の実効値は、

$$V_{lc1} = V_{sp} - V_d + K \times V_{ad}$$

$$V_{lc2} = V_{sp} - V_d - K \times V_{ad}$$

となる。

【0095】

nフレーム目において、各副画素の液晶層に印加される実効電圧は、

$$V_1 = V_{sp} - V_d + K \times V_{ad} - V_{com}$$

$$V_2 = V_{sp} - V_d - K \times V_{ad} - V_{com}$$

となるため、第1副画素P1が明副画素となり、第2副画素P2が暗副画素となる。

【0096】

以上のように、本実施の形態のアクティブマトリクス基板10を備えた液晶表示装置では、上述したマルチ画素駆動が行われる。なお、ここでは寄生容量すなわちソースラインSL1~SLnと第1副画素電極1a・第2副画素電極1bとの寄生容量等は省略して説明した。また、ここでは簡易的に第1保持容量電圧 $V_{cs1}$ の位相と第2保持容量電圧 $V_{cs2}$ の位相とを180度ずらしているが、1画素を形成する副画素が明画素と暗画素となればよいので必ずしも位相のずれが180度でなくても構わない。また、第1保持容量電圧 $V_{cs1}$ 及び第2保持容量電圧 $V_{cs2}$ のパルス幅を $V_s$ と同等としたがこれに限らず、例えば大型高精細の液晶表示装置を駆動する場合の保持容量信号遅延による保持容量の充電不足を考慮してパルス幅を変更すればよい。

【0097】

10

20

30

40

50

ここで、上記マルチ絵素構造の液晶表示装置 20 において、前述のチャージシェアリング方式による黒挿入技術を適用する。

【0098】

この場合の駆動動作を、図 7 に基づいて説明する。

【0099】

同図に示すように、第 1 フレームにおいて、例えば、画面の第 1 ラインにおいて、第 1 保持容量電圧  $V_{cs1}$  が矩形波にて印加されている。このとき、ゲートライン  $GL1$  に画素データ書込パルス  $P_w$  及び黒電圧印加パルス  $P_b$  を印加する。このときの黒電圧印加パルス  $P_b$  の挿入割合は、例えば 1 フレームの 30% とする。

【0100】

この黒電圧印加パルス  $P_b$  の最後のパルスの印加時には、同図に示すように、第 1 保持容量電圧  $V_{cs1}$  の波形は、突き上げとなっている。したがって、ドレイン電圧  $D(1)$  もそれに伴う挙動を示す。

【0101】

同様に、画面の第  $j$  ラインにおいて、第 1 保持容量電圧  $V_{cs1}$  が矩形波にて印加されている。このとき、ゲートライン  $GLj$  に画素データ書込パルス  $P_w$  及び黒電圧印加パルス  $P_b$  を印加する。この黒電圧印加パルス  $P_b$  の最後のパルスの印加時には、同図に示すように、第 1 保持容量電圧  $V_{cs1}$  の波形は、突き上げとなっている。したがって、ドレイン電圧  $D(j)$  もそれに伴う挙動を示す。すなわち、第 1 ラインと同様の挙動を示す。

【0102】

したがって、ドレイン電圧と対向電圧 ( $V_{com}$ ) との間の液晶の実効印加電圧が 1 ライン目と  $j$  ライン目とで同じであり、輝度差は生じないため、表示部 21 は、同図 7 に示すように、均一な表示となっている。

【0103】

ところで、チャージシェアリング方式による黒挿入においては、黒電圧印加パルス  $P_b$  のタイミングを変えることによって黒挿入率が可変である。動きの多い表示映像には黒挿入率を高めて動画ボケを低減させたり、静止画の場合には黒挿入を止めてホールド表示にしたりする等が可能である。

【0104】

例えば、黒挿入の割合を上記の 1 フレーム中 30% から 25% に変える場合を考える。この場合の駆動動作を図 8 に基づいて説明する。

【0105】

すなわち、同図に示すように、第 1 フレームにおいて、例えば、画面の第 1 ラインにおいて、第 1 保持容量電圧  $V_{cs1}$  が矩形波にて印加されている。このとき、ゲートライン  $GL1$  に画素データ書込パルス  $P_w$  及び黒電圧印加パルス  $P_b$  を印加する。

【0106】

この黒電圧印加パルス  $P_b$  の最後のパルスの印加時には、同図に示すように、第 1 保持容量電圧  $V_{cs1}$  の波形は、突き上げとなっている。したがって、ドレイン電圧  $D(1)$  もそれに伴う挙動を示す。ここまでは、上述の図 7 と同じである。

【0107】

しかしながら、例えば、画面の第  $j$  ラインにおいて、第 1 保持容量電圧  $V_{cs1}$  が矩形波にて印加されている。このとき、ゲートライン  $GLj$  に画素データ書込パルス  $P_w$  及び黒電圧印加パルス  $P_b$  を印加する。この黒電圧印加パルス  $P_b$  の最後のパルスの印加時には、同図に示すように、第 1 保持容量電圧  $V_{cs1}$  の波形は、突き下げとなっている。したがって、ドレイン電圧  $D(j)$  もそれに伴う挙動を示す。その結果、同図に示すように、第 1 ラインとは異なる挙動を示す。

【0108】

したがって、ドレイン電圧と対向電圧 ( $V_{com}$ ) との間の液晶の実効印加電圧が 1 ライン目と  $j$  ライン目とで異なるため、表示部 21 は、同図 8 に示すように、輝度差が生じた状態となる。

10

20

30

40

50

## 【 0 1 0 9 】

液晶の実効印加電圧が異なる原因は、従来例の説明図である図 1 3 の ( a ) ( b ) ( c ) に示すように、黒電圧印加パルス P b の印加の第 1 保持容量電圧 V c s 1 の矩形波に対する位相が異なっているためである。

## 【 0 1 1 0 】

本実施の形態の液晶表示装置 2 0 では、この問題を解決するために、図 1 の ( a ) ( b ) ( c ) に示すように、第 1 保持容量電圧 V c s 1 の矩形波に対する黒電圧印加パルス P b の印加の位相を合わすようにしている。

## 【 0 1 1 1 】

具体的には、図 9 の ( a ) に示すように、保持容量位相不変化制御部 3 0 が設けられており、この保持容量位相不変化制御部 3 0 に設けられた記憶手段としてのルックアップテーブル L U T にて、位相が揃うように制御している。

10

## 【 0 1 1 2 】

すなわち、ルックアップテーブル L U T には、ある黒挿入率に対して、黒電圧印加パルス P b と保持容量電圧 V c s の波形の位相関係を一定に保つために、図 9 の ( b ) に示すように、黒挿入率と黒電圧印加パルス P b の出力タイミングとの組み合わせが格納されている。ここで、

$$\begin{aligned} \text{黒挿入率} &= \text{黒書き込み期間} / 1 \text{ フレーム} \\ &= \text{黒電圧印加パルス P b の出力タイミング} / V_{\text{total}} \end{aligned}$$

と定義する。また、この V total とは、1 フレームのゲートクロック信号 G C K 数をいう。また、黒電圧印加パルス P b の出力タイミングとは、1 フレームの開始から黒電圧印加パルス P b が出力されるまでのゲートクロック信号 G C K の数を示している。

20

## 【 0 1 1 3 】

ここで、本実施の形態の液晶表示装置 2 0 は、例えば、走査信号線数 ( V D I S P ) = 1 0 8 0、データ信号線数 ( H D I S P ) = 1 9 2 0 のフルハイビジョン ( F H D : Full High Definition ) の表示部 2 1 を有している。

## 【 0 1 1 4 】

この場合において、例えば、黒挿入率 = 2 6 %、V total = 1 1 1 2 の場合、黒電圧印加パルス P b の出力タイミングは、V total - 2 8 9 = 1 1 1 2 - 2 8 9 = 8 2 3 となる。したがって、ゲートクロック信号 G C K 数 V が 8 2 3 の位置から黒電圧印加パルス P b を出力し始めれば、黒電圧印加パルス P b と保持容量電圧 V c s との位相関係を一定に保つことができる。

30

## 【 0 1 1 5 】

本実施の形態のルックアップテーブル L U T では、黒挿入率を最大 3 0 % として、0 ~ 3 0 % の間を 1 6 段階にして値を設定している。ただし、必ずしもこれに限らず、使用する黒挿入率に応じて、ルックアップテーブル L U T を作成すればよい。

## 【 0 1 1 6 】

上記のルックアップテーブル L U T を用いて、黒電圧印加パルス P b の出力タイミングを求める方法について説明する。

## 【 0 1 1 7 】

すなわち、図 9 の ( a ) に示すように、ゲートスタートパルス信号 G S P とゲートクロック信号 G C K とから V カウンタ 3 1 にてゲートクロック信号 G C K 数をカウントし、V total を求める。そして、求めた V total と黒挿入率とからルックアップテーブル L U T を参照して、黒電圧印加パルス P b の挿入開始出力タイミングを算出し、ゲートクロック信号 G C K 数をカウントし、黒電圧印加パルス P b の挿入開始出力タイミングと一致したときに黒電圧印加パルス P b を出力し始める。

40

## 【 0 1 1 8 】

なお、本実施の形態においては、画素が 2 つの副画素から構成されているマルチ絵素駆動について説明したが、必ずしもこれに限らず、本発明においては、画素が複数の副画素から構成されるマルチ絵素駆動の場合においても、適用が可能である。

50

## 【 0 1 1 9 】

すなわち、図 1 0 の ( a ) ( b ) に示すように、1 つ画素を、例えば、3 つの副画素に分割することが可能である。この 3 分割画素においては、副画素 1 と副画素 3 とが同じ輝度であり、副画素 2 は副画素 1 及び副画素 3 とは輝度が異なっている。このようなマルチ画素駆動を行うためには、例えば図 1 0 の ( c ) に示すように、副画素 1 の画素電極と副画素 3 の画素電極とを導通させて、同じ輝度にする。このときには、前述したと同様の第 1 保持容量配線 1 1 及び第 2 保持容量配線 1 2 の 2 種類の配線にて駆動することができる。

## 【 0 1 2 0 】

このように、本実施の形態のアクティブマトリクス型の液晶表示装置 2 0 及びその駆動方法では、ゲートライン G L 1 ~ G L m、ソースライン S L 1 ~ S L n、及びこれらの各交差部に画素を備えると共に、各画素が 2 つの副画素から構成される。これら 2 つの第 1 副画素 P 1 及び第 2 副画素 P 2 のうちの一方の副画素における第 1 副画素電極 1 a と容量を形成する第 1 保持容量配線 1 1 と、2 つの副画素のうち他方の第 2 副画素電極 1 b と容量を形成する第 2 保持容量配線 1 2 とが設けられる。そして、第 1 保持容量配線 1 1 及び第 2 保持容量配線 1 2 には互いに逆の位相の信号電圧が印加されている。なお、画素が複数の副画素から構成される場合においても、適用が可能である。

10

## 【 0 1 2 1 】

また、本実施の形態では、擬似インパルス化を図るために、黒挿入を行う。具体的には、黒信号挿入手段としての表示制御回路 2 4、ゲートドライバ 2 2 及びソースドライバ 2 3 が、1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する。さらに、黒挿入率変更手段としての表示制御回路 2 4、ゲートドライバ 2 2 及びソースドライバ 2 3 は、黒信号挿入期間を変更する。

20

## 【 0 1 2 2 】

このようなアクティブマトリクス型の液晶表示装置 2 0 においては、黒挿入率の変更に伴い、保持容量電圧の波形との関係において、表示部 2 1 に輝度差が生じることがある。

## 【 0 1 2 3 】

そこで、本実施の形態では、この問題を解決するために、黒信号挿入期間が変更されたときに、第 1 保持容量配線 1 1 又は第 2 保持容量配線 1 2 の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間 T と、第 1 保持容量配線 1 1 又は第 2 保持容量配線 1 2 の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間 T とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化制御部 3 0 が設けられている。

30

## 【 0 1 2 4 】

また、本実施の形態では、この問題を解決するために、黒信号挿入期間が変更されたときに、第 1 保持容量配線 1 1 又は第 2 保持容量配線 1 2 の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、第 1 保持容量配線 1 1 又は第 2 保持容量配線 1 2 の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化制御部 3 0 が設けられている。

40

## 【 0 1 2 5 】

したがって、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型の液晶表示装置 2 0 及びその駆動方法を提供することができる。

## 【 0 1 2 6 】

また、本実施の形態のアクティブマトリクス型の液晶表示装置 2 0 では、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける

50

各最後の位置が、第1保持容量配線11又は第2保持容量配線12の信号電圧に対する位相が互いに変わらないように制御することによって、確実に、表示部に輝度差が生じることを防止することができるようになっている。

【0127】

また、本実施の形態のアクティブマトリクス型の液晶表示装置20では、複数のソースラインSL1～SLnにおけるデータ信号の極性が反転するとき、所定黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧としている。

【0128】

これにより、データ信号の極性が反転するとき、例えば、正極性から負極性へ直接変化するのではなく、正極性の電圧から、一旦、データ信号線の電圧を黒表示に相当する電圧を印加した後、負極性の電圧を印加する。したがって、電圧差が小さくなるので、消費電力を低減することができる。

10

【0129】

また、ドット反転駆動においては、1フレーム期間中に何度も極性が反転する。したがって、この複数回の極性反転時毎に電圧を黒表示に相当する電圧を何度も印加することによって、黒電圧の書き込み不足を補うことができる。

【0130】

また、この黒電圧の書き込み方法では、画素データ書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ等の動作速度を上げる必要もない。

20

【0131】

また、本実施の形態のアクティブマトリクス型の液晶表示装置20では、変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第1保持容量配線11又は第2保持容量配線12の信号電圧に対する位相が互いに変わらないように制御するための複数の各黒信号挿入期間の出力タイミングを格納した記憶手段を有している。

【0132】

これにより、記憶手段に格納されているデータにより、変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第1保持容量配線11又は第2保持容量配線12の信号電圧に対する位相が互いに変わらないように制御することができる。したがって、複雑な回路が不要である。

30

【0133】

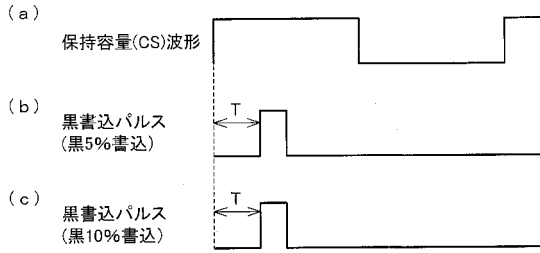
また、本実施の形態のアクティブマトリクス型の液晶表示装置20では、記憶手段は、ルックアップテーブルLUTからなっている。これにより、有限の黒挿入率に対する最適な黒信号挿入期間の組み合わせを容易に求めることができる。

【産業上の利用の可能性】

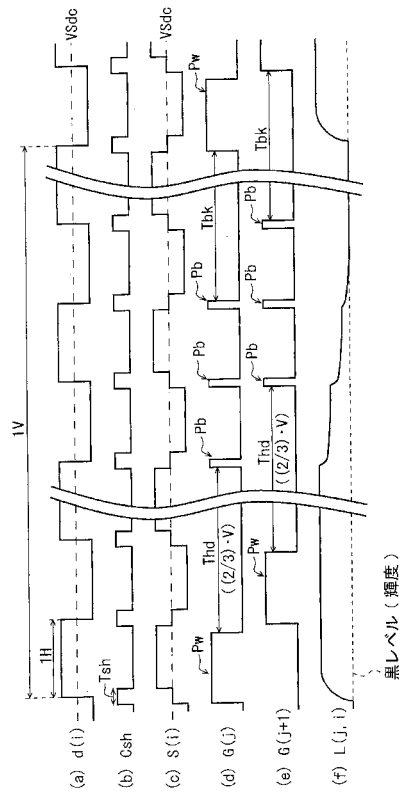
【0134】

本発明は、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させるマルチ絵素構造の表示パネルに黒挿入を行うアクティブマトリクス型液晶表示装置及びその駆動方法に適用することができる。

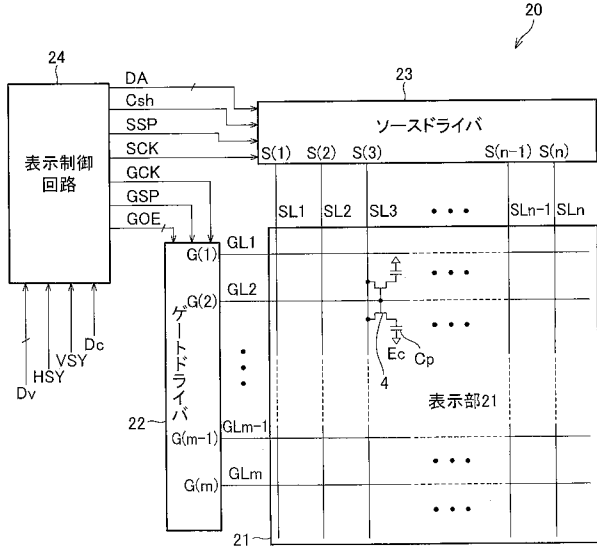
【図1】



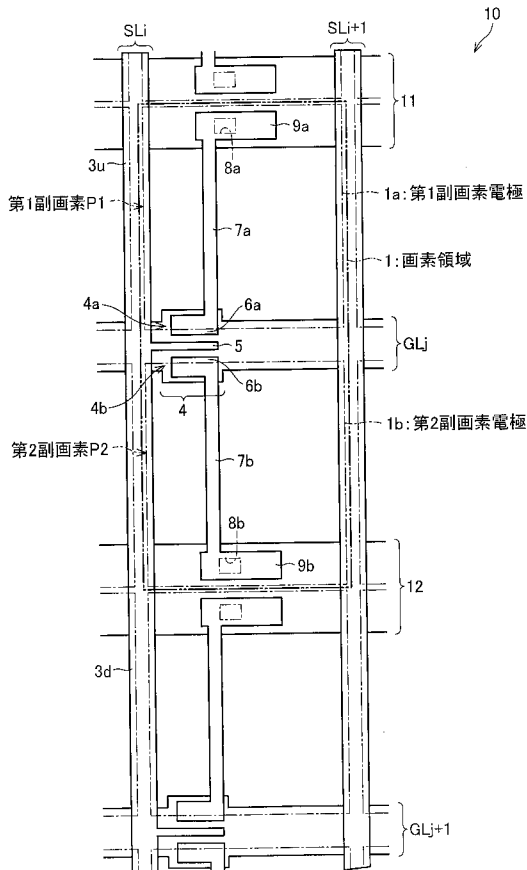
【図3】



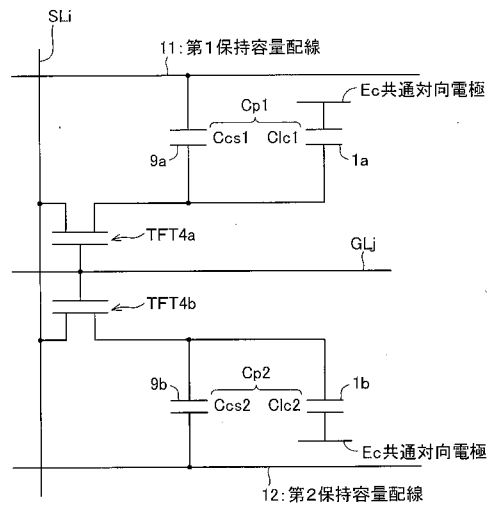
【図2】



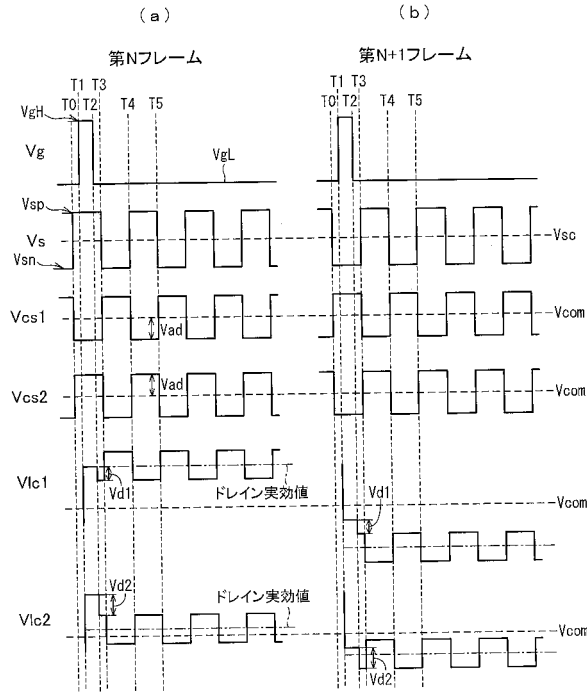
【図4】



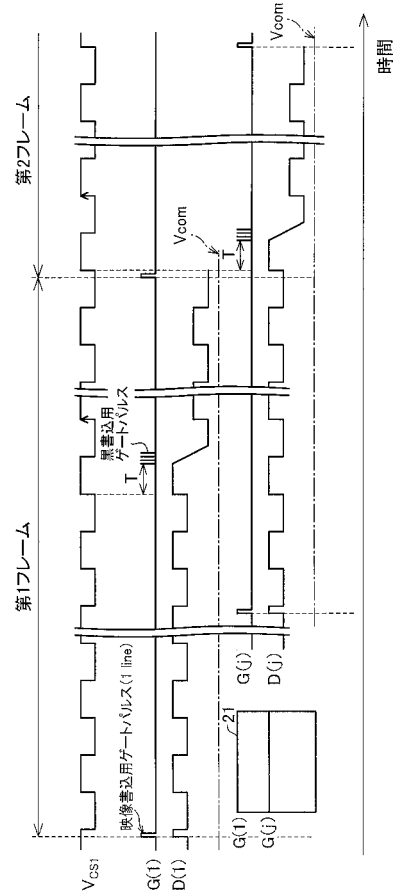
【図5】



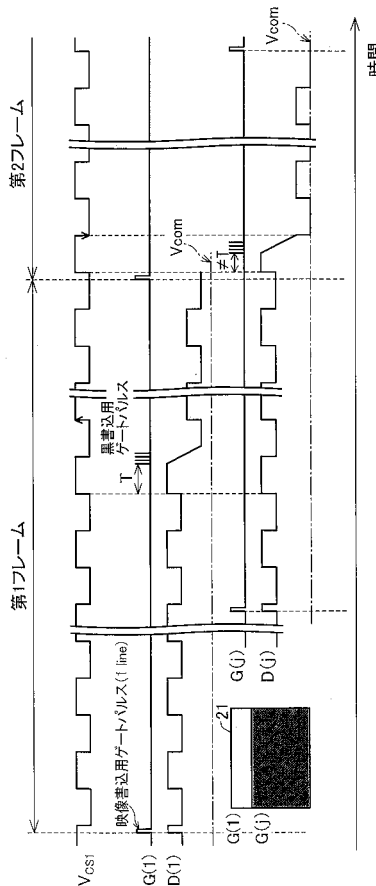
【図6】



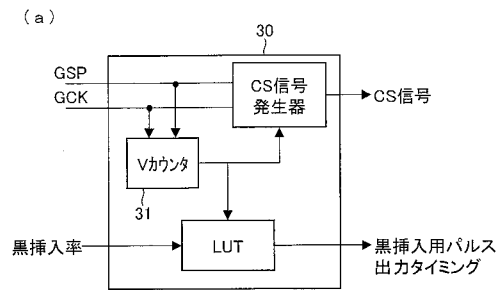
【図7】



【図8】



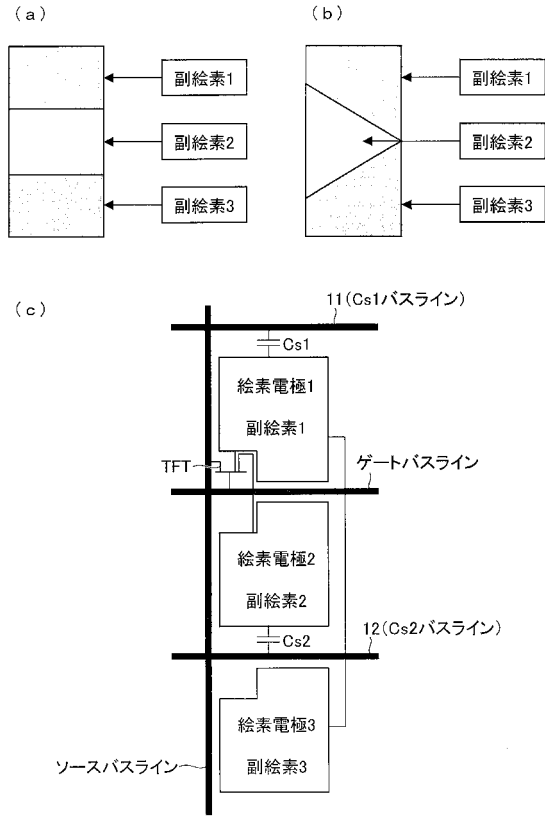
【図9】



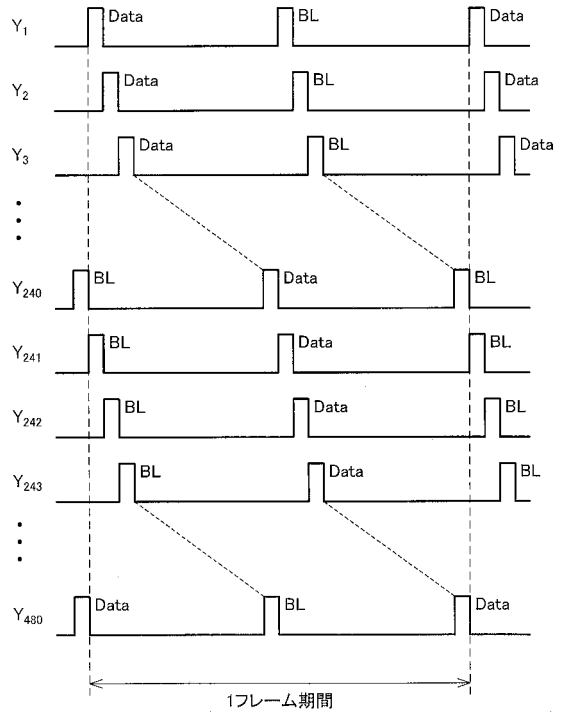
(b)

黒挿入率	黒挿入用パルス 出カタイミン
30%	Vtotal-329
28%	Vtotal-309
26%	Vtotal-289
24%	Vtotal-269
22%	Vtotal-249
21%	Vtotal-229
19%	Vtotal-209
17%	Vtotal-189
15%	Vtotal-169
13%	Vtotal-149
12%	Vtotal-129
10%	Vtotal-109
8%	Vtotal-89
6%	Vtotal-69
4%	Vtotal-49
3%	Vtotal-29

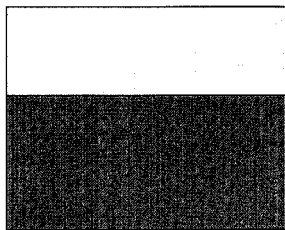
【図10】



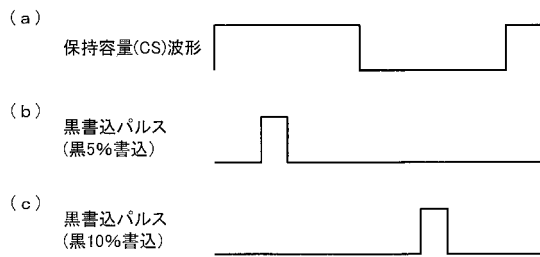
【図11】



【図12】



【図13】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 3 1 M
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 6 0 V
G 0 2 F	1/133	5 5 0

審査官 森口 忠紀

(56)参考文献 特開2005-345973(JP, A)  
国際公開第2006/049245(WO, A1)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133,505-1/133,580

专利名称(译)	有源矩阵型液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP4790798B2</a>	公开(公告)日	2011-10-12
申请号	JP2008516574	申请日	2007-03-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	入江健太郎 北山雅江 下敷領文一		
发明人	入江 健太郎 北山 雅江 下敷領 文一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G02F1/136213 G02F2001/134345 G09G2300/0876 G09G2310/061		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.622.D G09G3/20.624.B G09G3/20.624.D G09G3/20.631.M G09G3/20.642.A G09G3/20.660.V G02F1/133.550		
优先权	2006140921 2006-05-19 JP		
其他公开文献	JPWO2007135803A1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

对应于黑色显示的电压被施加到一个帧周期的一部分。当黑信号插入周期改变时，从改变黑信号插入周期中黑信号插入周期中第一或第二保持电容线的信号电压的上升位置到第一黑插入脉冲的上升位置并且，在改变后的黑色信号插入时段中，在黑色信号插入时段中从第一或第二存储电容器线的信号电压的上升位置到第一黑色插入脉冲的上升位置的时间，并控制更改后的黑色信号插入周期。因此，存储电容器的电容耦合和液晶电容器，在执行黑插入显示面板时通过更换有效电压施加到每个像素的每个子像素，以形成亮和暗的子像素，所述显示面板屏幕可以提供一种能够防止在液晶显示装置的上侧和下侧之间出现亮度差的有源矩阵型液晶显示装置及其驱动方法。

3

