

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4673803号
(P4673803)

(45) 発行日 平成23年4月20日 (2011. 4. 20)

(24) 登録日 平成23年1月28日 (2011. 1. 28)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 622B
G02F 1/133 (2006.01)	G09G 3/20 623F
	G09G 3/20 623R
	G09G 3/20 621F
請求項の数 27 (全 28 頁) 最終頁に続く	

(21) 出願番号	特願2006-171054 (P2006-171054)	(73) 特許権者	501426046
(22) 出願日	平成18年6月21日 (2006. 6. 21)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2007-108668 (P2007-108668A)		ミテッド
(43) 公開日	平成19年4月26日 (2007. 4. 26)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成18年6月29日 (2006. 6. 29)		イドードン 20
(31) 優先権主張番号	10-2005-0097131	(74) 代理人	100094112
(32) 優先日	平成17年10月14日 (2005. 10. 14)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
			弁理士 岡部 正夫
前置審査		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100104352
			弁理士 朝日 伸光
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置の駆動装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

互いに交差するように配列される複数のゲートラインと複数のデータラインとを有する液晶パネルと、

前記ゲートラインにゲートパルスを供給するゲートドライバと、

入力されるNビット（Nは、正の整数を表わす。）デジタルデータ信号をサンプリングしてアナログデータ電圧を発生し、前記サンプリングされたデータ信号のうちMビット（Mは、Nより小さいか等しい正の整数を表わす。）データ値によって液晶の応答速度を速くするための変調データ電圧を発生し、前記変調データ電圧を前記アナログデータ電圧と混合して前記データラインに供給するデータドライバであって、

前記データドライバは、

サンプリング信号を生成するシフトレジスタと、

前記サンプリング信号によって前記Nビットデジタルデータ信号をラッチし、ラッチされたNビットデジタルデータ信号をデータ出力信号によって出力するラッチ部と、

前記ラッチ部から出力される前記Mビットデジタルデータ信号によって前記変調データ電圧を生成する変調部と、

前記ラッチ部から出力される前記Nビットデジタルデータ信号を前記アナログデータ電圧に変換し、前記アナログデータ電圧と前記変調データ電圧とを混合して正極性及び負極性データ電圧を生成し、これを極性制御信号によって前記データラインに出力するデジタルーアナログ変換部と、を備え、

前記変調部は、
前記変調データ電圧の電圧レベルを設定する変調電圧生成部と、
前記変調データ電圧のパルス幅を設定するためのスイッチング制御信号を生成するスイッチング制御信号生成部と、
前記スイッチング制御信号によって、前記変調電圧生成部からの前記変調データ電圧を前記混合部に供給するスイッチング素子と、を備え、
前記変調電圧生成部は、
前記Mビットデジタルデータ信号をデコードして第1デコーディング信号を生成する第1デコーダと、
駆動電圧端と前記変調電圧生成部の出力ノードとの間に接続された第1抵抗と、
前記変調電圧生成部の出力ノードと前記第1デコーダとの間に接続され、前記第1デコーディング信号によって前記変調電圧生成部の出力ノードの電圧レベルが可変するように前記駆動電圧端からの駆動電圧を分圧する複数の分圧抵抗と、を備え、
前記変調データ電圧は、前記Mビットデジタルデータ信号によって、電圧レベル及びパルス幅のうち少なくとも一つが変調されることを特徴とする液晶表示装置の駆動装置。

10

【請求項2】

前記変調データ電圧は、アナログデータ電圧よりも大きい大きさを有することを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項3】

前記データドライバは、前記ゲートパルスの第1区間に、前記変調データ電圧と前記アナログデータ電圧とを混合して前記データラインに供給し、前記ゲートパルスの第2区間には、前記アナログデータ電圧を前記データラインに供給することを特徴とする請求項1に記載の液晶表示装置の駆動装置。

20

【請求項4】

前記変調電圧生成部は、駆動電圧端と基底電圧源との間に接続され、抵抗値によって、前記駆動電圧端からの駆動電圧を、固定された電圧レベルを有する前記変調データ電圧に分圧して前記スイッチング素子に供給する第1及び第2抵抗を備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項5】

前記スイッチング制御信号生成部は、
前記Mビットデジタルデータ信号をデコードして第2デコーディング信号を生成する第2デコーダと、
入力されるクロック信号を前記第2デコーディング信号分だけカウントして相異なるパルス幅を有する前記スイッチング制御信号を生成し、これを前記スイッチング素子に供給するカウンタと、
を備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

30

【請求項6】

前記スイッチング制御信号生成部は、入力されるクロック信号を設定値分だけカウントして固定されたパルス幅を有する前記スイッチング制御信号を生成し、これを前記スイッチング素子に供給するカウンタを備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

40

【請求項7】

前記スイッチング制御信号は、前記データ出力信号または前記ゲートパルスに同期して前記スイッチング素子に供給されることを特徴とする請求項5または6に記載の液晶表示装置の駆動装置。

【請求項8】

前記スイッチング制御信号生成部は、
前記変調電圧生成部の出力ノードと前記スイッチング素子の制御端子との間に接続された抵抗と、
前記スイッチング素子の制御端子と基底電圧源との間に接続にされて前記スイッチング

50

制御信号を生成するキャパシタと、

前記スイッチング素子から出力される前記変調データ電圧を、前記Mビットデジタルデータ信号によってデコードしてクリア信号を生成するクリア信号生成部と、

前記スイッチング素子の制御端子と基底電圧源との間に配置され、前記クリア信号によって前記キャパシタに保存された電圧を放電させるトランジスタと、
を備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項9】

前記クリア信号生成部は、

前記変調データ電圧をバッファするバッファ部と、

前記トランジスタの制御端子に接続された出力端及び前記バッファ部に接続された抵抗と、

前記出力端に並列に接続された複数のキャパシタと、

前記Mビットデジタルデータ信号によって前記複数のキャパシタのうちいずれか一つを選択する第2デコーダと、

を備えることを特徴とする請求項8に記載の液晶表示装置の駆動装置。

【請求項10】

前記スイッチング制御信号生成部は、

前記変調電圧生成部の出力ノードと前記スイッチング素子の制御端子との間に接続された抵抗と、

前記スイッチング素子の制御端子と基底電圧源との間に接続にされて、前記スイッチング制御信号を生成するキャパシタと、

前記スイッチング素子から出力される前記変調データ電圧を用いてクリア信号を生成するクリア信号生成部と、

前記スイッチング素子の制御端子と基底電圧源との間に配置されて、前記クリア信号によって前記キャパシタに保存された電圧を放電させるトランジスタと、
を備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項11】

前記クリア信号生成部は、

前記変調データ電圧をバッファするバッファ部と、

前記トランジスタの制御端子に接続された出力端及び前記バッファ部に接続された抵抗と、

前記出力端と基底電圧源との間に接続されたキャパシタと、

を備えることを特徴とする請求項10に記載の液晶表示装置の駆動装置。

【請求項12】

前記クリア信号生成部は、前記出力端と前記トランジスタの制御端子との間に接続された少なくとも一つのインバータをさらに備えることを特徴とする請求項9または11に記載の液晶表示装置の駆動装置。

【請求項13】

前記デジタルーアナログ変換部は、

前記ラッチ部から出力される前記Nビットデジタルデータ信号をデコードして正極性及び負極性アナログデータ電圧を生成するデコーディング部と、

前記正極性及び負極性アナログデータ電圧のそれぞれを、前記変調データ電圧と混合して前記正極性及び負極性データ電圧を生成する混合部と、

前記極性制御信号によって前記混合された前記正極性及び負極性データ電圧を選択して出力するマルチプレクサ部と、

を備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項14】

前記混合部は、

前記正極性アナログデータ電圧に前記変調データ電圧を加算して前記正極性データ電圧を生成する加算部と、

前記負極性アナログデータ電圧から前記変調データ電圧を減算して前記負極性データ電圧を生成する減算部と、を備えることを特徴とする請求項 1 3 に記載の液晶表示装置の駆動装置。

【請求項 1 5】

前記混合部は、

前記正極性アナログデータ電圧に前記変調データ電圧を加算して前記正極性データ電圧を生成する第 1 加算部と、

前記変調データ電圧の極性を反転させる反転部と、

前記負極性アナログデータ電圧に前記反転された変調データ電圧を加算して前記負極性データ電圧を生成する第 2 加算部と、

を備えることを特徴とする請求項 1 3 に記載の液晶表示装置の駆動装置。

10

【請求項 1 6】

前記反転部は、反転増幅器であることを特徴とする請求項 1 5 に記載の液晶表示装置の駆動装置。

【請求項 1 7】

互いに交差するように配列された複数のゲートラインと複数のデータラインとを有する液晶パネルの駆動方法において、

入力された N ビット (N は、正の整数を表わす。) デジタルデータ信号をサンプリングしてアナログデータ電圧を生成する段階と、

前記サンプリングされたデータ信号のうち M ビット (M は、N より小さいか等しい正の整数を表わす。) データ値によって液晶の応答速度を速くする変調データ電圧を生成する段階と、

20

前記ゲートラインにゲートパルスを生成する段階と、

前記ゲートパルスに同期して前記変調データ電圧を前記アナログデータ電圧に混合し、混合されたデータ電圧を前記データラインに供給する段階であって、

前記変調データ電圧を前記アナログデータ電圧と混合する段階は、前記 N ビットデジタルデータ信号をデコードして正極性及び負極性アナログデータ電圧を生成する段階と、前記正極性及び負極性アナログデータ電圧のそれぞれに前記変調データ電圧を混合して正極性及び負極性データ電圧を生成する段階と、極性制御信号によって前記正極性及び負極性データ電圧を選択的に前記データラインに供給する段階と、を含み、

30

前記変調データ電圧を生成する段階は、

前記変調データ電圧の電圧レベルを設定する段階と、

前記変調データ電圧のパルス幅を設定するスイッチング制御信号を生成する段階と、

前記設定された電圧レベルとパルス幅を有する前記変調データ電圧を生成するために前記スイッチング制御信号によってスイッチング素子を制御する段階と、を含み、

前記変調データ電圧の電圧レベルを設定する段階は、

前記 M ビットデジタルデータ信号によって複数の抵抗のうち 2 個の抵抗を選択的に接続させる段階と、

前記選択的に接続された 2 個の抵抗を用いて前記変調データ電圧を生成するための駆動電圧を分圧する段階と、を備え、

40

前記変調データ電圧は、前記 M ビットデジタルデータ信号によって電圧レベル及びパルス幅のうち少なくとも一つが変調されることを特徴とする液晶表示装置の駆動方法。

【請求項 1 8】

前記混合されたデータ電圧は、前記ゲートパルスの第 1 区間に前記データラインに供給され、前記アナログデータ電圧は、前記ゲートパルスの第 2 区間に前記データラインに供給されることを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 1 9】

前記変調データ電圧の電圧レベルを設定する段階は、駆動電圧と基底電圧源との間に接続された第 1 及び第 2 抵抗を用いて、前記固定された電圧レベルの前記変調データ電圧を生成するために前記駆動電圧を分圧することを特徴とする請求項 1 7 に記載の液晶表示装

50

置の駆動方法。

【請求項 2 0】

前記スイッチング制御信号を生成する段階は、前記Mビットデジタルデータ信号によって決定される相異なるパルス幅を有する前記スイッチング制御信号を生成するために入力クロック信号をカウントし、前記生成されたスイッチング制御信号を前記スイッチに供給することを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 2 1】

前記スイッチング制御信号を生成する段階は、入力されるクロック信号を設定値分だけカウントして固定されたパルス幅を有する前記スイッチング制御信号を生成し、生成されたスイッチング制御信号を前記スイッチに供給することを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

10

【請求項 2 2】

前記スイッチング制御信号は、前記ゲートパルスに同期して前記スイッチに供給されることを特徴とする請求項 2 0 または 2 1 に記載の液晶表示装置の駆動方法。

【請求項 2 3】

前記スイッチング制御信号を生成する段階は、

前記スイッチング制御信号を生成するために前記スイッチに入力された変調データ電圧を第1キャパシタに保存する段階と、

前記スイッチから出力された前記変調データ電圧をバッファし、前記バッファされた電圧を、前記Mビットデジタルデータ信号によって決定された抵抗を通して複数の第2キャパシタのうち少なくとも一つに保存する段階と、

20

前記第1キャパシタに保存された電圧を放電させて、前記少なくとも一つの第2キャパシタに保存された電圧によってクリア信号を生成する段階と、を備えることを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 2 4】

前記スイッチング制御信号を生成する段階は、

前記スイッチング制御信号を生成するために前記スイッチに入力された前記変調データ電圧を第1キャパシタに保存する段階と、

前記スイッチから出力された前記変調データ電圧をバッファし、前記バッファされた電圧を第1抵抗を通して第2キャパシタに保存する段階と、

30

前記第1キャパシタに保存された電圧を放電させて、前記第2キャパシタに保存された電圧によってクリア信号を生成する段階と、を備えることを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 2 5】

前記正極性及び負極性データ電圧を生成する段階は、

前記正極性アナログデータ電圧に前記変調データ電圧を加算して前記正極性データ電圧を生成する段階と、

前記負極性アナログデータ電圧から前記変調データ電圧を減算して前記負極性データ電圧を生成する段階と、

を備えることを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

40

【請求項 2 6】

前記正極性及び負極性データ電圧を生成する段階は、

前記正極性アナログデータ電圧に前記変調データ電圧を加算して前記正極性データ電圧を生成する段階と、

前記変調データ電圧の極性を反転させる段階と、

前記負極性アナログデータ電圧に前記反転された変調データ電圧を加算して前記負極性データ電圧を生成する段階と、

を備えることを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 2 7】

前記反転された変調データ電圧は、反転増幅器によって極性が反転されることを特徴と

50

する請求項 2 6 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、メモリを使用しなくても液晶の応答速度を速くすることによって画質低下を防止することができる液晶表示装置の駆動装置及びその駆動方法に関する。

【背景技術】

【0002】

通常、液晶表示装置（LCD）は、ビデオ信号によって液晶セルの光透過率を調節して画像を表示する。液晶セルごとにスイッチング素子が形成されたアクティブマトリクスタイプの液晶表示装置は、動画像を表示するのに適している。アクティブマトリクスタイプの液晶表示装置に用いられるスイッチング素子としては、薄膜トランジスタ（以下、「TFT」という。）が主として使用されている。

【0003】

液晶表示装置は、次に示す式数 1 及び数 2 からわかるように、液晶固有の粘性や弾性などの特性によって応答速度が遅いという欠点がある。

【0004】

【数 1】

$$\tau_r \propto \frac{\gamma d^2}{\Delta \varepsilon |V_a^2 - V_F^2|}$$

ここで、 τ_r は、液晶に電圧が印加される時の立上り時間を表し、 V_a は、印加電圧を表し、 V_F は、液晶分子が傾斜運動を始めるフリーデリック（Frederick）遷移電圧を表し、 d は、液晶セルのセルギャップを表し、 γ （ガンマ）は、液晶分子の回転粘度を表す。

【0005】

【数 2】

$$\tau_F \propto \frac{\gamma d^2}{K}$$

ここで、 τ_F は、液晶に印加された電圧がオフされた後に液晶が弾性復元力によって原位置に復元する立下り時間を、 K は、液晶固有の弾性係数をそれぞれ表す。

【0006】

ツイステッドネマチック（TN）モードの液晶応答速度は、液晶材料の物性とセルギャップなどによって異なってくるが、通常、立上り時間が 20～80ms で、立下り時間が 20～30ms である。このような液晶の応答速度は、動画像の 1 フレーム期間（NTSC 方式の場合 16.67ms）よりも長いため、図 1 に示すように液晶セルに充電される電圧が所望の電圧に至る前に次のフレームに進行され、これにより、動画像において画面が不鮮明になるモーションぼかし（Motion Blurring）現象が現れる。

【0007】

図 1 を参照すると、関連技術による液晶表示装置は、動画像の具現に当たり、遅い応答速度によって、あるレベルから他のレベルにデータ VD が変わる際にそれに対応する表示輝度 BL が所望の輝度に至らず、所望の色と輝度が表現できなくなる。その結果、液晶表示装置は、動画像においてモーションぼかし現象が現れ、コントラスト比の低下によって表示品位が落ちてしまう。

【0008】

このような液晶表示装置の遅い応答速度を解決するために、ルックアップテーブルを用いてデータの変化の有無に応じてデータを変調する案（以下、「高速駆動」という。）が提案されたことがある（例えば、特許文献 1 及び 2 参照）。この高速駆動方法は、図 2 の

ような原理に基づいてデータを変調する。

【0009】

図2を参照すると、関連技術による高速駆動方法は、入力データVDを変調し、それによる変調データMVDを液晶セルに印加して所望の輝度MBLを得る。この高速駆動方法は、1フレーム期間内に入力データの輝度値に対応して所望の輝度が得られるように、データの変化の有無に基づいて上記の式数1において $|V_a^2 - V_F^2|$ を大きくすることによって液晶の応答速度を速く加速させる。

【0010】

したがって、関連技術による高速駆動方法を用いる液晶表示装置は、液晶の遅い応答速度をデータ値の変調で補償し動画像におけるモーションぼかし現象を緩和させることによって、所望の色と輝度で画像を表示できるようになる。

10

【0011】

具体的に、関連技術による高速駆動方法は、ハードウェア具現時にメモリへの容量負担を軽減させるために、図3に示すように、以前フレーム F_{n-1} と現フレーム F_n のそれぞれの上位ビットMSBのみを比較して変調するようになる。すなわち、関連技術による高速駆動方法は、以前フレーム F_{n-1} と現フレーム F_n のそれぞれの上位ビットデータMSBを比較し、上位ビットデータMSB間の変化があると、ルックアップテーブルから該当する変調データMRGBを現フレーム F_n の上位ビットデータMSBとして選択する。

【0012】

このような高速駆動方法が具現される高速駆動装置を、図4に示す。

20

【0013】

図4を参照すると、関連技術による高速駆動装置は、上位ビットバスライン42に接続されたフレームメモリ43と、上位ビットバスライン42及びフレームメモリ43の出力端子に共通して接続されたルックアップテーブル44とを備える。

【0014】

フレームメモリ43は、上位ビットMSBを1フレーム期間の間に保存し、保存されたデータをルックアップテーブル44に供給する。ここで、上位ビットMSBは、8ビットのソースデータRGBのうち、上位4ビットと設定される。

【0015】

ルックアップテーブル44は、上位ビットバスライン42から入力される現フレーム F_n の上位ビットデータMSBと、フレームメモリ43から入力される以前フレーム F_{n-1} の上位ビットデータMSBとを、次の表1に示したように比較し、その結果に対応する変調データMRGBを選択する。変調データMRGBは、下位ビットバスライン41から下位ビットデータLSBと加算されて液晶表示装置に供給される。

30

【0016】

上位ビットデータMSBを4ビットと限定した場合に高速駆動装置及び駆動方法のルックアップテーブル44に登載される変調データMRGBを、次の表1に示す。

【0017】

【表 1】

以 前 frame	現frame															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	1	3	4	6	7	9	10	11	12	14	15	15	15	15	15
1	0	1	2	4	5	7	9	10	11	12	13	14	15	15	15	15
2	0	1	2	3	5	7	8	9	10	12	13	14	15	15	15	15
3	0	1	2	3	5	6	8	9	10	11	12	14	14	15	15	15
4	0	0	1	2	4	6	7	9	10	11	12	13	14	15	15	15
5	0	0	0	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	0	1	3	4	6	8	9	10	11	13	14	15	15	15
7	0	0	0	1	2	4	5	7	8	10	11	12	14	14	15	15
8	0	0	0	1	2	3	5	6	8	9	11	12	13	14	15	15
9	0	0	0	1	2	3	4	6	7	9	10	12	13	14	15	15
10	0	0	0	0	1	2	4	5	7	8	10	11	13	14	15	15
11	0	0	0	0	0	2	3	5	6	7	9	11	12	14	15	15
12	0	0	0	0	0	1	3	4	5	7	8	10	12	13	15	15
13	0	0	0	0	0	1	2	3	4	6	8	10	11	13	14	15
14	0	0	0	0	0	0	1	2	3	5	7	9	11	13	14	15
15	0	0	0	0	0	0	0	1	2	4	6	9	11	13	14	15

【0 0 1 8】

表 1 において、左列は、以前フレーム F_{n-1} のデータ電圧 VD_{n-1} であり、最上行は、現フレーム F_n のデータ電圧 VD_n である。また、表 1 は、上位 4 ビットを 10 進数で表現したルックアップテーブル情報である。

【0 0 1 9】

【特許文献 1】米国特許第 5, 495, 265 号

【特許文献 2】PCT 国際公開番号 WO 99/09967

【発明の開示】

【発明が解決しようとする課題】

【0 0 2 0】

しかしながら、上記の関連技術による高速駆動装置及びその駆動方法は、以前フレーム F_{n-1} と現フレーム F_n のデータとを比較して変調データ MRGB を発生するためにルックアップテーブル 44 のようなメモリを備えなければならず、製造コストの上昇及びチップサイズの増加を招くという問題点があった。

【0 0 2 1】

本発明は上記の問題点を解決するためのもので、その目的は、メモリを使用しなくても液晶の応答速度を速くすることによって画質低下を防止することができる液晶表示装置の駆動装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0 0 2 2】

上記目的を達成するために、本発明に係る液晶表示装置の駆動装置は、互いに交差するように配列される複数のゲートラインと複数のデータラインを有する液晶パネルと、前記ゲートラインにゲートパルスを供給するゲートドライバと、入力される N ビット（ただし、N は、正の整数）デジタルデータ信号をサンプリングしてアナログデータ電圧を発生し、前記サンプリングされたデータ信号のうち M ビット（ただし、M は、N より小さいか等しい正の整数）データ値によって液晶の応答速度を速くするための変調データ電圧を発生し、前記変調データ電圧を前記アナログデータ電圧と混合して前記データラインに供給するデータドライバと、を備えることを特徴とする。

【0 0 2 3】

前記変調データ電圧は、アナログデータ電圧よりも大きい大きさを有することを特徴とする。

【0024】

前記データドライバは、前記ゲートパルスの第1区間に前記変調データ電圧と前記アナログデータ電圧とを混合して前記データラインに供給し、前記ゲートパルスの第2区間には前記アナログデータ電圧を前記データラインに供給することを特徴とする。

【0025】

本発明の実施形態による液晶表示装置の駆動装置は、互いに直交する複数のゲートラインと複数のデータラインを備える液晶パネルと、前記ゲートラインにゲートパルスを供給するゲートドライバと、前記ゲートパルスの第1区間に第1電圧を有するデータ電圧、及び前記ゲートパルスの第2区間に前記第1電圧の大きさとパルス幅が異なる第2電圧を有するデータ電圧を前記データラインに供給するデータドライバと、を備えることを特徴とする。

10

【0026】

前記データドライバは、前記第1電圧を生成するために前記第2電圧と変調データとを混合する混合部と、前記変調データ電圧の大きさを設定する変調電圧生成部と、前記変調データ電圧の幅を設定するためのスイッチング制御信号を生成するスイッチング制御信号生成部と、前記スイッチング制御信号によって前記変調電圧生成部からの変調データ電圧を前記混合部に供給するスイッチと、を備えることを特徴とする。

【0027】

本発明の実施形態による液晶表示装置の駆動方法は、互いに交差するように配列される複数のゲートラインと複数のデータラインとを有する液晶パネルの駆動方法において、入力されるNビット（ただし、Nは、正の整数）デジタルデータ信号をサンプリングしてアナログデータ電圧を生成する段階と、前記サンプリングされたデータ信号のうちMビット（ただし、Mは、Nより小さいか等しい正の整数）データ値によって液晶の応答速度を速くするための変調データ電圧を生成する段階と、前記ゲートラインにゲートパルスを生成する段階と、前記ゲートパルスに同期して前記変調データ電圧を前記アナログデータ電圧と混合し、混合したデータ電圧を前記データラインに供給する段階と、を備えることを特徴とする。

20

【0028】

前記混合されたデータ電圧は、前記ゲートパルスの第1区間に前記データラインに供給され、前記アナログデータ電圧は、前記ゲートパルスの第2区間に前記データラインに供給されることを特徴とする。

30

【発明の効果】

【0029】

本発明による液晶表示装置の駆動装置及びその駆動方法は、ゲートラインに供給されるゲートパルスの第1区間に、変調データ電圧を含むデータ電圧をデータラインに供給して液晶をデジタルデータ信号に対応するアナログデータ電圧よりも高い変調データ電圧であらかじめ駆動させた後、ゲートパルスの第2区間に、所望の階調アナログデータ電圧をデータラインに供給して液晶を所望の状態で駆動させる。

【0030】

したがって、本発明による液晶表示装置の駆動装置及びその駆動方法は、別のメモリを使用しなくても液晶の応答速度を速くして画質低下を防止することができ、さらには、メモリ不使用による製造コストの節減が図られる。

40

【発明を実施するための最良の形態】

【0031】

以下、添付の図面を参照して本発明の好適な実施形態について詳細に説明する。

【0032】

図5は、本実施形態による液晶表示装置の駆動装置を概略的に示すブロック図である。

【0033】

図5を参照すると、本実施形態による液晶表示装置の駆動装置は、セル領域を定義するために互いに垂直な方向に配列される複数のゲートラインGL1～GLnと複数のデータ

50

ラインDL1～DLmを備えた液晶パネル102と、液晶パネル102のゲートラインGL1～GLnを駆動するゲートドライバ106と、入力されるNビット（ただし、Nは、正の整数）デジタルデータ信号Dataをサンプリングし、サンプリングされたNビットデジタルデータ信号Dataに対応するアナログデータ電圧Vdataを発生すると同時に、サンプリングされたNビットデジタルデータ信号DataのうちMビット（ただし、Mは、Nより小さいか等しい正の整数）データ値によって、液晶の応答速度を速くするための変調データ電圧Vmdataをアナログデータ電圧Vdataと混合してデータラインDLに供給するデータドライバ104と、データ及びゲートドライバ104、106の駆動タイミングを制御してデータドライバ104にデジタルデータ信号Dataを供給するタイミングコントローラ108とを備える。

10

【0034】

液晶パネル102は、各ゲートラインGL1～GLnと各データラインDL1～DLmとが交差する箇所に形成された薄膜トランジスタTFTと、薄膜トランジスタTFTに接続される液晶セルとを備える。薄膜トランジスタTFTは、ゲートラインGL1～GLnからのゲートパルスにตอบสนองしてデータラインDL1～DLmからのアナログデータ電圧を液晶セルに供給する。液晶セルは、液晶を介在して対面する共通電極と薄膜トランジスタTFTに接続された画素電極とで構成されるので、等価的に液晶キャパシタC_{lc}で表示されることができる。このような液晶セルは、液晶キャパシタC_{lc}に充電されたアナログデータ電圧を次のデータ信号が充電されるまで保持するためのストレージキャパシタC_{st}を含む。

20

【0035】

タイミングコントローラ108は、外部から供給されるソースデータRGBを液晶パネル102の駆動に対応するデジタルデータ信号Dataとして整列し、整列されたデジタルデータ信号Dataをデータドライバ104に供給する。また、タイミングコントローラ108は、外部から入力されるメインクロックMCLK、データイネーブル信号DE、水平及び垂直同期信号Hsync、Vsyncを用いてデータ制御信号DCSとゲート制御信号GCSを生成し、これら制御信号に応じてデータドライバ104とゲートドライバ106のそれぞれの駆動タイミングを制御する。

【0036】

ゲートドライバ106は、タイミングコントローラ108からのゲート制御信号GCS、すなわち、ゲートスタートパルス（GSP）、ゲートシフトクロック（GSC）及びゲート出力イネーブル（GOE）信号などを用いて薄膜トランジスタTFTをオン／オフさせるための順次的なゲートパルスを生成してゲートラインGL1～GLnに供給する。このとき、ゲートパルスは、薄膜トランジスタTFTをターンオンさせるためのゲートハイ電圧VGHと、薄膜トランジスタTFTをターンオフさせるためのゲートロー電圧VGLとを含む。

30

【0037】

データドライバ104は、タイミングコントローラ108から供給されるデータ制御信号DCSによってタイミングコントローラ108からのNビット（ただし、Nは、正の整数）デジタルデータ信号Dataをサンプリングし、サンプリングされたNビットデジタルデータ信号Dataに対応するアナログデータ電圧Vdataを発生すると同時に、サンプリングされたNビットデジタルデータ信号DataのうちMビット（ただし、Mは、Nより小さいか等しい正の整数）データ値によって、液晶の応答速度を速くするための変調データ電圧Vmdataをアナログデータ電圧Vdataと混合してデータラインDLに供給する。

40

【0038】

このため、本発明の実施形態に適用されるデータドライバ104は、図6に示すように、サンプリング信号を順次的に生成するシフトレジスタ120と、Nビットデジタルデータ信号Dataをサンプリング信号によってラッチするラッチ部122と、ラッチされたNビットデジタルデータ信号Dataによって、複数のガンマ電圧GMAのうちいずれか

50

一つを選択して、デジタルデータ信号 $D a t a$ に対応するアナログデータ電圧 $V d a t a$ を生成するデジタルーアナログ変換部 124 と、ラッチされた N ビットデジタルデータ信号 $D a t a$ のうち M ビットデータ値によって、液晶の応答速度を速くするための変調データ電圧 $V m d a t a$ を生成する変調部 130 と、アナログデータ電圧 $V d a t a$ と変調データ電圧 $V m d a t a$ とを混合する混合部 126 と、混合されたデータ電圧 $V p$ をバッファしてデータライン $D L$ に供給する出力部 128 とを備える。

【0039】

シフトレジスタ 120 は、タイミングコントローラ 108 からのデータ制御信号 $D C S$ のうちソーススタートパルス $S S P$ 及びソースシフトクロック $S S C$ を用いて順次的なサンプリング信号を発生してラッチ部 122 に供給する。

10

【0040】

ラッチ部 122 は、シフトレジスタ 120 からのサンプリング信号によって、タイミングコントローラ 108 からの N ビットデジタルデータ信号 $D a t a$ を 1 水平ライン分ずつラッチする。そして、ラッチ部 122 は、タイミングコントローラ 108 からのデータ制御信号 $D C S$ のうちソース出力イネーブル $S O E$ 信号によって、ラッチされた 1 水平ライン分の N ビットデジタルデータ信号 $D a t a$ をデジタルーアナログ変換部 124 に供給する。

【0041】

デジタルーアナログ変換部 124 は、ラッチ部 122 から供給される N ビットデジタルデータ信号 $D a t a$ によって、ガンマ電圧発生部（図示せず）から供給される複数のガンマ電圧 $G M A$ のうちいずれか一つを選択することによって、 N ビットデジタルデータ信号 $D a t a$ をアナログデータ電圧 $V d a t a$ に変換して混合部 126 に供給する。このとき、 N ビットデジタルデータ信号 $D a t a$ が 8 ビットである場合、複数のガンマ電圧 $G M A$ は、図 7 A に示すように、256 個の相異なるガンマ電圧レベルを有するようになる。これにより、デジタルーアナログ変換部 124 は、256 個の相異なるガンマ電圧レベルのうち、ラッチ部 122 から供給される N ビットデジタルデータ信号 $D a t a$ に対応するガンマ電圧 $G M A$ を選択してアナログデータ電圧 $V d a t a$ を発生する。

20

【0042】

変調部 130 は、ラッチ部 122 から出力される N ビットのうち、 M ビットデジタルデータ信号 $D a t a$ によって液晶の応答速度を速くするための変調データ電圧 $V m d a t a$ を発生して混合部 126 に供給する。

30

【0043】

具体的に、変調部 130 は、ラッチ部 122 から供給される M ビットデジタルデータ信号 $D a t a$ によって、相異なる電圧レベルと相異なるパルス幅を有する変調データ電圧 $V m d a t a$ を発生するようになる。

【0044】

一方、変調部 130 は、ラッチ部 122 から入力される M ビットデジタルデータ信号 $D a t a$ が 8 ビットの場合、256 個の相異なる電圧レベル及びパルス幅を有する変調データ電圧 $V m d a t a$ を発生する。しかし、変調部 130 に入力される M ビットデジタルデータ信号が 8 ビットの場合には変調部 130 の大きさが増加する。そこで、本実施形態では、ラッチ部 122 から出力される 8 ビットのうち上位 4 ビット $M S B 1 \sim M S B 4$ デジタルデータ信号 $D a t a$ が変調部 130 に供給されると仮定する。したがって、変調部 130 は、ラッチ部 122 からの上位 4 ビット $M S B 1 \sim M S B 4$ に基づいて、図 7 B に示すように 16 個の相異なる電圧レベル及び幅のうちいずれか一つの変調データ電圧 $V m d a t a$ を発生して混合部 126 に供給する。

40

【0045】

混合部 126 は、デジタルーアナログ変換部 124 からのアナログデータ電圧 $V d a t a$ と変調部 130 からの変調データ電圧 $V m d a t a$ とを混合し、混合されたデータ電圧 $V p$ を出力部 128 に供給する。

【0046】

50

出力部 128 は、混合部 126 から供給されるデータ電圧 V_p を該当のデータライン D_L に供給する。

【0047】

図 8 は、1 水平期間の間に図 5 の液晶パネル 102 に供給されるゲートパルス G_P 及びデータ電圧 V_p を示す波形図である。

【0048】

図 8 を図 6 と関連付けて説明すると、液晶パネル 102 のゲートラインにはゲートドライバ 106 から一定の幅 W を有するゲートパルス G_P が供給される。これに同期して、ゲートラインにゲートハイ電圧 V_{GH} が供給される第 1 区間 t_1 の間に、液晶パネル 102 のデータライン D_L には、混合部 126 によってデジタルーアナログ変換部 124 からのアナログデータ電圧 V_{data} と変調部 130 からの変調データ電圧 V_{mdata} とが混合されてなるデータ電圧 V_p が供給される。そして、ゲートラインにゲートハイ電圧 V_{GH} が供給される第 1 区間 t_1 以後の第 2 区間 t_2 の間に、液晶パネル 102 のデータライン D_L にはデジタルーアナログ変換部 124 からのアナログデータ電圧 V_{data} が供給される。ここで、第 1 区間 t_1 は、第 2 区間 t_2 よりも短い期間を有する。

【0049】

これにより、本実施形態による液晶表示装置の駆動装置及びその駆動方法は、ゲートライン GL に供給されるゲートパルス G_P の第 1 区間 t_1 に、変調データ電圧 V_{mdata} を含むデータ電圧 V_p をデータライン D_L に供給して、液晶をアナログデータ電圧 V_{data} よりも高い電圧であらかじめ駆動させた後、ゲートパルス G_P の第 2 区間 t_2 に、所望の階調のアナログデータ電圧 V_p をデータライン D_L に供給して、液晶を所望の状態に駆動させるようになる。すなわち、本実施形態による液晶表示装置の駆動装置及びその駆動方法は、液晶パネル 102 のスキャン区間の第 1 区間 t_1 に、変調データ電圧 V_{mdata} とアナログデータ電圧 V_{data} とを混合して液晶を高速駆動させた後、この第 1 区間 t_1 以後の第 2 区間 t_2 に、通常のアナログデータ電圧 V_{data} で液晶を駆動させる。

【0050】

したがって、本実施形態による液晶表示装置の駆動装置及びその駆動方法によれば、別のメモリを使用しなくても液晶の応答速度を速くして画質低下を防止することが可能になる。

【0051】

図 9 は、図 5 及び図 6 に示す液晶表示装置の駆動装置における変調部 130 の第 1 実施例を示す図である。

【0052】

図 9 を図 6 と関連付けて説明すると、変調部 130 は、ラッチ部 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ によって、相異なるレベルを有する変調データ電圧 V_{mdata} を出力する変調電圧生成部 132 と、ラッチ部 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ によって、相異なるパルス幅を有するスイッチング制御信号 SCS を生成するスイッチング制御信号生成部 134 と、スイッチング制御信号 SCS によって、変調電圧生成部 132 の出力ノード $n1$ からの変調データ電圧 V_{mdata} を混合部 126 に供給するスイッチング素子 136 とを備える。

【0053】

変調電圧生成部 132 は、ラッチ部 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ をデコードし、デコーディング信号を複数の出力端子に出力する第 1 デコーダ 140 と、各出力端子に接続されるとともに、出力ノード $n1$ に共通して接続された複数の分圧抵抗 $R1 \sim R16$ と、駆動電圧端 VDD と出力ノード $n1$ との間に電氣的に接続された第 1 抵抗 R_v とを備える。

【0054】

各分圧抵抗 $R1 \sim R16$ は、相異なる抵抗値を有し、出力ノード $n1$ と第 1 デコーダ 140 の各出力端子との間に電氣的に接続される。これら第 1 抵抗 R_v と複数の分圧抵抗 R

10

20

30

40

50

1～R16は、第1デコーダ140のデコードによって変調データ電圧の電圧レベルを設定する電圧分配回路を構成する。

【0055】

第1デコーダ140は、ラッチ部122からの上位4ビットデジタルデータ信号MSB1～MSB4をデコードして複数の分圧抵抗R1～R16のうちいずれか一つを内部の基底電圧源に選択的に接続させることによって、第1抵抗Rvと選択された分圧抵抗R1～R16間の分圧抵抗によって駆動電圧VDDを分圧して変調データ電圧Vmdataを出力ノードn1上に現れるようにする。このとき、変調データ電圧Vmdataは、次の式数3で示される。

【0056】

【数3】

$$Vmdata = \left(\frac{Rx}{Rv + Rx} \right) \times VDD$$

式数3において、Rxは、複数の分圧抵抗R1～R16のうちいずれか一つである。

【0057】

このような変調電圧生成部132は、ラッチ部122からの上位4ビットデジタルデータ信号MSB1～MSB4によって複数の分圧抵抗R1～R16のうちいずれか一つを内部の基底電圧源に選択的に接続させることによって、相異なる電圧レベルを有する変調データ電圧Vmdataをスイッチング素子136に供給する。

【0058】

スイッチング制御信号生成部134は、ラッチ部122からの上位4ビットデジタルデータ信号MSB1～MSB4をデコードする第2デコーダ142と、第2デコーダ142からのデコーディング信号に対応するようにクロック信号CLKをカウントして、相異なるパルス幅を有するスイッチング制御信号SCSを生成し、これをソース出力イネーブルSOE信号に同期してスイッチング素子136に供給するカウンタ144とを備える。

【0059】

第2デコーダ142は、ラッチ部122からの上位4ビットデジタルデータ信号MSB1～MSB4をデコードして、相異なる値を有するデコーディング信号をカウンタ144に供給する。

【0060】

カウンタ144は、第2デコーダ142から供給されるデコーディング値分だけのクロック信号CLKをカウントして、デコーディング値に対応するパルス幅を有するスイッチング制御信号SCSを生成する。そして、カウンタ144は、生成されたスイッチング制御信号SCSを、ソース出力イネーブルSOE信号に同期してスイッチング素子136に供給する。このとき、カウンタ144は、ソース出力イネーブルSOE信号の代わりにゲートパルスGPに同期してスイッチング制御信号SCSをスイッチング素子136に供給しても良い。

【0061】

スイッチング素子136は、スイッチング制御信号生成部134のカウンタ144から供給されるスイッチング制御信号SCSによってターンオンされて、変調電圧生成部132の出力ノードn1上の変調データ電圧Vmdataを混合部126に供給する。このとき、スイッチング素子136は、スイッチング制御信号SCSのパルス幅に対応する期間分だけ変調データ電圧Vmdataを混合部126に供給する。

【0062】

このような本発明の第1実施例による変調部130は、ラッチ部122からの上位4ビットデジタルデータ信号Dataによって変調データ電圧Vmdata及びスイッチング制御信号SCSを生成して、混合部126に供給される変調データ電圧Vmdataの電圧レベル及びパルス幅を設定するようになる。

【0063】

10

20

30

40

50

したがって、本発明の第1実施例による変調部130を備える液晶表示装置の駆動装置及びその駆動方法は、液晶パネル102のスキャン区間の第1区間t1に、Mビットデジタルデータ信号Dataに対応する電圧レベルとパルス幅を有する変調データ電圧Vmdataとアナログデータ電圧Vdataとを混合して液晶を高速駆動させた後、この第1区間t1以後の第2区間t2に通常のアナログデータ電圧Vdataで液晶を駆動させるようになる。

【0064】

一方、本発明の第1実施例による変調部130は、変調電圧生成部132の出力ノードn1とスイッチング素子136との間に、図示せぬバッファ部をさらに備えても良い。このバッファ部は、変調電圧生成部132の出力ノードn1から出力される変調データ電圧Vmdataをバッファしてスイッチング素子136に供給する機能を担う。

10

【0065】

なお、本発明の第1実施例による変調部130は、上述したようにラッチ部122から出力される8ビットデジタルデータ信号Dataのうち上位4ビットのみを用いるものとしたが、これに限定されるものではなく、8ビットデジタルデータ信号Dataによって相異なる電圧レベル及びパルス幅を有する変調データ電圧Vmdataを生成して混合部126に供給しても良い。

【0066】

図10は、図5及び図6に示す液晶表示装置の駆動装置における第2実施例による変調部130を示す図である。

20

図10を図6と関連付けて説明すると、第2実施例による変調部130は、スイッチング制御信号生成部134の以外は、図9に示す第1実施例による変調部130と同じ構成を有する。したがって、スイッチング制御信号生成部134以外の構成についての説明は省略するものとする。

【0067】

第2実施例による変調部130のスイッチング制御信号生成部134は、クロック信号CLKの個数を設定された値までカウントして一定のパルス幅を有するスイッチング制御信号SCSを生成し、これをソース出力イネーブルSOE信号に同期してスイッチング素子136に供給するカウンタ146を備える。

【0068】

30

カウンタ146は、クロック信号CLKの個数を設定された個数だけカウントしてスイッチング制御信号SCSを発生する。そして、カウンタ146は、ソース出力イネーブルSOE信号に同期して、生成されたスイッチング制御信号SCSをスイッチング素子136に供給する。

【0069】

一方、カウンタ146は、ソース出力イネーブルSOE信号の代わりにゲートパルスGPに同期してスイッチング制御信号SCSをスイッチング素子136に供給しても良い。

【0070】

このような本発明の第2実施例による変調部130においてスイッチング制御信号生成部134は、カウンタ146を用いて固定されたパルス幅を有するスイッチング制御信号SCSを生成してスイッチング素子136を制御することによって、Mビットデジタルデータ信号Dataにかかわらず、固定されたパルス幅を有する変調データ電圧Vmdataが混合部126に供給されるようにする。

40

【0071】

したがって、本発明の第2実施例による変調部130を備える液晶表示装置の駆動装置及び駆動方法は、液晶パネル102のスキャン区間の第1区間t1に、固定されたパルス幅を有するとともに、Mビットデジタルデータ信号Dataに対応する電圧レベルを有する変調データ電圧Vmdataとアナログデータ電圧Vdataとが混合して液晶を高速駆動させた後、この第1区間t1以後の第2区間t2に、通常のアナログデータ電圧Vdataで液晶を駆動させる。

50

【0072】

図11は、図5及び図6に示す液晶表示装置の駆動装置における第3実施例による変調部130を示す図である。

【0073】

図11を図6と関連付けて説明すると、第3実施例による変調部130は、スイッチング制御信号生成部134以外は、図9に示す第1実施例による変調部130と同じ構成を有する。したがって、スイッチング制御信号生成部134以外の構成についての説明は省略するものとする。

【0074】

第3実施例による変調部130のスイッチング制御信号生成部134は、変調電圧生成部132の出力ノードである第1ノードn1とスイッチング素子136の制御端子である第2ノードn2との間に電氣的に接続された抵抗Rtと、第2ノードn2と基底電圧源との間に並列接続された第1キャパシタCt及びトランジスタM1と、ラッチ部122から供給される上位4ビットデジタルデータ信号MSB1～MSB4によって、スイッチング素子136から出力される変調データ電圧VmdaをデコードしてトランジスタM1をオン／オフさせるためのクリア信号Csを発生するクリア信号生成部244とを備える。

10

【0075】

抵抗Rtは、第1ノードn1上の電圧を第2ノードn2上に供給する。

【0076】

第1キャパシタCtは、抵抗RtとRC回路を形成して第2ノードn2の電圧、すなわち、スイッチング素子136をオンさせる。これにより、スイッチング素子136は、第1キャパシタCtと抵抗RtとのRC回路により第1キャパシタCtに電圧が充電にされている間にターンオンされて、変調電圧生成部132からの変調データ電圧Vmdaを混合部126に供給する。

20

【0077】

トランジスタM1は、クリア信号生成部244からのクリア信号Csによって第2ノードn2を基底電圧源に電氣的に接続させて、第1キャパシタCtに保存されている電圧を放電させる。

【0078】

クリア信号生成部244は、ラッチ部122から供給される上位4ビットデジタルデータ信号MSB1～MSB4によって、スイッチング素子136から混合部126に供給される変調データ電圧Vmdaをデコードしてクリア信号Csを生成する。

30

【0079】

このため、クリア信号生成部244は、図12に示すように、混合部126から出力される変調データ電圧Vmdaをバッファするバッファ部245と、トランジスタM1の制御端子に接続された出力端nOとバッファ部245とに電氣的に接続された抵抗Rdと、出力端nOに並列接続された複数の第2キャパシタC1～C16と、上位4ビットデジタルデータ信号MSB1～MSB4によって、複数の第2キャパシタC1～C16のうちいずれか一つをデコードする第2デコーダ242とを備える。

40

【0080】

バッファ部245は、スイッチング素子136から混合部126に供給される変調データ電圧Vmdaをバッファして抵抗Rdに供給する。

【0081】

各キャパシタC1～C16は、出力端nOに電氣的に接続される第1電極と、第2デコーダ242に電氣的に接続される第2電極とで構成される。このような各第2キャパシタC1～C16は相異なる静電容量を有する。したがって、各キャパシタC1～C16は、図13に示すような充電特性を有する。

【0082】

第2デコーダ242は、ラッチ部122からの上位4ビットデジタルデータ信号MSB

50

1～MSB4をデコードして複数の第2キャパシタC1～C16のうちいずれか一つの第2電極を内部の基底電圧源に選択的に接続させることによって、各第2キャパシタC1～C16のうちいずれか一つと抵抗Rtとから構成されるRC回路を形成する。

【0083】

このようなクリア信号生成部244は、上位4ビットデジタルデータ信号MSB1～MSB4によって複数の第2キャパシタC1～C16のうちいずれか一つを選択して基底電圧源に接続させることによって、バッファ部245から入力される電圧を、選択された第2キャパシタC1～C16に充電させるようになる。したがって、クリア信号生成部244は、第2デコーダ242によって選択された第2キャパシタC1～C16に充電される電圧に対応するクリア信号Csを発生してトランジスタM1に供給する。

10

【0084】

これにより、クリア信号Csは、選択された第2キャパシタC1～C16に充電される電圧がトランジスタM1のしきい電圧Vth以下の場合に第1論理状態を有する一方、トランジスタM1がしきい電圧Vth以上の場合には第1論理状態と異なる第2論理状態を有する。このとき、第2論理状態は、トランジスタM1をターンオンさせる電圧レベルを有し、第1論理状態は、トランジスタM1をターンオフさせる電圧レベルを有する。

【0085】

したがって、トランジスタM1は、各第2キャパシタC1～C16の静電容量に応じて発生する第2論理状態のクリア信号Csによってターンオンされることによって、第2ノードn2の電圧を基底電圧源に放電させる。結果として、スイッチング制御信号生成部134は、上位4ビットデジタルデータ信号MSB1～MSB4に応じて発生するクリア信号Csによって相異なるパルス幅を有するスイッチング制御信号SCSを生成することによって、変調データ電圧Vmdataが混合部126に供給される時間t1を設定するようになる。

20

【0086】

一方、クリア信号生成部244は、図14に示すように、出力端nOとトランジスタM1の制御端子との間に接続されたインバータ246をさらに備える。

【0087】

インバータ246は、出力端nOから供給されるクリア信号Csを反転させてトランジスタM1の制御端子に供給する。このとき、トランジスタM1は、Pタイプトランジスタであることが好ましい。

30

【0088】

なお、クリア信号生成部244は、出力端nOとトランジスタM1の制御端子との間に接続された2個のインバータを備え、クリア信号Csを2回反転させてトランジスタM1の制御端子に供給するとしてもよい。このとき、トランジスタM1はNタイプトランジスタであることが好ましい。

【0089】

このような本発明の第3実施例による変調部130においてスイッチング制御信号生成部134は、Mビットデジタルデータ信号Dataに対応するクリア信号Csを生成してスイッチング素子136を制御することによって、Mビットデジタルデータ信号Dataによって相異なる電圧レベルと相異なるパルス幅を有する変調データ電圧Vmdataが混合部126に供給されるようにする。

40

【0090】

このような本発明の第3実施例による変調部130においてスイッチング制御信号生成部134は、第1キャパシタCtと抵抗Rtを用いてスイッチング素子136をターンオンさせて、ゲートパルスGPの第1区間t1の間に、Mビットデジタルデータ信号Dataに対応する電圧レベルを有する変調データ電圧Vmdataが、固定された幅で混合部126に供給されるようにし、Mビットデジタルデータ信号Dataに対応するクリア信号Csを生成してゲートパルスGPの第2区間t2の間に第1キャパシタCtに保存された電圧を放電させることによってスイッチング素子136がターンオフされるようにする

50

。

【0091】

したがって、本発明の第3実施例による変調部130を備える液晶表示装置の駆動装置及びその駆動方法は、液晶パネル102のスクアン区間の第1区間t1に、相異なるパルス幅を有するとともに、Mビットデジタルデータ信号Dataに対応する電圧レベルを有する変調データ電圧Vmdaとアナログデータ電圧Vdaとが混合して液晶を高速駆動させた後、この第1区間t1以後の第2区間t2に、通常のアナログデータ電圧Vdaで液晶を駆動させるようになる。

【0092】

図15は、図5及び図6に示す液晶表示装置の駆動装置における第4実施例による変調部130を示す図である。

10

【0093】

図15を図6と関連付けて説明すると、第4実施例による変調部130は、スイッチング制御信号生成部134以外は、図9に示す第1実施例による変調部130と同じ構成を有する。したがって、スイッチング制御信号生成部134以外の構成についての説明は省略する。

【0094】

第4実施例による変調部130のスイッチング制御信号生成部134は、変調電圧生成部132の出力ノードである第1ノードn1とスイッチング素子136の制御端子である第2ノードn2との間に電氣的に接続された抵抗Rtと、第2ノードn2と基底電圧源との間に並列接続された第1キャパシタCt及びトランジスタM1と、スイッチング素子136から出力される変調データ電圧Vmdaを用いてトランジスタM1をオン／オフさせるためのクリア信号Csを発生するクリア信号生成部344とを備える。

20

【0095】

抵抗Rtは、第1ノードn1上の電圧を第2ノードn2上に供給する。

【0096】

第1キャパシタCtは、抵抗RtとRC回路を形成して、第2ノードn2の電圧、すなわち、スイッチング素子136をオンさせる。これにより、スイッチング素子136は、第1キャパシタCtと抵抗RtとのRC回路によって第1キャパシタCtに電圧が充電にされている間にターンオンされて、変調電圧生成部132からの変調データ電圧Vmdaを混合部126に供給する。

30

【0097】

トランジスタM1は、クリア信号生成部244からのクリア信号Csによって第2ノードn2を基底電圧源に電氣的に接続させて、第1キャパシタCtに保存された電圧を放電させる。

【0098】

クリア信号生成部344は、スイッチング素子136から混合部126に供給される変調データ電圧Vmdaを用いてトランジスタM1をオンオフさせるためのクリア信号Csを生成する。

【0099】

このため、クリア信号生成部344は、図16に示すように、変調データ電圧Vmdaをバッファするバッファ部345と、トランジスタM1の制御端子に接続された出力端nO及びバッファ部345に電氣的に接続された抵抗Rdと、出力端子nO及び基底電圧源に電氣的に接続された第2キャパシタCdとを備える。

40

【0100】

バッファ部345は、混合部126に供給される変調データ電圧Vmdaをバッファして抵抗Rdに供給する。

【0101】

抵抗Rd及び第2キャパシタCdは、RC時定数によってバッファ部345から供給される変調データ電圧Vmdaを遅延させてクリア信号Csを発生し、これをトラン

50

ジスタM1の制御端子に供給する。このとき、抵抗 R_d 及び第2キャパシタ C_d によるRC時定数は、ゲートラインに供給されるゲートパルスGPの第2区間 t_2 の間にクリア信号Csが発生してトランジスタM1をオンさせるように設定される。

【0102】

一方、クリア信号生成部344は、出力端nOとトランジスタM1の制御端子間に少なくとも一つのインバータをさらに備えることができる。

【0103】

このような本発明の第4実施例による変調部130においてスイッチング制御信号生成部134は、第1キャパシタ C_t と抵抗 R_t を用いてスイッチング素子136をターンオンさせて、ゲートパルスGPの第1区間 t_1 の間に、Mビットデジタルデータ信号Dataに対応する電圧レベルを有する変調データ電圧 V_{mda} が、固定された幅で混合部126に供給されるようにし、クリア信号生成部344及びトランジスタM1を用いてゲートパルスGPの第2区間 t_2 の間に第1キャパシタ C_t に保存された電圧を放電させることによってスイッチング素子136がターンオフされるようにする。

【0104】

したがって、本発明の第4実施例による変調部130を備える液晶表示装置の駆動装置及び駆動方法は、液晶パネル102のスキャン区間の第1区間 t_1 に、固定されたパルス幅を有するとともに、Mビットデジタルデータ信号Dataに対応する電圧レベルを有する変調データ電圧 V_{mda} とアナログデータ電圧 V_{da} とが混合して液晶を高速駆動させた後、この第1区間 t_1 以後の第2区間 t_2 に、通常のアナログデータ電圧 V_{da} で液晶を駆動させるようになる。

【0105】

図17は、図5及び図6に示す液晶表示装置の駆動装置における第5実施例による変調部130を示す図である。

【0106】

図17を図6と関連付けて説明すると、第5実施例による変調部130は、変調電圧生成部132の以外は、図9に示す第1実施例による変調部130と同じ構成を有する。したがって、変調電圧生成部132以外の構成についての説明は省略する。

【0107】

第5実施例による変調部130の変調電圧生成部132は、駆動電圧VDDと基底電圧源との間に直列接続された第1及び第2分圧抵抗 R_v 、 R_f を備え、第1及び第2分圧抵抗 R_v 、 R_f 間の出力ノードn1はスイッチング素子136に電氣的に接続される。

【0108】

第1及び第2分圧抵抗 R_v 、 R_f は、自分の抵抗値によって駆動電圧VDDを分圧して、固定されたレベルの分圧電圧をスイッチング素子136に供給する。

【0109】

このような本発明の第5実施例による変調部130において変調電圧生成部132は、第1及び第2分圧抵抗 R_v 、 R_f を用いて、固定された電圧レベルを有する変調データ電圧 V_{mda} を生成してスイッチング素子136に供給する。

【0110】

したがって、本発明の第5実施例による変調部130を備える液晶表示装置の駆動装置及びその駆動方法は、液晶パネル102のスキャン区間の第1区間 t_1 に、Mビットデジタルデータ信号Dataにかかわらず、固定された電圧レベルとMビットデジタルデータ信号Dataによるパルス幅を有する変調データ電圧 V_{mda} とアナログデータ電圧 V_{da} とが混合して液晶を高速駆動させた後、この第1区間 t_1 以後の第2区間 t_2 に、通常のアナログデータ電圧 V_{da} で液晶を駆動させるようになる。

【0111】

図18は、図5及び図6に示す液晶表示装置の駆動装置における第6実施例による変調部130を示す図である。

【0112】

図18を図6と関連付けて説明すると、第6実施例による変調部130は、変調電圧生成部132の以外は、図11に示す第3実施例による変調部130と同じ構成を有する。したがって、変調電圧生成部132以外の構成についての説明は省略する。

【0113】

第6実施例による変調部130の変調電圧生成部132は、駆動電圧VDDと基底電圧源との間に直列接続された第1及び第2分圧抵抗Rv、Rfを備え、第1及び第2分圧抵抗Rv、Rf間の出力ノードn1は、スイッチング素子136に電氣的に接続される。

【0114】

第1及び第2分圧抵抗Rv、Rfは、自分の抵抗値によって駆動電圧VDDを分圧して、固定されたレベルの分圧電圧をスイッチング素子136に供給する。

10

【0115】

このような本発明の第6実施例による変調部130において変調電圧生成部132は、第1及び第2分圧抵抗Rv、Rfを用いて、固定された電圧レベルを有する変調データ電圧Vmdataを生成してスイッチング素子136に供給する。

【0116】

したがって、本発明の第6実施例による変調部130を備える液晶表示装置の駆動装置及びその駆動方法は、液晶パネル102のスクアン区間の第1区間t1に、Mビットデジタルデータ信号Dataにかかわらず、固定された電圧レベルとMビットデジタルデータ信号Dataによるパルス幅を有する変調データ電圧Vmdataとアナログデータ電圧Vdataとが混合して液晶を高速駆動させた後、この第1区間t1以後の第2区間t2に、通常のアナログデータ電圧Vdataで液晶を駆動させるようになる。

20

【0117】

図19は、本発明の第2実施例によるデータドライバを概略的に示すブロック図である。

【0118】

図19を図5と関連付けて説明すると、本発明の第2実施例によるデータドライバ104は、サンプリング信号を順次的に生成するシフトレジスタ120と、Nビットデジタルデータ信号Dataをサンプリング信号によってラッチするラッチ部122と、ラッチされたNビットデジタルデータ信号DataのうちMビットデータ値によって液晶の応答速度を速くするための変調データ電圧Vmdataを生成する変調部130と、ラッチされたNビットデジタルデータ信号Dataによって複数のガンマ電圧GMAのうちいずれか一つを選択してデジタルデータ信号Dataに対応するアナログデータ電圧Vdataを生成し、生成されたアナログデータ電圧Vdataと変調部130からの変調データ電圧Vmdataとを混合して出力するデジタルアナログ変換部224と、デジタルアナログ変換部224からの混合されたデータ電圧VpをバッファしてデータラインDLに供給する出力部128とを備える。

30

【0119】

シフトレジスタ120は、タイミングコントローラ108からのデータ制御信号DCSのうちソーススタートパルスSSP及びソースシフトクロックSSCを用いて順次的なサンプリング信号を発生してラッチ部122に供給する。

40

【0120】

ラッチ部122は、シフトレジスタ120からのサンプリング信号によってタイミングコントローラ108からのNビットデジタルデータ信号Dataを1水平ライン分ずつラッチする。そして、ラッチ部122は、タイミングコントローラ108からのデータ制御信号DCSのうちソース出力イネーブルSOE信号によってラッチされた1水平ライン分のNビットデジタルデータ信号Dataをデジタルアナログ変換部224に供給する。

【0121】

変調部130は、ラッチ部122から出力されるNビットのうちMビットデジタルデータ信号Dataによって液晶の応答速度を速くするための変調データ電圧Vmdataを発生して混合部126に供給する。このような変調部130は、既に上述した本発明の第

50

1乃至第6実施例の変調部130のうちいずれか一つとなり、よって、その詳細説明は省くものとする。

【0122】

デジタルーアナログ変換部224は、ラッチ部122から供給されるNビットデジタルデータ信号Dataをデコードして正極性(+)及び負極性(-)アナログデータ電圧Vdata_P、Vdata_Nを生成するデコーディング部225と、正極性(+)及び負極性(-)アナログデータ電圧Vdata_P、Vdata_Nのそれぞれを変調部130からの変調データ電圧Vmdataと混合する混合部226と、極性制御信号POLによって混合部226からの混合された正極性(+)及び負極性(-)データ電圧Vp_P、Vp_Nのうちいずれか一つを選択して出力部128に供給するマルチプレクサ部227とを備える。

10

【0123】

デコーディング部225は、正極性(+)アナログデータ電圧Vdata_Pを生成するための正極性デコーダ225Pと、負極性(-)アナログデータ電圧Vdata_Nを生成するための負極性デコーダ225Nとを備える。

【0124】

正極性デコーダ225Pは、Nビットデジタルデータ信号Dataによって複数の正極性ガンマ電圧GMAのうちいずれか一つをデコードして正極性(+)アナログデータ電圧Vdata_Pを生成して混合部226に供給する。

【0125】

20

負極性デコーダ225Nは、Nビットデジタルデータ信号Dataによって複数の負極性ガンマ電圧GMAのうちいずれか一つをデコードして負極性(-)アナログデータ電圧Vdata_Nを生成して混合部226に供給する。

【0126】

混合部226は、正極性データ電圧Vp_Pを生成する加算部226Aと、負極性データ電圧Vp_Nを生成する減算部226Sと、を備える。

【0127】

加算部226Aは、図20Aに示すように、正極性デコーダ225Pからの正極性(+)アナログデータ電圧Vdata_Pと変調データ電圧Vmdataを加算($Vdata_P + Vmdata$)して正極性データ電圧Vp_Pを生成する。

30

【0128】

減算部226Sは、図20Bに示すように、負極性デコーダ225Nからの負極性(-)アナログデータ電圧Vdata_Nから変調データ電圧Vmdataを減算($Vdata_N - Vmdata$)して負極性データ電圧Vp_Nを生成する。

マルチプレクサ部227は、タイミングコントローラ108から供給されるデータ制御信号DCSのうち極性制御信号POLによって混合部226の加算部226A及び減算部226Sのそれぞれから供給される正極性(+)及び負極性(-)データ電圧Vp_P、Vp_Nのうちいずれか一つを選択して出力部128に供給する。

【0129】

出力部128は、デジタルーアナログ変換部224のマルチプレクサ部227から供給されるデータ電圧Vpを該当データラインDLに供給する。

40

【0130】

図21は、図19に示すデジタルーアナログ変換部224の変形例を概略的に示すブロック図である。

【0131】

図21を図19と関連付けて説明すると、変形例によるデジタルーアナログ変換部224は、ラッチ部122から供給されるNビットデジタルデータ信号Dataをデコードして正極性(+)及び負極性(-)アナログデータ電圧Vdata_P、Vdata_Nを生成するデコーディング部225と、正極性(+)及び負極性(-)アナログデータ電圧Vdata_P、Vdata_Nのそれぞれを変調部130からの変調データ電圧Vmd

50

a t aと混合する混合部226と、極性制御信号POLによって混合部226からの混合された正極性(+)及び負極性(-)データ電圧 V_{p_P} 、 V_{p_N} のうちいずれか一つを選択して出力部128に供給するマルチプレクサ部227とを備える。

【0132】

デコーディング部225は、正極性(+)アナログデータ電圧 V_{data_P} を生成するための正極性デコーダ225Pと、負極性(-)アナログデータ電圧 V_{data_N} を生成するための負極性デコーダ225Nとを備える。

【0133】

正極性デコーダ225Pは、Nビットデジタルデータ信号Dataによって複数の正極性ガンマ電圧GMAのうちいずれか一つをデコードして正極性(+)アナログデータ電圧 V_{data_P} を生成し、これを混合部226に供給する。

10

【0134】

負極性デコーダ225Nは、Nビットデジタルデータ信号Dataによって複数の負極性ガンマ電圧GMAのうちいずれか一つをデコードして負極性(-)アナログデータ電圧 V_{data_N} を生成し、これを混合部226に供給する。

【0135】

混合部226は、変調データ電圧 V_{mdata} を用いて正極性データ電圧 V_{p_P} を生成する第1加算部226A1と、変調データ電圧 V_{mdata} の極性を反対極性に反転させる反転部226Iと、反転部226Iからの反転された変調データ電圧 V_{mdata} を用いて負極性データ電圧 V_{p_N} を生成する第2加算部226A2とを備える。

20

【0136】

第1加算部226A1は、図20Aに示すように、正極性デコーダ225Pからの正極性(+)アナログデータ電圧 V_{data_P} と変調データ電圧 V_{mdata} を加算($V_{data_N} + V_{mdata}$)して正極性データ電圧 V_{p_P} を生成する。

【0137】

反転部226Iは、変調部130から供給される変調データ電圧 V_{mdata} の極性を反転させて第2加算部226A2に供給する。このため、反転部226Iは、図22に示すように反転増幅器OPを備える。

【0138】

反転増幅器OPの反転端子(-)には変調データ電圧 V_{mdata} が供給され、非反転端子(+)には基底電圧が供給される。そして、反転増幅器OPは、出力端子と反転端子(-)間に帰還ループを有する。

30

【0139】

第2減算部226A2は、図23に示すように、負極性デコーダ225Nからの負極性(-)アナログデータ電圧 V_{data_N} と反転部226Iからの反転された変調データ電圧 BV_{mdata} を加算($V_{data_N} + BV_{mdata}$)して負極性データ電圧 V_{p_N} を生成する。

【0140】

マルチプレクサ部227は、タイミングコントローラ108から供給されるデータ制御信号DCSのうち極性制御信号POLによって混合部226の加算部226A及び減算部226Sのそれぞれから供給される正極性(+)及び負極性(-)データ電圧 V_{p_P} 、 V_{p_N} のうちいずれか一つを選択して出力部128に供給する。

40

【0141】

以上説明してきた本発明は、上述の実施形態及び添付の図面によって限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で種々の置換、変形及び変更が可能であるということは、本発明の属する技術分野における通常の知識を持つ者にとって明白である。

【図面の簡単な説明】

【0142】

【図1】関連技術による液晶表示装置のデータによる輝度変化を示す波形図である。

50

【図 2】関連技術による液晶表示装置の高速駆動方法のデータ変調による輝度変化の一例を表す波形図である。

【図 3】関連技術による液晶表示装置の高速駆動装置において上位ビットデータの変調を示す図である。

【図 4】関連技術による液晶表示装置の高速駆動装置を示すブロック図である。

【図 5】本発明の実施形態による液晶表示装置の駆動装置を概略的に示す図である。

【図 6】図 5 に示すデータドライバを概略的に示す図である。

【図 7 A】図 6 に示すデジタルーアナログ変換部に供給されるガンマ電圧または変調部から出力される変調データ電圧の電圧レベルを示す図である。

【図 7 B】図 6 に示す変調部から出力される変調データ電圧の電圧レベルを示す図である。
10

【図 8】図 5 に示す液晶パネルのゲートライン及びデータラインに供給される波形を示す波形図である。

【図 9】図 6 に示す変調部の第 1 実施例を示す図である。

【図 10】図 6 に示す変調部の第 2 実施例を示す図である。

【図 11】図 10 に示す変調部の第 3 実施例を示す図である。

【図 12】図 11 に示すクリア信号生成部の第 1 実施例を示す図である。

【図 13】図 12 に示す各キャパシタに保存される電圧を示す波形図である。

【図 14】図 11 に示すクリア信号生成部の第 2 実施例を示す図である。

【図 15】図 6 に示す変調部の第 4 実施例を示す図である。
20

【図 16】図 15 に示すクリア信号生成部を示す図である。

【図 17】図 6 に示す変調部の第 5 実施例を示す図である。

【図 18】図 6 に示す変調部の第 6 実施例を示す図である。

【図 19】本発明の第 2 実施例によるデータドライバを概略的に示すブロック図である。

【図 20 A】図 19 に示す正極性アナログデータ電圧と変調データ電圧とを混合した波形図である。

【図 20 B】図 19 に示す負極性アナログデータ電圧と変調データ電圧とを混合した波形図である。

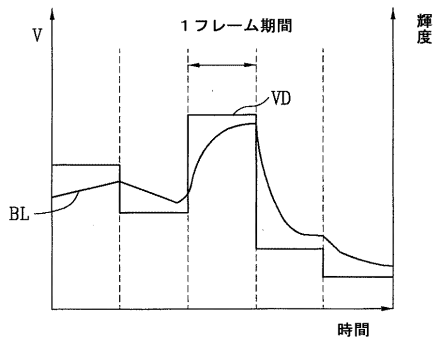
【図 21】図 19 に示す他の形態のデジタルーアナログ変換部を概略的に示すブロック図である。
30

【図 22】図 21 に示す反転部を示す回路図である。

【図 23】図 21 に示す負極性アナログデータ電圧と変調データ電圧とを混合した波形図である。

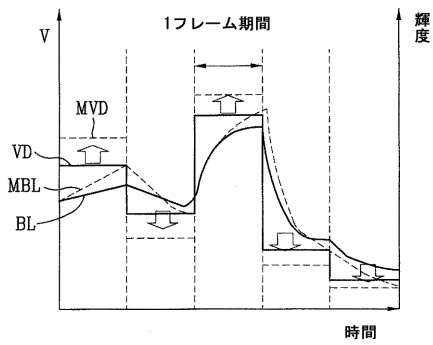
【図 1】

(関連技術)



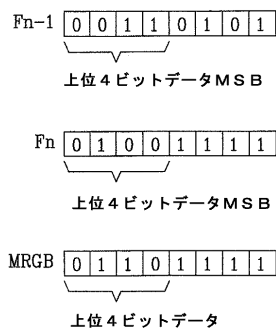
【図 2】

(関連技術)



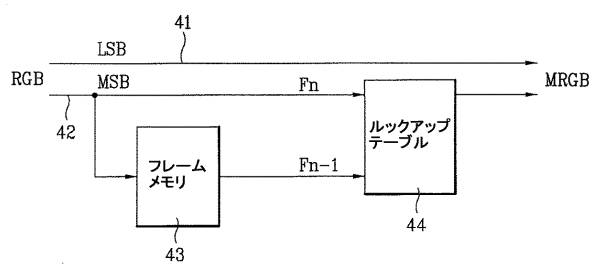
【図 3】

(関連技術)

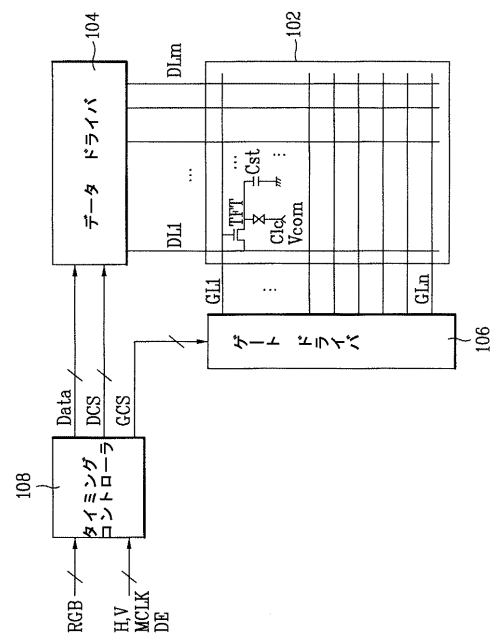


【図 4】

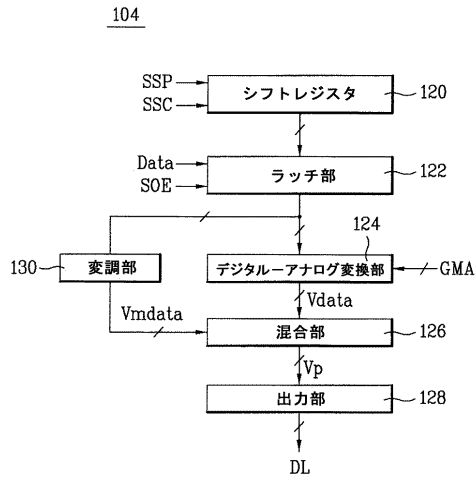
(関連技術)



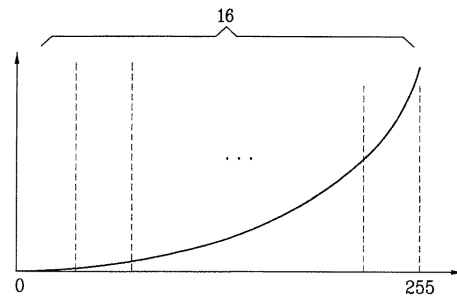
【図 5】



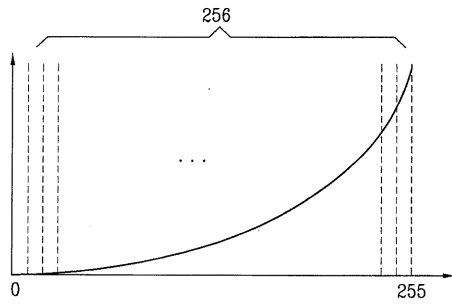
【図 6】



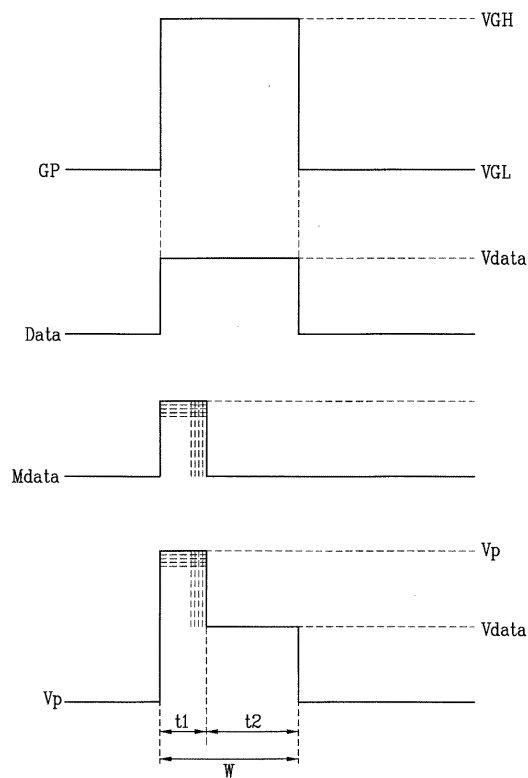
【図 7 B】



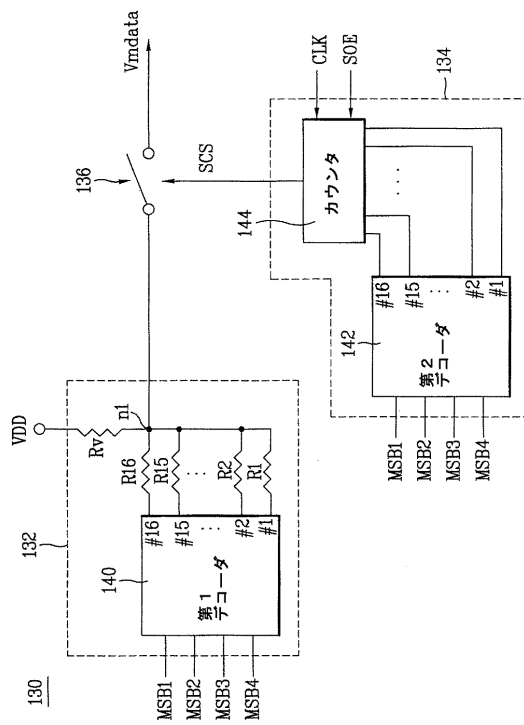
【図 7 A】



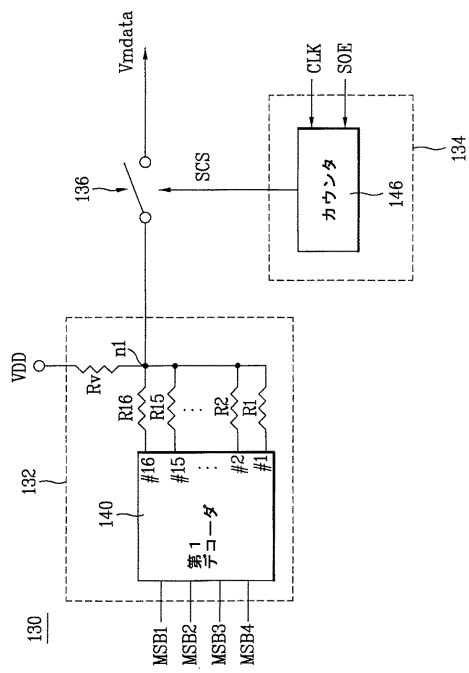
【図 8】



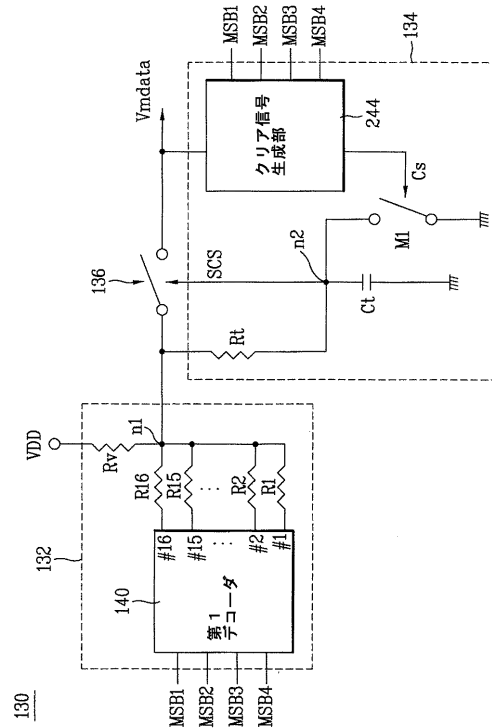
【図 9】



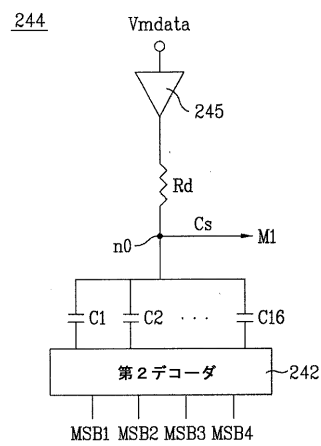
【図 10】



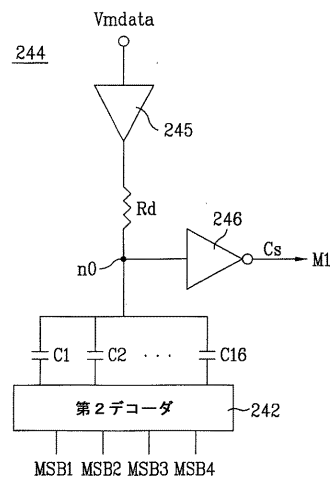
【図 11】



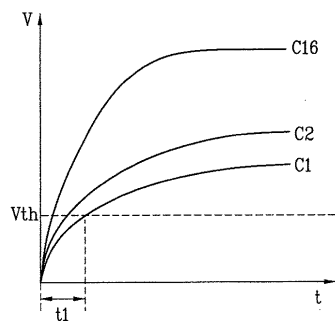
【図 12】



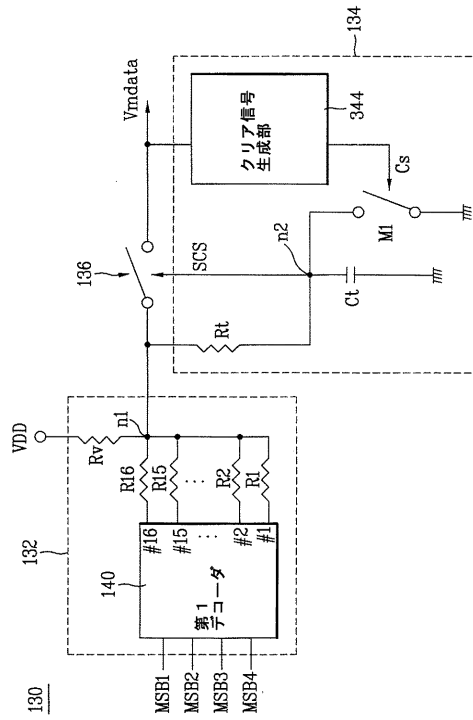
【図 14】



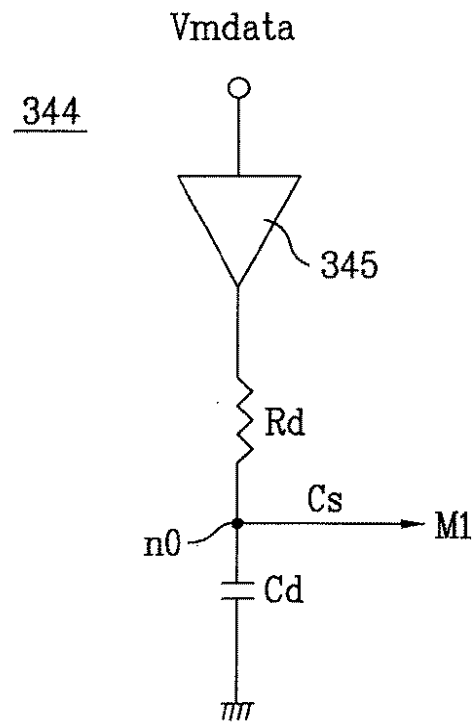
【図 13】



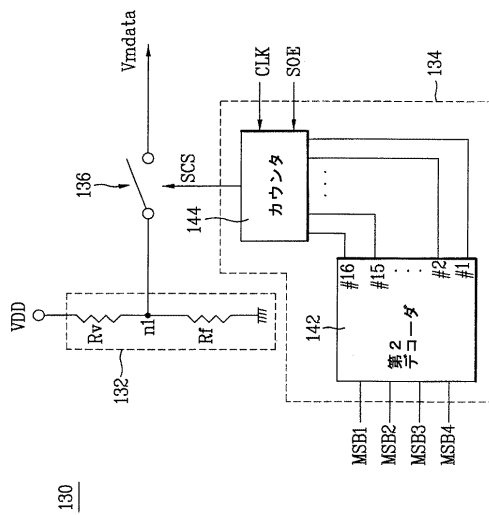
【図 15】



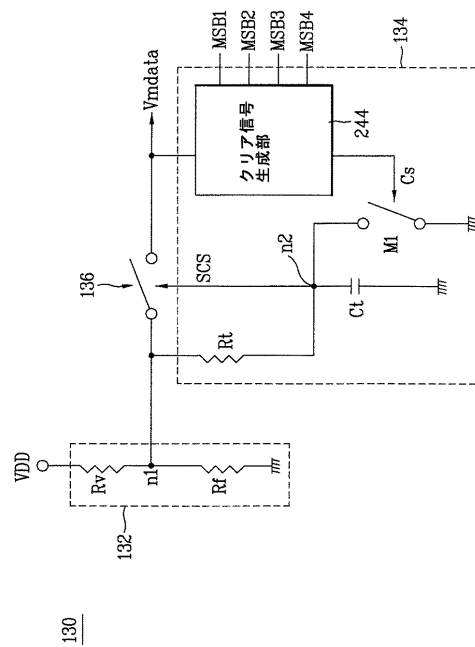
【図 16】



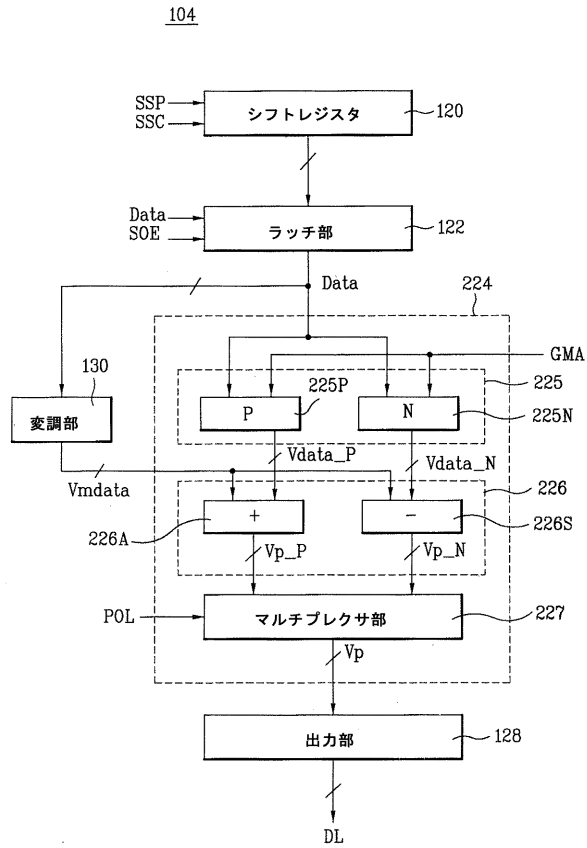
【図 17】



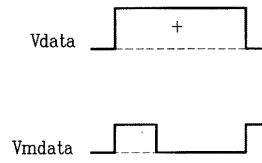
【図 18】



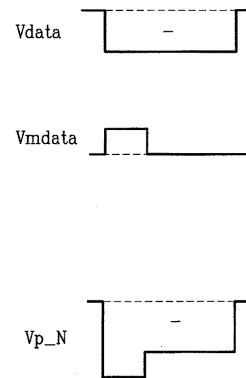
【図 19】



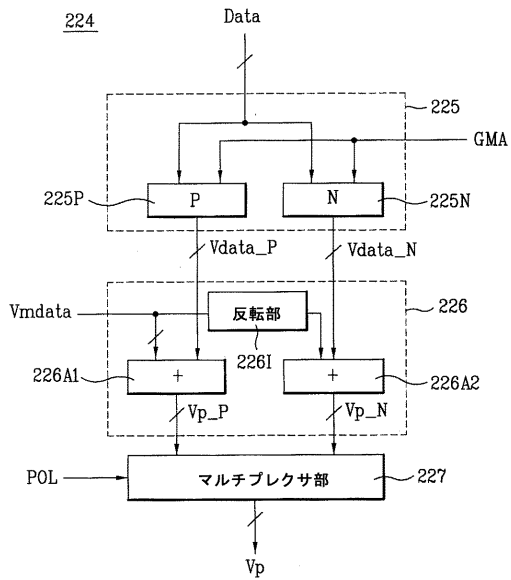
【図 20 A】



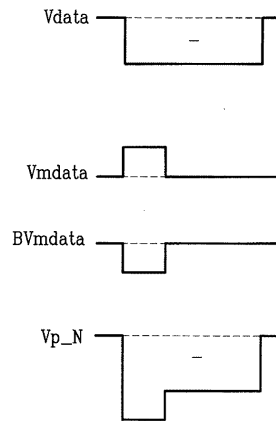
【図 20 B】



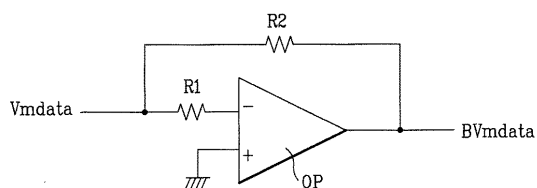
【図 21】



【図 23】



【図 22】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 2 3 B
 G 0 9 G 3/20 6 2 3 H
 G 0 9 G 3/20 6 2 3 G
 G 0 9 G 3/20 6 2 1 B
 G 0 9 G 3/20 6 4 1 C
 G 0 9 G 3/20 6 1 2 U
 G 0 2 F 1/133 5 5 0
 G 0 2 F 1/133 5 7 5
 G 0 2 F 1/133 5 7 0
 G 0 2 F 1/133 5 2 0

(72)発明者 李 錫 雨
 大韓民国 ソウル 九老區 梧柳1洞 3 3 8 番地
 (72)発明者 金 楠 熹
 大韓民国 ソウル 江西區 禾谷洞 1 1 1 - 2 0

審査官 中村 直行

(56)参考文献 特開2004-341357 (JP, A)
 特開2004-109796 (JP, A)
 特開2005-099170 (JP, A)
 特開平06-067154 (JP, A)
 特開平06-110414 (JP, A)
 特開平09-185345 (JP, A)
 特開2001-125546 (JP, A)
 特開2003-143023 (JP, A)
 実開昭51-056942 (JP, U)

(58)調査した分野(Int.Cl., DB名)
 G 0 9 G 3/00 - 3/38
 G 0 2 F 1/133

专利名称(译)	液晶显示装置的驱动装置及其驱动方法		
公开(公告)号	JP4673803B2	公开(公告)日	2011-04-20
申请号	JP2006171054	申请日	2006-06-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	李錫雨 金楠熹		
发明人	李 錫 雨 金 楠 熹		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/2011 G09G3/3614 G09G2310/0251 G09G2310/027 G09G2320/0252		
FI分类号	G09G3/36 G09G3/20.622.B G09G3/20.623.F G09G3/20.623.R G09G3/20.621.F G09G3/20.623.B G09G3/20.623.H G09G3/20.623.G G09G3/20.621.B G09G3/20.641.C G09G3/20.612.U G02F1/133.550 G02F1/133.575 G02F1/133.570 G02F1/133.520		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA43 2H093/NA53 2H093/NA56 2H093/NC04 2H093/NC13 2H093/NC15 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC27 2H093/NC34 2H093/ND06 2H093/ND32 2H093/ND35 2H093/ND49 2H193/ZA04 2H193/ZC15 2H193/ZD23 2H193/ZD26 2H193/ZF03 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF50 5C006/AF51 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BF22 5C006/BF24 5C006/BF25 5C006/FA12 5C006/FA14 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	朝日 伸光		
审查员(译)	中村直之		
优先权	1020050097131 2005-10-14 KR		
其他公开文献	JP2007108668A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的装置及其驱动方法，该装置能够通过在不使用存储器的情况下提高液晶的响应速度来防止图像质量下降。ΣSOLUTION：驱动装置包括：液晶面板，具有彼此垂直布置的多条栅极线和多条数据线;栅极驱动器，向栅极线提供栅极脉冲;以及数据驱动器。数据驱动器对输入的N位（N：正整数）数字数据信号进行采样以产生模拟数据电压，根据M位产生用于加速液晶响应速度的调制数据电压（M：小于或等于N的正整数，采样数字数据信号的数据值，将调制数据电压与模拟数据电压混合，并将混合数据电压提供给数据线。Ž

以前 frame	現frame															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	1	3	4	6	7	9	10	11	12	14	15	15	15	15	15
1	0	1	2	4	5	7	9	10	11	12	13	14	15	15	15	15
2	0	1	2	3	5	7	8	9	10	12	13	14	15	15	15	15
3	0	1	2	3	5	6	8	9	10	11	12	14	14	15	15	15
4	0	0	1	2	4	6	7	9	10	11	12	13	14	15	15	15
5	0	0	0	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	0	1	3	4	6	8	9	10	11	13	14	15	15	15
7	0	0	0	1	2	4	5	7	8	10	11	12	14	14	15	15
8	0	0	0	1	2	3	5	6	8	9	11	12	13	14	15	15
9	0	0	0	1	2	3	4	6	7	9	10	12	13	14	15	15
10	0	0	0	0	1	2	4	5	7	8	10	11	13	14	15	15
11	0	0	0	0	0	2	3	5	6	7	9	11	12	14	15	15
12	0	0	0	0	0	1	3	4	5	7	8	10	12	13	15	15
13	0	0	0	0	0	1	2	3	4	6	8	10	11	13	14	15
14	0	0	0	0	0	0	1	2	3	5	7	9	11	13	14	15
15	0	0	0	0	0	0	0	1	2	4	6	9	11	13	14	15

【 0 0 1 8 】