

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4645190号
(P4645190)

(45) 発行日 平成23年3月9日 (2011.3.9)

(24) 登録日 平成22年12月17日 (2010.12.17)

(51) Int. Cl.

F I

G O 2 F 1/1337 (2006.01)

G O 2 F 1/1337 5 0 0

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2004-375020 (P2004-375020)	(73) 特許権者	000001443
(22) 出願日	平成16年12月24日 (2004.12.24)		カシオ計算機株式会社
(65) 公開番号	特開2006-184336 (P2006-184336A)		東京都渋谷区本町 1 丁目 6 番 2 号
(43) 公開日	平成18年7月13日 (2006.7.13)	(74) 代理人	100091351
審査請求日	平成19年10月17日 (2007.10.17)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項 1】

第 1 の基板と第 2 の基板との間に誘電率異方性が負の液晶分子からなる液晶層が設けられ、

前記第 1 の基板に画素電極が設けられているとともに前記画素電極を覆うように第 1 の配向膜が設けられ、

前記画素電極が互いに平行に延伸する第 1 の辺及び第 2 の辺並びに前記第 1 の辺に直交する方向に延伸する第 3 の辺及び第 4 の辺を有している液晶表示素子であって、

ソース電極及びドレイン電極のうちの何れか一方が前記画素電極に接続された薄膜トランジスタと、

前記第 1 の辺に平行に配置されるとともに、前記薄膜トランジスタのゲート電極に接続されたゲート配線と、

を備え、

前記画素電極は、前記第 1 の辺が前記ゲート電極と重なるように配置され、

前記第 1 の基板は、前記第 1 の配向膜が前記第 2 の辺から前記ゲート配線に向かうように且つ前記第 3 の辺に対して平行な方向にラビング処理されていることを特徴とする液晶表示素子。

【請求項 2】

前記第 2 の基板に第 2 の配向膜が設けられ、

前記第 2 の配向膜は、前記第 1 の配向膜とは逆の方向にラビング処理されていることを

特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

前記第 2 の基板に前記第 2 の配向膜に覆われた対向電極が設けられていることを特徴とする請求項 2 に記載の液晶表示素子。

【請求項 4】

前記ゲート配線と同一の層として形成されるとともに前記第 3 の辺に重なるように且つ前記第 3 の辺に沿うように配置されることによって前記画素電極との間に補償容量を形成する補助容量電極を備えていることを特徴とする請求項 1 から 3 の何れかに記載の液晶表示素子。

【発明の詳細な説明】

10

【技術分野】

【0001】

この発明は、薄膜トランジスタ（以下、TFTと記す）をアクティブ素子とした垂直配向型のアクティブマトリックス液晶表示素子に関する。

【背景技術】

【0002】

垂直配向型のアクティブマトリックス液晶表示素子は、予め定めた間隙を存して対向する一对の基板と、前記一对の基板の互いに対向する内面のうち、一方の基板の内面に設けられ、行方向及び列方向にマトリックス状に配列する複数の画素電極と、前記一方の基板の内面に前記複数の画素電極の一端縁にそれぞれ対応させて設けられ、対応する画素電極にそれぞれ接続された複数の TFT と、前記一方の基板の内面に各画素電極行の一側及び各画素電極列の一側にそれぞれ沿わせて設けられ、その行及び列の前記 TFT にゲート信号及びデータ信号を供給する複数のゲート配線及びデータ配線と、他方の基板の内面に設けられ、前記複数の画素電極とそれぞれ対向する領域により複数の画素を形成する対向電極と、前記一对の基板の内面にそれぞれ前記電極を覆って設けられた第 1 と第 2 の垂直配向膜と、前記一对の基板間の間隙に封入された負の誘電異方性を有する液晶層とからなっている（特許文献 1 参照）。

20

【特許文献 1】特許第 2 5 6 5 6 3 9 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0003】

垂直配向型の液晶表示素子は、複数の画素電極と対向電極とが互いに対向する領域からなる複数の画素毎に、前記電極間への書込み電圧の印加により液晶分子を垂直配向状態から倒れ配向させて画像を表示する。

【0004】

しかし、従来の垂直配向型液晶表示素子は、各画素の書込み電圧の印加による液晶分子の倒れ配向が不安定で、良好な品質の表示が得られない。

【0005】

なお、液晶表示素子は、高精細化のために、複数の画素電極を細長形状に形成し、画素密度を高くすることが望まれているが、従来の垂直配向型液晶表示素子は、画素電極を細長形状に形成すると、各画素の書込み電圧の印加による液晶分子の倒れ配向がさらに不安定になり、表示品質がさらに低下する。

40

【0006】

この発明は、各画素の液晶分子を書込み電圧の印加により安定に倒れ配向させ、良好な品質の画像を表示することができる垂直配向型のアクティブマトリックス液晶表示素子を提供することを目的としたものである。

【課題を解決するための手段】

【0007】

請求項 1 に記載の発明は、第 1 の基板と第 2 の基板との間に誘電率異方性が負の液晶分子からなる液晶層が設けられ、前記第 1 の基板に画素電極が設けられているとともに前記

50

画素電極を覆うように第 1 の配向膜が設けられ、前記画素電極が互いに平行に延伸する第 1 の辺及び第 2 の辺並びに前記第 1 の辺に直交する方向に延伸する第 3 の辺及び第 4 の辺を有している液晶表示素子であって、ソース電極及びドレイン電極のうちの何れか一方が前記画素電極に接続された薄膜トランジスタと、前記第 1 の辺に平行に配置されるときともに、前記薄膜トランジスタのゲート電極に接続されたゲート配線と、を備え、前記画素電極は、前記第 1 の辺が前記ゲート電極と重なるように配置され、前記第 1 の基板は、前記第 1 の配向膜が前記第 2 の辺から前記ゲート配線に向かうように且つ前記第 3 の辺に対して平行な方向にラビング処理されていることを特徴とする。

【0008】

請求項 2 に記載の発明は、請求項 1 に記載の液晶表示素子において、前記第 2 の基板に第 2 の配向膜が設けられ、前記第 2 の配向膜は、前記第 1 の配向膜とは逆の方向にラビング処理されていることを特徴とする。

10

請求項 3 に記載の発明は、請求項 2 に記載の液晶表示素子において、前記第 2 の基板に前記第 2 の配向膜に覆われた対向電極が設けられていることを特徴とする。

請求項 4 に記載の発明は、請求項 1 から 3 の何れかに記載の液晶表示素子において、前記ゲート配線と同一の層として形成されるときともに前記第 3 の辺に重なるように且つ前記第 3 の辺に沿うように配置されることによって前記画素電極との間に補償容量を形成する補助容量電極を備えていることを特徴とする。

【発明の効果】

【0009】

20

本発明によれば、各画素の液晶分子を書込み電圧の印加により安定に倒れ配向させ、良好な品質の画像を表示することができる。

【発明を実施するための最良の形態】

【0012】

図 1～図 5 はこの発明の一実施例を示しており、図 1 は液晶表示素子の一方の基板の一部分の平面図、図 2 及び図 3 は図 1 のII-II線及びIII-III線に沿う液晶表示素子の断面図である。

【0013】

この液晶表示素子は、TFTをアクティブ素子とした垂直配向型のアクティブマトリクス液晶表示素子であり、図 1～図 3 に示したように、予め定めた間隙を存して対向する一対の透明基板 1、2 と、これらの基板 1、2 の互いに対向する内面のうち、一方の基板、例えば表示の観察側とは反対側の基板（以下、後基板という）1 の内面に設けられ、行方向及び列方向にマトリクス状に配列する複数の透明な画素電極 3 と、前記後基板 1 の内面に前記複数の画素電極 3 の一端縁にそれぞれ対応させて設けられ、対応する画素電極 3 にそれぞれ接続された複数の TFT 4 と、前記後基板 1 の内面に各画素電極行の一侧及び各画素電極列の一侧にそれぞれ沿わせて設けられ、その行及び列の TFT 4 にゲート信号及びデータ信号を供給する複数のゲート配線 10 及びデータ配線 11 と、他方の基板、つまり観察側の基板（以下、前基板という）2 の内面に設けられ、前記複数の画素電極 3 とそれぞれ対向する領域により複数の画素を形成する一枚膜状の透明な対向電極 15 と、前記一対の基板 1、2 の内面にそれぞれ設けられた第 1 及び第 2 の垂直配向膜 14、18 と、前記一対の基板 1、2 間の間隙に封入された負の誘電異方性を有する液晶層 19 とからなっている。

30

40

【0014】

前記複数の TFT 4 は、前記後基板 1 の基板面に形成されたゲート電極 5 と、前記ゲート電極 5 を覆って前記画素電極 3 の配列領域の全域に形成された透明なゲート絶縁膜 6 と、前記ゲート絶縁膜 6 の上に前記ゲート電極 5 と対向させて形成された i 型半導体膜 7 と、この i 型半導体膜 7 の一侧部と他側部の上に図示しない n 型半導体膜を介して形成されたドレイン電極 8 及びソース電極 9 とからなっている。

【0015】

なお、前記ゲート配線 10 は、前記後基板 1 の基板面に前記 TFT 4 のゲート電極 5 と

50

一体に形成されており、前記データ配線 11 は、前記ゲート絶縁膜 6 の上に前記 T F T 4 のドレイン電極 8 と一体に形成されている。

【0016】

そして、前記複数の画素電極 3 は、前記ゲート絶縁膜 6 の上に、その一端縁を前記ゲート配線 10 の前記画素電極 3 に隣接する側縁部に重ねて設けられており、前記 T F T 4 のソース電極 9 は、その T F T 4 に対応する画素電極 3 の端縁の一側部に接続されている。

【0017】

この実施例では、画素密度を高くして液晶表示素子を高精細化するために、前記複数の画素電極 3 を、前記ゲート配線 10 に沿う方向の幅を通常の画素電極幅よりも狭くした細長形状に形成し、その長手方向の一端縁を前記ゲート配線 10 の側縁部に重ねて設けている。

10

【0018】

さらに、前記後基板 1 の基板面には、各行の画素電極 3 にそれぞれ対応させて、前記画素電極 3 との間に前記ゲート絶縁膜 6 を誘電体層とする補償容量を形成する補償容量電極 13 が設けられている。

【0019】

なお、この実施例では、補償容量電極 13 を、各行の画素電極 3 の T F T 隣接側とは反対側の端縁部対応させて設けているが、この補償容量電極 13 は、前記画素電極 3 の T F T 隣接側とは反対側の端縁部及び両側縁部に対応させて設けてもよい。

【0020】

20

そして、前記各行の画素電極 3 にそれぞれ対応する補償容量電極 13 は、前記複数の画素電極 3 の配列領域の外側の一端または両端に前記データ配線 12 と平行に設けられた図示しない容量電極接続配線に共通接続されている。

【0021】

また、前記後基板 1 の内面には、前記複数の画素電極 3 に対応する部分を除いて、前記複数の T F T 4 及びデータ配線 11 を覆うオーバーコート絶縁膜 12 が設けられており、その上に、前記複数の画素電極 3 を覆って第 1 の垂直配向膜 14 が形成されている。

【0022】

一方、前記前基板 2 の内面には、前記後基板 1 の内面に設けられた複数の画素電極 3 にそれぞれ対応する複数の画素の間の領域に対向する格子膜状のブラックマスク 16 と、前記複数の画素にそれぞれ対応する赤、緑、青の 3 色のカラーフィルタ 17 R, 17 G, 17 B が設けられており、前記カラーフィルタ 17 R, 17 G, 17 B の上に前記対向電極 15 が形成され、その上に第 2 の垂直配向膜 18 が形成されている。

30

【0023】

そして、前記後基板 1 の内面の第 1 の垂直配向膜 14 は、前記画素電極 3 の前記ゲート配線 10 に隣接する側とは反対側の端縁から前記ゲート配線 10 に隣接する端縁に向かう方向にラビング処理され、前記前基板 2 の内面の第 2 の垂直配向膜 18 は、前記第 1 の垂直配向膜 14 のラビング方向とは逆方向にラビング処理されている。図 1 及び図 2 において、矢印 1 a は後基板 1 の第 1 の垂直配向膜 14 のラビング方向、矢印 2 a は前基板 2 の第 2 の垂直配向膜 18 のラビング方向を示している。

40

【0024】

前記後基板 1 と前基板 2 は、前記複数の画素電極 3 の配列領域を囲む図示しない枠状のシール材を介して接合されている。

【0025】

また、前記後基板 1 は、図示しないが、その行方向の一端と列方向の一端とにそれぞれ、前基板 2 の外方に突出する張出部を有しており、その行方向の張出部に複数のゲート側ドライバ接続端子が配列形成され、列方向の張出部に複数のデータ側ドライバ接続端子が配列形成されている。

【0026】

そして、前記複数のゲート配線 10 は、前記行方向の張出部に導出されて前記複数のゲ

50

ート側ドライバ接続端子にそれぞれ接続され、前記複数のデータ配線 11 は、前記列方向の張出部に導出されて前記複数のデータ側ドライバ接続端子にそれぞれ接続されており、前記各行の画素電極 3 にそれぞれ対応する補償容量電極 13 が共通接続された図示しない容量電極接続配線は、前記行方向と列方向の張出部の一方または両方に導出され、その張出部の複数のドライバ接続端子のうちの基準電位端子に接続されている。

【0027】

また、前記液晶層 19 は、前記後基板 1 と前基板 2 の間の前記シール材で囲まれた領域に封入されており、この液晶層 19 の液晶分子 19a は、両基板 1, 2 の内面にそれぞれ設けられた垂直配向膜 14, 18 の垂直配向性により、基板 1, 2 面に対して前記垂直配向膜 14, 18 のラビング方向に僅かにチルトした状態で実質的に垂直に配向している。

10

【0028】

また、前記後基板 1 と前基板 2 の外面にはそれぞれ、偏光板 20, 21 がその透過軸を予め定めた方向に向けて配置されている。なお、この実施例では、前記偏光板 20, 21 をそれぞれの透過軸を実質的に互いに直交させて配置し、液晶表示素子にノーマリーブラックモードの表示を行なわせるようにしている。

【0029】

この液晶表示素子は、複数の画素毎に、前記画素電極 3 と対向電極 15 との間への書込み電圧の印加により液晶分子 19a を垂直配向状態から倒れ配向させて画像を表示するものであり、前記液晶分子 19a は、前記書込み電圧が印加されない画素間領域では実質的に垂直に配向しており、各画素毎に、前記書込み電圧の電圧値に応じて倒れ配向する。

20

【0030】

この液晶表示素子は、複数の画素電極 3 をそれぞれ、その一端縁をゲート配線 10 の前記画素電極 3 に隣接する側縁部に重ねて設け、複数の画素電極 3 が設けられた後基板 1 の内面の第 1 の垂直配向膜 14 を、前記画素電極 3 のゲート配線 10 に隣接する側とは反対側の端縁から前記ゲート配線 10 に隣接する端縁に向かう方向にラビング処理し、対向電極 15 が設けられた前基板 2 の内面の第 2 の垂直配向膜 18 を、前記第 1 の垂直配向膜 14 のラビング方向とは逆方向にラビング処理しているため、各画素の液晶分子 19a が、前記画素電極 3 と対向電極 15 との間への書込み電圧の印加により、前記ゲート配線 10 に対応する部分の前記ゲート配線 10 と対向電極 15 との間の電界による液晶分子 19a の倒れ配向方向に誘引され、前記垂直配向膜 14, 19 のラビング方向 1a, 2a により規定される方向に倒れ配向する。

30

【0031】

図 4 及び図 5 は、上記実施例の液晶表示素子の 1 つの画素の書込み電圧印加時の液晶分子配向状態を模式的に示す平面図及び断面図、図 6 及び図 7 は、画素電極 3 をゲート配線 10 から離間させて設けた比較素子の 1 つの画素の書込み電圧印加時の液晶分子配向状態を模式的に示す平面図及び断面図である。

【0032】

まず、前記比較素子の書込み電圧の印加による液晶分子 19a の倒れ配向状態を説明すると、この比較素子では、図 6 及び図 7 のように、各画素の液晶分子 19a が、書込み電圧の印加により、画素の周縁部から画素電極 3 が設けられた後基板の第 1 の垂直配向膜 14 のラビング方向 1a に倒れ込むように配向するが、前記画素のゲート配線 10 に隣接する端部側の液晶分子 19a は、前記ゲート配線 10 と画素電極 3 の端縁との間に発生するゲート信号に応じた強い横電界を受けてその横電界の方向、つまり前記第 1 の垂直配向膜 14 のラビング方向 1a とは逆方向に倒れ込むように配向する。

40

【0033】

そのため、この比較素子は、各画素の書込み電圧の印加による液晶分子 19a の倒れ配向が不安定で、良好な品質の表示が得られず、特に、液晶表示素子を高精細化するために画素電極 3 を細長形状に形成すると、各画素の書込み電圧の印加による液晶分子 19a の倒れ配向がさらに不安定になり、表示品質がさらに低下する。

【0034】

50

それに対し、上記実施例の液晶表示素子は、画素電極 3 の一端縁をゲート配線 10 の前記画素電極 3 に隣接する側縁部に重ねているため、前記ゲート配線 10 と画素電極 3 の端縁との間に前記横電界が発生することは無い。

【0035】

一方、前記ゲート配線 10 に対応する部分の液晶分子 19 a は、前記ゲート配線 10 と対向電極 15 との間に発生するゲート信号に応じた -15 V 程度の強い電界により、倒れるように配向する。

【0036】

また、上記実施例の液晶表示素子は、画素電極 3 が設けられた後基板 1 の内面の第 1 の垂直配向膜 14 を、前記画素電極 3 のゲート配線 10 に隣接する側とは反対側の端縁から前記ゲート配線 10 に隣接する端縁に向かう方向にラビング処理しているため、前記ゲート配線 10 に対応する部分のゲート配線 10 と対向電極 15 との間に発生する電界による液晶分子 19 a の倒れ込み方向と前記画素電極 3 上の前記ゲート配線に重なる縁部における液晶分子 19 a の倒れ込み方向は一致する。

【0037】

そのため、前記画素の液晶分子 19 a は、図 4 及び図 5 のように、書込み電圧の印加により、ゲート配線 10 に対応する部分の前記ゲート配線 10 と対向電極 15 との間の電界による液晶分子 19 a の倒れ配向方向に誘引され、画素の全域にわたって、前記第 1 の垂直配向膜 14 のラビング方向 1 a に倒れ込むように倒れ配向する。

【0038】

したがって、この液晶表示素子によれば、各画素の液晶分子 19 a を前記書込み電圧の印加により安定に倒れ配向させ、良好な品質の画像を表示することができる。

【0039】

また、上記実施例の液晶表示素子は、複数の画素電極 3 を、液晶表示素子の高精細化のために細長形状に形成しているが、前記画素電極 3 の長手方向の一端縁をゲート配線 10 の側縁部に重ねて設け、複数の画素電極 3 が設けられた後基板 1 の内面の第 1 の垂直配向膜 14 を、前記画素電極 3 の長手方向に沿わせて、前記画素電極 3 のゲート配線 10 に隣接する側とは反対側の端縁から前記ゲート配線 10 に隣接する端縁に向かう方向にラビング処理し、対向電極 15 が設けられた前基板 2 の内面の第 2 の垂直配向膜 18 を、前記第 1 の垂直配向膜 14 のラビング方向とは逆方向にラビング処理しているため、画素電極 3 が細長形状であっても、各画素の液晶分子を前記書込み電圧の印加により安定に倒れ配向させ、良好な品質の画像を表示することができる。

【図面の簡単な説明】

【0040】

【図 1】この発明の一実施例を示す液晶表示素子の一方の基板の一部分の平面図。

【図 2】図 1 の II-II 線に沿う液晶表示素子の断面図。

【図 3】図 1 の III-III 線に沿う液晶表示素子の断面図。

【図 4】前記液晶表示素子の 1 つの画素の書込み電圧印加時の液晶分子配向状態を模式的に示す平面図。

【図 5】前記液晶表示素子の 1 つの画素の書込み電圧印加時の液晶分子配向状態を模式的に示す断面図。

【図 6】画素電極をゲート配線から離間させて設けた比較素子の 1 つの画素の書込み電圧印加時の液晶分子配向状態を模式的に示す平面図。及び断面図である。

【図 7】前記比較素子の 1 つの画素の書込み電圧印加時の液晶分子配向状態を模式的に示す断面図。

【符号の説明】

【0041】

1, 2…基板、3…画素電極、4…TFE、10…ゲート配線、11…データ配線、13…補償容量電極、14…垂直配向膜、15…対向電極、16…ブラックマスク、17R, 17G, 17B…カラーフィルタ、18…垂直配向膜、19…液晶層、19a…液晶分

10

20

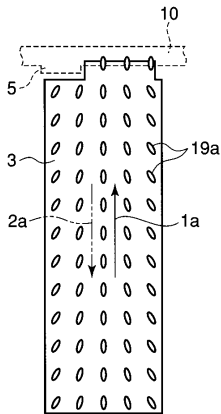
30

40

50

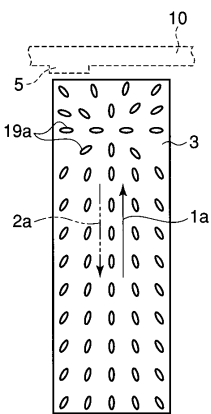
【図 4】

図 4



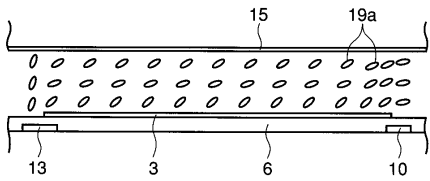
【図 6】

図 6



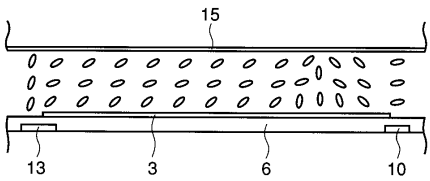
【図 5】

図 5



【図 7】

図 7



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 山口 稔

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

審査官 高松 大

(56)参考文献 特開2004-163746 (JP, A)

特開平09-015642 (JP, A)

特開2003-066491 (JP, A)

特開平09-127554 (JP, A)

特開2002-229029 (JP, A)

特許第2565639 (JP, B2)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1337

G02F 1/1368

提供一种垂直取向型有源矩阵液晶显示装置，其能够通过施加写入电压稳定地倾斜和对准每个像素的液晶分子并显示高质量的图像。 解决方案：多个像素电极3中的每一个的一个末端边缘被设置为叠加在与像素电极3相邻的栅极布线10的侧边缘部分上，并且多个像素电极3形成在后基板1的内表面上在与像素电极3的与栅极线10相邻的一侧相反的一侧到与栅极线10相邻的边缘的方向1a上对1个垂直取向膜进行摩擦处理，以形成对电极在与第一垂直取向膜的摩擦方向1a相反的方向2b上摩擦前基板的内表面上的第二垂直取向膜。 点域1

