

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4575657号

(P4575657)

(45) 発行日 平成22年11月4日(2010.11.4)

(24) 登録日 平成22年8月27日(2010.8.27)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 611F

G09G 3/20 611G

G09G 3/20 612K

請求項の数 2 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2003-370648 (P2003-370648)
 (22) 出願日 平成15年10月30日(2003.10.30)
 (65) 公開番号 特開2005-134645 (P2005-134645A)
 (43) 公開日 平成17年5月26日(2005.5.26)
 審査請求日 平成18年10月30日(2006.10.30)

(73) 特許権者 000103747
 オプトレックス株式会社
 東京都荒川区東日暮里五丁目7番18号
 (74) 代理人 100083404
 弁理士 大原 拓也
 (72) 発明者 権藤 賢二
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内
 (72) 発明者 野口 俊明
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

各画素(MP)ごとに半導体スイッチ素子を有するアクティブマトリクス方式によるモノクロ表示用のアレイ基板(100)と、上記各画素(MP)に対する表示データをクロック信号とともに出力するモノクロ表示駆動用のタイミングコントローラ(210)と、カラー表示駆動用のタイミングコントローラ(21)から出力される1クロック信号ごとにR、G、Bの3サブ画素分の表示データをラッチしてカラー表示用のアレイ基板(10)の隣接する3つのサブ画素に与えるように動作するカラー表示駆動用のソースドライバー(220)とを含み、上記モノクロ表示用のアレイ基板(100)にカラーフィルタを設けることなく上記カラー表示駆動用のソースドライバー(220)を用いてモノクロ表示のみを行う液晶表示装置において、

上記モノクロ表示駆動用のタイミングコントローラ(210)から上記各画素(MP)に対するモノクロ表示データが上記クロック信号とともに順次出力されるようにし、上記タイミングコントローラ(210)と上記ソースドライバー(220)との間に、上記タイミングコントローラ(210)から順次出力されるモノクロ表示データのうち、n画素目のモノクロ表示データについては上記クロック信号の2クロック信号分保持するとともに、n+1画素目のモノクロ表示データについては上記クロック信号の1クロック信号分保持し、n+2画素目のモノクロ表示データが到来した時点から所定時間後にn画素目、n+1画素目およびn+2画素目の各モノクロ表示データを同時に上記ソースドライバー(220)に出力するデータ遅延手段(230)(ただし、nは1+3N(Nは0を含む

10

20

正の整数)) と、上記クロック信号の $1/3$ の周波数で上記データ遅延手段 (230) の上記ソースドライバ (220) に対するサンプリングタイミングを制御するデータ出力制御手段 (240) とを備え、

上記データ遅延手段 (230) に、上記タイミングコントローラ (210) から出力される上記モノクロ表示データの位相を合わせる位相合わせ用の第1ラッチ回路 (231) と、上記第1ラッチ回路 (231) から出力される上記モノクロ表示データをラッチすると同時にシフトするシフトレジスタとしての第2ラッチ回路 (232) とが含まれていることを特徴とする液晶表示装置。

【請求項2】

上記各画素間にブラックマスクが形成されていることを特徴とする請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス方式による液晶表示装置に関し、さらに詳しく言えば、カラー表示駆動用のソースドライバにてモノクロ表示のみを行う液晶表示装置に関するものである。

【背景技術】

【0002】

図3(a)にアクティブマトリクス方式による液晶表示素子が備えるアレイ基板10とその表示駆動系20とを模式的に示す。通常、アレイ基板10にはR(赤)、G(緑)、B(青)の各カラー要素をストライプ状に配列してなるカラーフィルタを備えており、図3(b)に示すように1画素MPにはR、G、Bの3つのサブ画素SPが含まれている。

【0003】

そして、そのサブ画素SPごとにTFT(Thin Film Transistor)、TFD(Thin Film Diode)、MIM(Metal Insulated Metal)などの図示しない半導体スイッチ素子が設けられている。なお、R、G、Bに代えてシアン、マゼンタ、イエローの組み合わせが用いられる場合もある。

【0004】

表示駆動系20には、タイミングコントローラ21とカラー表示駆動用のソースドライバ22とが含まれている。タイミングコントローラ21は各サブ画素SPに対する表示データをクロック信号とともに出力する。ソースドライバ22はカラーフィルタの各列に対応する多数の出力端子S1、S2、S3…を有し、タイミングコントローラ21からの表示データに基づいて所定の階調電圧を上記半導体スイッチ素子を介してサブ画素電極に印加する。

【0005】

ここで、図4のタイミングチャートを参照して、タイミングコントローラ21およびソースドライバ22の動作を説明する。なお、タイミングコントローラ21から出力される各サブ画素SPに対する表示データは6ビット(64階調)であるとする。また説明の便宜上、各表示データにはそれが割り当てられる出力端子の符号S1、S2、S3…を付している。

【0006】

タイミングコントローラ21は、1クロック信号CLKごとに1画素MP単位で表示データを出力する。すなわち、第1クロック信号CLKで、第1列目の出力端子S1用としてR00~R05の6ビットを含むR表示用データS1、第2列目の出力端子S2用としてG00~G05の6ビットを含むG表示用データS2および第3列目の出力端子S3用としてB00~B05の6ビットを含むB表示用データS3を同時にサンプリングする。

【0007】

次の第2クロック信号CLKでは、第4列目の出力端子S4用としてR00~R05の6ビットを含むR表示用データS4、第5列目の出力端子S5用としてG00~G05の

10

20

30

40

50

6ビットを含むG表示用データS5および第6列目の出力端子S6用としてB00～B05の6ビットを含むB表示用データS6を同時にサンプリングする。これを1画素MP単位で順次繰り返す。

【0008】

ソースドライバー22は、タイミングコントローラ21から送られてくるクロック信号CLKに基づいて動作し、その1クロック信号CLKごとに3画素分（この場合、3サブ画素分）の表示データをラッチしてアレイ基板10の隣接する3つの画素（この場合、隣接する3つのサブ画素）に与える。

【0009】

すなわち、最初のクロック信号CLKで上記R表示用データS1、上記G表示用データS2および上記B表示用データS3（合計18ビット）をラッチし、出力端子S1、S2、S3から各表示データに相当する階調電圧を出力イネーブル信号により出力する。次のクロック信号CLKでは上記R表示用データS4、上記G表示用データS5および上記B表示用データS6をラッチして、同様にその各表示データに相当する階調電圧を出力イネーブル信号により出力する。以下これを繰り返す。

【0010】

このように、カラー表示駆動用のソースドライバー22は、1クロック信号CLKごとにR、G、Bの各サブ画素用の3つの表示用データをラッチするように動作する。この種の動作形態のものがカラー表示駆動用の標準ソースドライバーとして一般的に広く普及している。

【0011】

上記のアクティブマトリクス方式による液晶表示素子（以下、総称としてTFT液晶表示素子ということがある。）は通常カラー表示であり、1画素MPに含まれている3つのサブ画素SPに対する表示データを同一とすることにより、モノクロ表示とすることができ、例えばコスト削減を図るため、TFT液晶表示素子でカラーフィルタを設けることなくモノクロ表示専用とする場合、次のような問題がある。

【0012】

すなわち、TFT液晶表示素子用の標準ソースドライバーは、現在のところほとんどがカラー表示駆動用であるため、モノクロ表示専用とする場合にも入手の容易性および価格的な面から、そのソースドライバーとしてカラー表示駆動用の標準ソースドライバーを使用することになる。

【0013】

しかしながら、標準ソースドライバーは上記したように出力がR、G、B単位であるため、モノクロ表示であるにもかかわらずその使用個数はカラー表示との場合と同数必要となり所期のコスト削減の目的を達成することができない。

【0014】

なお、カスタム仕様としてモノクロ表示専用のソースドライバーを用いれば、その使用個数を削減できるが、カスタム仕様のは標準仕様のものよりも価格が高くなるため、全体的にはコスト削減とはならない。

【発明の開示】

【発明が解決しようとする課題】

【0015】

したがって、本発明の課題は、TFT液晶表示装置でカラーフィルタを設けることなくモノクロ表示専用とする場合、カラー表示駆動用の標準ソースドライバーを使用するにしても、その使用個数を削減できるようにすることにある。

【課題を解決するための手段】

【0016】

上記課題を解決するため、本願の請求項1に係る発明は、各画素(MP)ごとに半導体スイッチ素子を有するアクティブマトリクス方式によるモノクロ表示用のアレイ基板(100)と、上記各画素(MP)に対する表示データをクロック信号とともに出力するモノ

10

20

30

40

50

クロ表示駆動用のタイミングコントローラ(210)と、カラー表示駆動用のタイミングコントローラ(21)から出力される1クロック信号ごとにR、G、Bの3サブ画素分の表示データをラッチしてカラー表示用のアレイ基板(10)の隣接する3つのサブ画素に与えるように動作するカラー表示駆動用のソースドライバー(220)を含み、上記モノクロ表示用のアレイ基板(100)にカラーフィルタを設けることなく上記カラー表示駆動用のソースドライバー(220)を用いてモノクロ表示のみを行う液晶表示装置において、上記モノクロ表示駆動用のタイミングコントローラ(210)から上記各画素(MP)に対するモノクロ表示データが上記クロック信号とともに順次出力されるようにし、上記タイミングコントローラ(210)と上記ソースドライバー(220)との間に、上記タイミングコントローラ(210)から順次出力されるモノクロ表示データのうち、n画素目のモノクロ表示データについては上記クロック信号の2クロック信号分保持するとともに、n+1画素目のモノクロ表示データについては上記クロック信号の1クロック信号分保持し、n+2画素目のモノクロ表示データが到来した時点から所定時間後にn画素目、n+1画素目およびn+2画素目の各モノクロ表示データを同時に上記ソースドライバー(220)に出力するデータ遅延手段(230)(ただし、nは1+3N(Nは0を含む正の整数))と、上記クロック信号の1/3の周波数で上記データ遅延手段(230)の上記ソースドライバー(220)に対するサンプリングタイミングを制御するデータ出力制御手段(240)とを備え、上記データ遅延手段(230)に、上記タイミングコントローラ(210)から出力される上記モノクロ表示データの位相を合わせる位相合わせ用の第1ラッチ回路(231)と、上記第1ラッチ回路(231)から出力される上記モノクロ表示データをラッチすると同時にシフトするシフトレジスターとしての第2ラッチ回路(232)とが含まれていることを特徴としている。

10

20

【0017】

また、本願の請求項2に係る発明は、上記各画素間にブラックマスクが形成されることを特徴としている。

【発明の効果】**【0018】**

本願の請求項1に係る発明によれば、上記データ遅延手段にて3画素分のモノクロ表示データが揃えられて同時に出力されるため、カラー表示駆動用のソースドライバーが1クロック信号ごとに3画素分の表示データをラッチするという機能に合致させることができる。したがって、カラーフィルタを設けることなく、TFT液晶表示素子をモノクロ表示専用とする場合、カラー表示駆動用のソースドライバーの使用個数を1/3に減らすことができる。

30

【0019】

本願の請求項2に係る発明によれば、ブラックマスクが各画素間(メイン画素間)のみに設けられ、サブ画素を有するカラー表示の場合と異なり各画素内にはブラックマスクが存在しないため、その分、明るい表示が得られる。また、ソースドライバーの駆動周波数がカラー表示の場合に比べて1/3に落とされるため、不要輻射対策も容易になる。

【発明を実施するための最良の形態】**【0020】**

次に、図1および図2により、本発明の実施形態について説明するが、本発明はこれに限定されるものではない。図1は本発明による液晶表示素子の要部のみを示す模式図で、図2は本発明の動作説明用のタイミングチャートである。

40

【0021】

本発明による液晶表示装置は、アクティブマトリクス方式によるもので、図1にそのアレイ基板100とその表示駆動系200とを示す。アレイ基板100には多数の画素MPがマトリクス状に配列されており、各画素MPにはTFTなどの半導体スイッチ素子(図示省略)が設けられている。また図示しないが、アレイ基板100と対向して共通電極基板が配置されている。

【0022】

50

本発明の液晶表示装置は、TFT液晶表示素子であるが、モノクロ表示専用であるためアレイ基板100にはカラーフィルタが形成されていない。画素MPのひとつあたりの大きさは先の図3(b)に示したようにR、G、Bの3つのサブ画素SPを含む例えば $180 \times 180 \mu\text{m}$ もしくは $240 \times 240 \mu\text{m}$ 程度であることが好ましい。

【0023】

このように、好ましくは1画素MPはカラー表示の場合と同じ大きさに形成されるが、サブ画素SPを含まないためブラックマスク(遮光膜)BMは画素MP間のみに設けられ、これによりカラー表示でのモノクロに比べて高い輝度が得られる。

【0024】

表示駆動系200には、タイミングコントローラ210とソースドライバー220とが含まれている。タイミングコントローラ210は、先に説明した従来例が備えているタイミングコントローラ21と同じ機能を有するものであってよいが、本発明において、タイミングコントローラ210は1クロック信号ごとにアレイ基板100の各画素列L1、L2、L3…に対するモノクロ表示データを順次サンプリングする。

【0025】

また、ソースドライバー220については、先に説明した従来例で用いられているソースドライバー22、すなわち1クロック信号ごとに3画素(列)分の表示データをラッチして出力するカラー表示駆動用の標準ソースドライバーがそのまま用いられる。

【0026】

なお、ソースドライバー220は図示しないデータ信号線を介して各TFTのソース電極を駆動するドライバーであり、上記データ信号線はアレイ基板100の列方向(図1において上下方向)に沿って配線されている。

【0027】

また、アレイ基板100には、各TFTのゲート電極に接続される図示しないゲート電極線が行方向(図1において左右方向)に沿って配線されており、その各ゲート電極線は図示しないゲートドライバーに接続されている。なお、ゲートドライバーは各ゲート電極線を所定のデューティ比で順次走査するドライバーであり、その動作は公知のものであってよいので、ここではその説明を省略する。

【0028】

ソースドライバー220の出力端子S1、S2、S3…はアレイ基板100の各画素列L1、L2、L3…に対してそれぞれ1:1の関係で接続されるが、タイミングコントローラ210からサンプリングされるのは1クロック信号あたり1画素列分のモノクロ表示データであるため、このままでは正常に動作できない。

【0029】

そこで、本発明ではタイミングコントローラ210とソースドライバー220との間にデータ遅延手段230と、同データ遅延手段230のデータサンプリングタイミングを制御するデータ出力制御手段240とを備えている。

【0030】

この例において、データ遅延手段230には、タイミングコントローラ210からソースドライバー220に至るデータラインDに直列に接続された第1ラッチ回路231、第2ラッチ回路232およびバッファ回路233が含まれている。

【0031】

データ出力制御手段240は、タイミングコントローラ210からソースドライバー220に至るクロックラインCに直列に接続された基準クロック生成回路241と、 $1/3$ クロック生成回路242とを備えている。

【0032】

基準クロック生成回路241はタイミングコントローラ210からのクロック信号Caに基づいてそれと同一周波数の基準クロック信号Cb($=Ca$)を生成し、第2ラッチ回路232と $1/3$ クロック生成回路242と与える。 $1/3$ クロック生成回路242は周波数が基準クロック信号Cbの周波数の $1/3$ であるクロック信号Ccを生成し、第2ラ

10

20

30

40

50

ッチ回路 232 とソースドライバ 220 とに与える。

【0033】

ここで、基準クロック生成回路 241 を設けている理由について説明すると、上記クロック信号 C a はタイミングコントローラ 210 の内部クロックで、一般的に波形が不安定である。したがって、上記クロック信号 C a から直接的に 1/3 クロックを生成するとその波形も不安定なものとなるため、基準クロック生成回路 241 にて上記クロック信号 C a から同一周波数の波形のしっかりした基準クロック信号 C b を得るようにしている。

【0034】

第 1 ラッチ回路 231 はタイミングコントローラ 210 から送出されるモノクロ表示データを上記クロック信号 C a の 1 周期ごとに第 2 ラッチ回路 232 に出力する。この例において、第 2 ラッチ回路 232 はシフトレジスタからなり、上記基準クロック信号 C b の例えば立ち上がりエッジで第 1 ラッチ回路 231 からのモノクロ表示データをラッチし、上記クロック信号 C c の 1 周期をまってデータを出力する。

10

【0035】

次に、図 2 のタイミングチャートにより、データ遅延手段 230 とデータ出力制御手段 240 の動作について説明する。なお、タイミングコントローラ 210 から送出されるモノクロ表示データは 6 ビット（64 階調）であるとする。

【0036】

まず、タイミングコントローラ 210 は 1 クロック信号 C a ごとに 1 画素列分のモノクロ表示データ（D0～D5 を含む 6 ビット）を出力する。すなわち、最初の第 1 番目のクロック信号 C a で第 1 画素列 L1 用のモノクロ表示データ L S1、第 2 番目のクロック信号 C a で第 2 画素列 L2 用のモノクロ表示データ L S2、第 3 番目のクロック信号 C a で第 3 画素列 L3 用のモノクロ表示データ L S3…のように順次モノクロ表示データを出力する。

20

【0037】

すると図 2（a）に示すように、第 1 ラッチ回路 231 はタイミングコントローラ 210 からのクロック信号 C a に合わせてその 1 周期ごとにモノクロ表示データ L S1、L S2、L S3…を第 2 ラッチ回路 232 にサンプリングする。すなわち、この例において第 1 ラッチ回路 231 は位相合わせ用のラッチ回路として用いられている。

【0038】

第 2 ラッチ回路 232 は、第 1 ラッチ回路 231 からのモノクロ表示データを図示しない上記基準クロック信号 C b の例えば立ち上がりエッジでラッチするが、そのデータを上記クロック信号 C c の 1 周期をまって次段のバッファ回路 233 にサンプリングする。

30

【0039】

これを第 1 画素列 L1～第 3 画素列 L3 のモノクロ表示データ L S1～L S3 について説明すると、図 2（b）に示すように、第 2 ラッチ回路 232 は第 1 番目にラッチした第 1 画素列 L1 のモノクロ表示データ（D0～D5）L S1 については上記基準クロック信号 C b の 2 クロック分保持する。第 2 番目にラッチした第 2 画素列 L2 のモノクロ表示データ（D10～D15）L S2 については上記基準クロック信号 C b の 1 クロック分保持する。

40

【0040】

そして、第 3 番目の第 3 画素列 L3 のモノクロ表示データ（D20～D25）L S3 をラッチしたのち、上記クロック信号 C c の最初の立ち上がり時点でモノクロ表示データ L S1～L S3 を同時に次段のバッファ回路 233 にサンプリングする。以後、これを繰り返して 3 画素列分のモノクロ表示データ L S4～L S6、L S7～L S9…をそれぞれ同時にサンプリングする。

【0041】

これにより、ソースドライバ 220 は上記クロック信号 C c をトリガとして 3 画素列分の合計 18 ビットのモノクロ表示データを同時にラッチすることができ、カラー表示の場合と同様に正常に動作する。すなわち、モノクロ表示データ L S1～L S3 をそれに対

50

応する各出力端子 S 1 ～ S 3 から出力する。

【0042】

したがって、カラー表示の場合において1画素MPに含まれる3つのサブ画素SPに割り当てられていた出力端子S1～S3を本発明のモノクロ表示では各画素MPに割り当てることができるため、ソースドライバー220を1／3に減らせることになる。また、ソースドライバー220の駆動周波数がカラー表示の場合に比べて1／3に落とされるため、不要輻射対策も容易になる。

【図面の簡単な説明】

【0043】

【図1】本発明による液晶表示装置の要部のみを示す模式図。

10

【図2】本発明におけるデータ遅延手段とデータ出力制御手段の動作説明用タイミングチャート。

【図3】従来のアクティブマトリクス方式による液晶表示素子が備えるアレイ基板とその表示駆動系とを示す模式図。

【図4】上記従来の液晶表示素子における表示駆動系の動作説明用タイミングチャート。

【符号の説明】

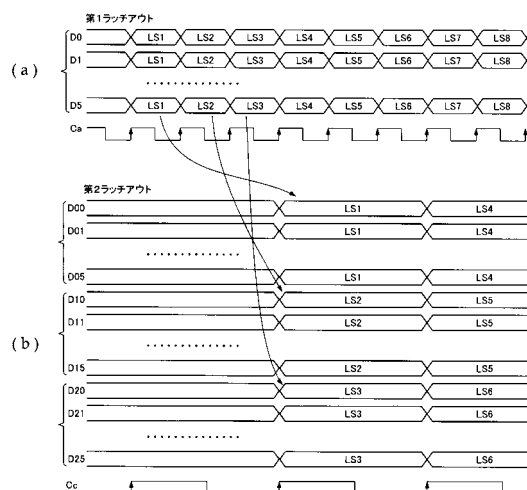
【0044】

- 100 アレイ基板
- 200 表示駆動系
- 210 タイミングコントローラ
- 220 ソースドライバー
- 230 データ遅延手段
- 231 第1ラッチ回路
- 232 第2ラッチ回路
- 233 バッファ回路
- 240 データ出力制御手段
- 241 基準クロック生成回路
- 242 1／3クロック生成回路
- MP 画素
- BM ブラックマスク

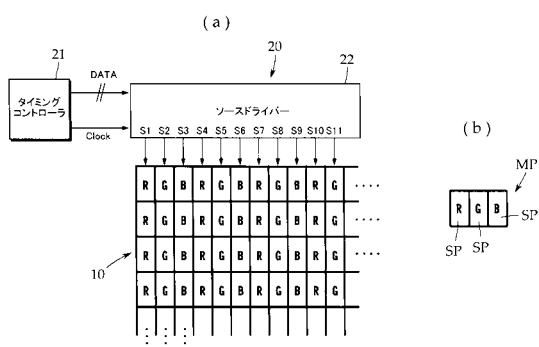
20

30

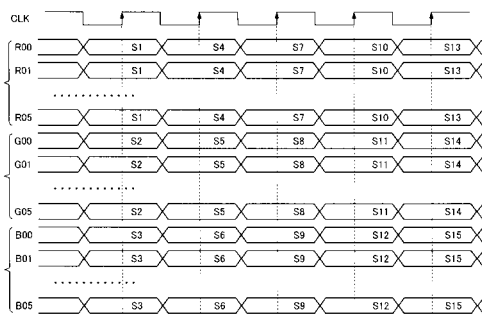
【図 2】



【図 3】



【图 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 B
G 0 9 G 3/20 6 2 3 M

(56)参考文献 特開平 1 1－3 5 2 9 5 4 (J P, A)
特開平 0 9－1 5 2 8 5 5 (J P, A)
特開平 0 7－1 5 2 3 4 8 (J P, A)
特開平 0 7－2 8 1 6 4 7 (J P, A)
特開 2 0 0 3－1 9 5 2 5 6 (J P, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0－3 / 3 8
G 0 2 F 1 / 1 3 3, 5 0 5－1 / 1 3 3, 5 8 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP4575657B2	公开(公告)日	2010-11-04
申请号	JP2003370648	申请日	2003-10-30
申请(专利权)人(译)	光王公司		
当前申请(专利权)人(译)	光王公司		
[标]发明人	権藤賢二 野口俊明		
发明人	権藤 賢二 野口 俊明		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.F G09G3/20.611.G G09G3/20.612.K G09G3/20.623.B G09G3/20.623.M G09G3/20.621.M		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC21 2H093/NC26 2H093/NC49 2H093/ND49 2H093/ND50 2H093/ND54 2H193/ZD23 5C006/AC21 5C006/AF23 5C006/AF72 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF04 5C006/BF07 5C006/BF11 5C006/EB06 5C006/FA32 5C006/FA48 5C006/FA51 5C006/FA52 5C080/AA10 5C080/BB05 5C080/CC10 5C080/DD12 5C080/DD27 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	大原拓也		
审查员(译)	中村直之		
其他公开文献	JP2005134645A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在驱动专用于单色显示器的TFT液晶显示元件时减少使用的源驱动器数量，而不使用带有用于驱动彩色显示器的标准源驱动器的彩色滤光片。 解决方案：在时序控制器210和源极驱动器220之间，从时序控制器210连同时钟信号和单色显示数据中的第n个像素的单色显示数据顺序输出每个像素的单色显示数据。保持两个时钟信号，并保持一个时钟信号用于第 (n + 1) 个像素的单色显示数据，或者在第 (n + 2) 个单色显示数据时的第n个像素。数据延迟装置230，用于同时输出第 (n + 1) 像素和第 (n + 2) 像素的每个单色显示数据到源驱动器220 (其中n是1 + 3N (N是包括0的正整数))，时钟数据输出控制装置240用于以1/3信号的频率控制数据延迟装置230的采样定时。 [选图]图1

【 図 1 】

