

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4420174号
(P4420174)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl.

F 1

G09G 3/36 (2006.01)

G09G 3/36

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/20 (2006.01)

G09G 3/20 611E

G09G 3/20 621B

G09G 3/20 623F

請求項の数 3 (全 32 頁) 最終頁に続く

(21) 出願番号

特願2002-325520 (P2002-325520)

(22) 出願日

平成14年11月8日 (2002.11.8)

(65) 公開番号

特開2003-280616 (P2003-280616A)

(43) 公開日

平成15年10月2日 (2003.10.2)

審査請求日

平成16年6月7日 (2004.6.7)

(31) 優先権主張番号

2001-069945

(32) 優先日

平成13年11月10日 (2001.11.10)

(33) 優先権主張国

韓国 (KR)

(31) 優先権主張番号

2002-041769

(32) 優先日

平成14年7月16日 (2002.7.16)

(33) 優先権主張国

韓国 (KR)

(73) 特許権者

501426046

エルジー ディスプレイ カンパニー リ
ミテッド
大韓民国 ソウル, ヨンドゥンポーク, ヨ
イドードン 20

(74) 代理人

100110423

弁理士 曾我 道治

(74) 代理人

100084010

弁理士 古川 秀利

(74) 代理人

100094695

弁理士 鈴木 憲七

(74) 代理人

100111648

弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置のデータ駆動装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

液晶表示装置をドット・インバージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信号を供給するデータ駆動装置において、

サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；

前記サンプリング信号に応答して 2^n (n は正数) 個のデータラインに供給される前記 2^n 個の画素データを所定の単位ずつ順次ラッチして同時に output するためのラッチ・アレイと；

前記ラッチ・アレイから入力された前記 2^n 個の画素データを 1 水平期間 (1H) に n 個ずつ時分割して供給するために、 n 個の第 1 マルチプレクサを包含し、前記 n 個の第 1 マルチプレクサ中、奇数番目の第 1 マルチプレクサのそれぞれは、第 1 選択制御信号に応答して 2 個の奇数番目のデータラインに供給される 2 個の奇数番目の画素データを時分割して出力し、偶数番目の第 1 マルチプレクサのそれぞれは、前記第 1 選択制御信号と反転された第 2 選択制御信号に応答して 2 個の偶数番目のデータラインに供給される 2 個の偶数番目の画素データを時分割して出力する第 1 マルチプレクサ・アレイと；

前記第 1 マルチプレクサ・アレイから前記 n 個ずつ時分割された画素データを n 個の画素電圧信号に変換するために、 $n+1$ 個のディジタルーアナログ変換器を包含し、 $n+1$ 個のディジタルーアナログ変換器は正極性のディジタルーアナログ変換器と負極性のディジタルーアナログ変換器が交互に配置されたディジタルーアナログ変換アレイと；

10

20

前記 2 n 個のデータラインを n 個ずつ時分割して前記 n 個の画素電圧信号を供給するために、n 個のディマルチプレクサを包含し、前記 n 個のディマルチプレクサ中奇数番目のディマルチプレクサのそれぞれは、前記第 1 選択制御信号に応答して 2 個の奇数番目のデータラインを時分割駆動し、偶数番目のディマルチプレクサのそれぞれは、前記第 2 選択制御信号に応答して 2 個の偶数番目のデータラインを時分割駆動するディマルチプレクサ・アレイと；

前記第 1 マルチプレクサ・アレイと前記ディジタルーアナログ変換アレイとの間に接続された n - 1 個の第 2 マルチプレクサを包含し、前記 n - 1 個の第 2 マルチプレクサのそれぞれは、前記 1 水平期間ごと極性反転される極性制御信号に応答して、隣接した 2 個の前記第 1 マルチプレクサの出力中いずれか 1 つを選択するものであり、前記第 1 マルチプレクサ・アレイからの前記 n 個の画素データの進行経路を決定し、前記 n + 1 個のディジタルーアナログ変換器中 n 個に入力されるようにする第 2 マルチプレクサ・アレイと；

10

前記ディジタルーアナログ変換アレイと前記ディマルチプレクサ・アレイとの間に接続された n 個の第 3 マルチプレクサを包含し、前記 n 個の第 3 マルチプレクサのそれぞれは、前記極性制御信号に応答し、隣接した 2 個の前記ディジタルーアナログ変換器の出力中いずれか 1 つを選択するものであり、前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号の進行経路を決定し、前記 n 個のディマルチプレクサに供給する第 3 マルチプレクサ・アレイと；

前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号バッファリングして前記第 3 マルチプレクサ・アレイに出力するバッファ・アレイとを具備し、

20

第 1 マルチプレクサ・アレイと前記ディマルチプレクサ・アレイは、前記第 1 及び第 2 選択制御信号に応答し、前記時分割された画素データと画素電圧信号の供給順序をライン及びフレーム中少なくとも 1 つの特定の単位毎に交互に変えて供給し時分割された画素電圧信号の充電量の差を補償することを特徴とする液晶表示装置のデータ駆動装置。

【請求項 2】

前記第 1 及び第 2 選択制御信号は 1 / 2 水平期間毎に反転されることを特徴とする請求項 1 記載の液晶表示装置のデータ駆動装置。

【請求項 3】

液晶表示装置をドット・インパージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信号を供給するデータ駆動装置において、

30

サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；

前記サンプリング信号に応答して 2 n (n は正数) 個のデータラインに供給される前記 2 n 個の画素データを所定の単位ずつ順次ラッチして同時に output するためのラッチ・アレイと；

前記ラッチ・アレイから入力された前記 2 n 個の画素データを 1 水平期間 (1 H) に n 個ずつ時分割して供給するために、n 個の第 1 マルチプレクサを包含し、前記 n 個の第 1 マルチプレクサ中、奇数番目の第 1 マルチプレクサのそれぞれは、第 1 選択制御信号に応答して 2 個の奇数番目のデータラインに供給される 2 個の奇数番目の画素データを時分割して出力し、偶数番目の第 1 マルチプレクサのそれぞれは、前記第 1 選択制御信号と反転された第 2 選択制御信号に応答して 2 個の偶数番目のデータラインに供給される 2 個の偶数番目の画素データを時分割して出力する第 1 マルチプレクサ・アレイと；

40

前記第 1 マルチプレクサ・アレイから前記 n 個ずつ時分割された画素データを n 個の画素電圧信号に変換するために、n + 1 個のディジタルーアナログ変換器を包含し、n + 1 個のディジタルーアナログ変換器は正極性のディジタルーアナログ変換器と負極性のディジタルーアナログ変換器が交互に配置されたディジタルーアナログ変換アレイと；

前記 2 n 個のデータラインを n 個ずつ時分割して前記 n 個の画素電圧信号を供給するために、n 個のディマルチプレクサを包含し、前記 n 個のディマルチプレクサ中奇数番目のディマルチプレクサのそれぞれは、前記第 1 選択制御信号に応答して 2 個の奇数番目のデータラインを時分割駆動し、偶数番目のディマルチプレクサのそれぞれは、前記第 2 選択

50

制御信号に応答して 2 個の偶数番目のデータラインを時分割駆動するディマルチプレクサ・アレイと；

前記ディジタルーアナログ変換アレイと前記ディマルチプレクサ・アレイとの間に接続された n 個の第 2 マルチプレクサを包含し、前記 n 個の第 2 マルチプレクサのそれぞれは、前記 1 水平期間ごと極性反転される極性制御信号に応答して、隣接した 2 個の前記ディジタルーアナログ変換器の出力中いずれか 1 つを選択するものであり、前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧データの進行経路を決定し、前記 n 個のディマルチプレクサに供給する第 2 マルチプレクサ・アレイと；

前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号バッファリングして前記第 2 マルチプレクサ・アレイに出力するバッファ・アレイと；

外部から入力された前記 2 n 個の画素データを再整列して前記ラッチ・アレイに出力するデータ・レジスタ部を具備し、

前記データ・レジスタ部は、

前記 2 n 個の画素データ中 4 k - 3 (k は偶の整数) 番目の画素データと 4 k - 2 番目の画素データを相互交換して再整列し、第 1 水平期間では前記再整列された画素データを前記ラッチ・アレイに出力し、第 2 水平期間では前記再整列された画素データを 2 チャンネルずつ遅延させて前記ラッチ・アレイに出力して、前記第 1 及び第 2 水平期間が交互になるように駆動し、

前記第 1 マルチプレクサ・アレイと前記ディマルチプレクサ・アレイは、前記第 1 及び第 2 選択制御信号に応答し、前記時分割された画素データと画素電圧信号の供給順序をライン及びフレーム中少なくとも 1 つの特定の単位毎に交互に変えて供給し時分割された画素電圧信号の充電量の差を補償することを特徴とする液晶表示装置のデータ駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関するもので、特にデータラインを時分割駆動でデータ・ドライバ集積回路を節減しながらも画像の表示品質を向上させることができる液晶表示装置のデータ駆動装置及び方法に関するものである。

【0002】

【従来の技術】

通常の液晶表示装置は電界を利用して液晶の光透過率を調節することで画像を表示するようになる。このために、液晶表示装置は液晶セルなどがマトリックス形態に配列された液晶パネルとこの液晶パネルを駆動するための駆動回路とを具備する。

【0003】

実際に、液晶表示装置は図 1 に図示されたようにデータ T C P (Tape Carrier Package) (6) を通して液晶パネル (2) と接続されたデータ・ドライバ I C (Integrated Circuit) など (4) と、ゲート T C P (10) を通して液晶パネル (2) と接続されたゲート・ドライバ I C など (8) とを具備する。

【0004】

液晶パネル (2) はゲートラインなどとデータラインの交差部毎に形成された薄膜トランジスタと、薄膜トランジスタに接続された液晶セルとを具備する。薄膜トランジスタのゲート電極は水平ライン単位のゲートラインなどの中のいずれか一つと接続されて、ソース電極は垂直ライン単位のデータラインのいずれか一つと接続される。このような薄膜トランジスタはゲートラインからのスキャン信号に応答してデータラインからの画素電圧信号を液晶セルに供給する。液晶セルは薄膜トランジスタのドレン電極と接続された画素電極と、その画素電極と液晶を間に置いて対面する共通電極とを具備する。このような液晶セルは画素電極に供給される画素電圧信号に応答して液晶を駆動することで光透過率を調節することができるようになる。

【0005】

ゲート・ドライバ I C (8) のそれぞれはゲート T C P (10) のそれぞれに実装される

10

20

30

40

50

。ゲート T C P (1 0) に実装されたゲート・ドライバ I C (8) はゲート T C P (1 0) を通じて液晶パネル (2) のゲートパッドと電気的に接続される。このようなゲート・ドライバ I C (8) は液晶パネル (2) のゲートラインなどを 1 水平期間 (1 H) 単位に順次駆動するようになる。

【 0 0 0 6 】

データ・ドライバ I C (4) のそれぞれはデータ T C P (6) のそれぞれに実装される。データ T C P (6) に実装されたデータ・ドライバ I C (4) はデータ T C P (6) を通じて液晶パネル (2) のデータパッドなどと電気的に接続される。このようなデータ・ドライバ I C (4) はディジタル画素データをアナログ画素電圧信号に変換して 1 水平期間 (1 H) 単位に液晶パネル (2) のデータラインに供給する。

10

【 0 0 0 7 】

このために、データ・ドライバ I C (4) のそれぞれは図 2 に図示されたようにサンプリング信号を順次供給するシフト・レジスタ・アレイ (1 2) と、サンプリング信号に応答して画素データをラッチして出力する第 1 及び第 2 ラッチ・アレイ (1 6 、 1 8) と、第 1 及び第 2 ラッチ・アレイ (1 6 、 1 8) の間に配置された第 1 マルチプレクサ (Multiplexer ; 以下、 M U X という) ・アレイ (1 5) と、第 2 ラッチ・アレイ (1 8) からの画素データを画素電圧信号に変換するディジタルーアナログ変換 (以下、 D A C という) ・アレイ (2 0) と、 D A C (2 0) からの画素電圧信号を緩衝して出力するバッファ・アレイ (2 6) と、バッファ・アレイ (2 6) の出力の進行経路を選択する第 2 M U X アレイ (3 0) とを具備する。

20

【 0 0 0 8 】

また、データ・ドライバ I C (4) はタイミング制御部 (図示しない) から供給される画素データ (R 、 G 、 B) を中継するデータ・レジスタ (3 4) と、 D A C アレイ (2 0) で必要とする正極性及び負極性のガンマ電圧などを供給するガンマ電圧部 (3 6) とを更に具備する。

【 0 0 0 9 】

このような構成を有するデータ・ドライバ I C (4) のそれぞれは n 個ずつのデータラインを駆動するための n チャンネル (例えば、 3 8 4 または 4 8 0 チャンネル) のデータ出力を有する。図 2 はこのようなデータ・ドライバ I C (4) の n チャンネルの中の 6 チャンネル (D L 1 乃至 D L 6) 部分だけを図示する。

30

【 0 0 1 0 】

データ・レジスタ (3 4) はタイミング制御部からの画素データを中継して第 1 ラッチ・アレイ (1 6) に供給する。特にタイミング制御部は転送周波数の減少のために画素データを偶数画素データ (R G B even) と奇数画素データ (R G B odd) に分離してそれぞれの転送ラインを通してデータ・レジスタ (3 4) に供給するようになる。

【 0 0 1 1 】

データ・レジスタ (3 4) は入力された偶数画素データ (R G B even) と奇数画素データ (R G B odd) をそれぞれの転送ラインを通して第 1 ラッチ・アレイ (1 6) に出力する。ここで、偶数画素データ (R G B even) と奇数画素データ (R G B odd) のそれぞれは赤 (R) 、緑 (G) 、青 (B) 画素データを含む。

40

【 0 0 1 2 】

ガンマ電圧部 (3 6) はガンマ基準電圧の発生部 (図示しない) から入力される多数個のガンマ基準電圧をグレイ別に細分化して出力する。

【 0 0 1 3 】

シフト・レジスタ・アレイ (1 2) はサンプリング信号を順次発生して第 1 ラッチ・アレイ (1 6) に供給するもので、このために n / 6 個のシフト・レジスタ (1 4) を具備する。図 2 に図示された 1 番目の段のシフト・レジスタ (1 4) はタイミング制御部から入力されるソース・スタート・パルス (S S P) をソース・サンプリング・クロック信号 (S S C) によりシフトさせサンプリング信号を出力すると同時に次の段のシフト・レジスタ (1 4) にキャリ信号 (C A R) を供給する。ソース・スタート・パルス (S S P) は

50

図3a及び図3bに図示されたように1水平期間(1H)単位に供給されてソース・サンプリング・クロック信号(SSC)毎にシフトされてサンプリング信号を出力される。

【0014】

第1ラッチ・アレイ(16)はシフト・レジスタ・アレイ(12)からのサンプリング信号に応答してデータ・レジスタ(34)からの画素データ(RGBeven, RGBodd)を一定の単位ずつサンプリングしてラッチする。第1ラッチ・アレイ(16)はn個の画素データ(R、G、B)をラッチするためにn個の第1ラッチ(13)で構成されて、その第1ラッチ(13)のそれぞれは画素データ(R、G、B)のビット数(3ビットまたは6ビット)に対応する大きさを有する。このような第1ラッチ・アレイ(16)はサンプリング信号毎に偶数画素データ(RGBeven)と奇数画素データ(RGBodd)、即ち6個ずつの画素データをサンプリングしてラッチした後、同時に出力する。10

【0015】

第1MUXアレイ(15)はタイミング制御からの極性制御信号(POL)に応答して第1ラッチ・アレイ(16)から供給される画素データ(R、G、B)の進行経路を決定するようになる。このために第1MUXアレイ(15)はn-1個の第1MUXなど(17)を具備する。

【0016】

第1MUX(17)のそれぞれは隣接した二つの第1ラッチ(13)の出力を入力して極性制御信号(POL)により選択的に出力するようになる。ここで、1番目と最後の第1ラッチ(13)を除いた残りの第1ラッチ(13)のそれぞれの出力は隣接した二つの第1MUX(17)に共に入力される。1番目と最後の第1ラッチ(13)の出力は第2ラッチ・アレイ(18)と第1MUX(17)に共に入力される。20

【0017】

このような構成を有する第1MUXアレイ(15)は極性制御信号(POL)により第1ラッチ(13)のそれから画素データ(R、G、B)がそのまま第2ラッチ部(18)に進行されるように制御するか、一段ずつ右の方にシフトされて第2ラッチ・アレイ(18)へ進行されるように制御する。

【0018】

極性制御信号(POL)は図3a及び図3bに図示されたように1水平期間(1H)毎にその極性が反転される。結果的に第1MUXアレイ(15)は第1ラッチ・アレイ(16)からの画素データ(R、G、B)のそれが極性制御信号(POL)に応答して第2ラッチ・アレイ(18)を経由してDACアレイ(20)のP(Positive)DAC(22)またはN(Negative)DAC(24)へ出力されるようにすることで画素データ(R、G、B)の極性を制御するようになる。30

【0019】

第2ラッチ・アレイ(18)は第1ラッチ・アレイ(16)から第1MUXアレイ(15)を経由して入力される画素データ(R、G、B)をタイミング制御部からのソース出力イネーブル信号(SOE)に応答して同時にラッチした後、出力する。特に第2ラッチ・アレイ(18)は第1ラッチ・アレイ(16)からの画素データ(R、G、B)がライト・シフトされて入力される場合を考慮してn+1個の第2ラッチ(19)を具備する。40

【0020】

ソース出力イネーブル信号(SOE)は図3a及び図3bに図示されたように1水平期間(1H)単位に発生する。第2ラッチ・アレイ(18)はソース出力イネーブル信号(SOE)のライジング・エッジで入力される画素データ(R、G、B)を同時にラッチしてポーリング・エッジで同時に出力する。

【0021】

DACアレイ(20)は第2ラッチ・アレイ(18)からの画素データ(R、G、B)をガンマ電圧部(36)からの正極性及び負極性ガンマ電圧(GH, GL)を利用して画素電圧信号に変換して出力するようになる。このために、DACアレイ(20)はn+1個のPDAC(22)及びNDAC(24)を具備して、ドット・インバージョン駆動のた50

めに P D A C (2 2) 及び N D A C (2 4) が交互に配置される。

【 0 0 2 2 】

P D A C (2 2) は第 2 ラッチ・アレイ (1 8) からの画素データ (R、G、B) を正極性ガンマ電圧など (G H) を利用して正極性の画素電圧信号に変換する。 N D A C (2 4) は第 2 ラッチ・アレイ (1 8) からの画素データ (R、G、B) を負極性ガンマ電圧など (G L) を利用して負極性の画素電圧信号に変換する。

【 0 0 2 3 】

バッファ・アレイ (2 6) に含まれる $n + 1$ 個のバッファなど (2 8) のそれぞれは D A C アレイ (2 0) の P D A C (2 2) 及び N D A C (2 4) のそれから出力される画素電圧信号を信号緩衝して出力する。

10

【 0 0 2 4 】

第 2 M U X アレイ (3 0) は極性制御部 (3 8) からの極性制御信号 (P O L) に応答してバッファ・アレイ (2 6) から供給される画素電圧信号の進行経路を決定するようになる。このために、第 2 M U X アレイ (3 0) は n 個の第 2 マルチブレクサ (3 2) を具備する。

【 0 0 2 5 】

第 2 M U X など (3 2) のそれぞれは極性制御信号 (P O L) に応答して隣接した 2 個のバッファ (2 8) の中のいずれか一つの出力を選択してデータライン (D L) に出力する。ここで、1 番目と最後のバッファ (2 8) を除いた残りのバッファ (2 8) の出力は隣接した 2 個の第 2 M U X (3 2) に共に入力される。

20

【 0 0 2 6 】

このような構成を有する第 2 M U X アレイ (3 0) は極性制御信号 (P O L) に応答して最後のバッファ (2 8) を除いたバッファ (2 8) のそれからの画素電圧信号がそのままデータライン (D L 1 乃至 D L 6) と一対一対応して出力されるようになる。また、第 2 M U X アレイ (3 0) は極性制御信号 (P O L) に応答して 1 番目のバッファ (2 8) を除いた残りのバッファ (2 8) のそれからの画素電圧信号が 1 行目ずつ左側にシフトされてデータライン (D L 1 乃至 D L 6) と一対一対応して出力されるようになる。

【 0 0 2 7 】

極性制御信号 (P O L) は第 1 M U X アレイ (1 5) に供給されると共に図 3 a 及び図 3 b に図示されたように 1 水平期間 (1 H) 每にその極性が反転される。このように第 2 M U X アレイ (3 0) は第 1 M U X アレイ (1 5) と共に極性制御信号 (P O L) に応答してデータライン (D L 1 乃至 D L 6) に供給される画素電圧信号の極性を決定するようになる。

30

【 0 0 2 8 】

この結果、第 2 M U X アレイ (3 0) を通してデータライン (D L 1 乃至 D L 6) のそれに供給される画素電圧信号は隣接した画素電圧信号と相反した極性を有する。換言すると、図 3 a 及び図 3 b に図示されたように D L 1、D L 3、D L 5 のような奇数データライン (D L odd) に出力される画素電圧信号と D L 2、D L 4、D L 6 のような偶数データライン (D L even) に出力される画素電圧信号は相互に相反する極性を有するようになる。

40

【 0 0 2 9 】

そして、その奇数データライン (D L odd) と偶数データライン (D L even) の極性はゲートライン (G L 1、G L 2、G L 3、...) が順次駆動される 1 水平周期 (1 H) 每に反転されると共にフレーム単位で反転されるようになる。

【 0 0 3 0 】

このように従来のデータ・ドライバ I C (4) のそれぞれは n 個のデータラインを駆動するため $n + 1$ 個ずつの D A C 及びバッファを含むべきである。この結果、従来のデータ・ドライバ I C (4) はその構成が複雑で製造単価が相対的に高い短所を有する。

【 0 0 3 1 】

【発明が解決しようとする課題】

50

従って、本発明の目的はデータラインを時分割駆動してデータ・ドライバICの数を減らすことができるようとする液晶表示装置のデータ駆動装置及び方法を提供することである。

【0032】

本発明の異なる目的はデータラインを時分割駆動する場合、画素電圧の充電時間の差による画素電圧の充電量の差を補償することができる液晶表示装置のデータ駆動装置及び方法を提供することである。

【0033】

【課題を解決するための手段】

前記目的を達成するために、本発明による液晶表示装置のデータ駆動装置は、液晶表示装置をドット・インバージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信号を供給するデータ駆動装置において、サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；前記サンプリング信号に応答して $2n$ (n は正数) 個のデータラインに供給される前記 $2n$ 個の画素データを所定の単位ずつ順次ラッチして同時に出力するためのラッチ・アレイと；前記ラッチ・アレイから入力された前記 $2n$ 個の画素データを 1 水平期間 (1H) に n 個ずつ時分割して供給するために、 n 個の第 1 マルチプレクサを包含し、前記 n 個の第 1 マルチプレクサ中、奇数番目の第 1 マルチプレクサのそれぞれは、第 1 選択制御信号に応答して 2 個の奇数番目のデータラインに供給される 2 個の奇数番目の画素データを時分割して出力し、偶数番目の第 1 マルチプレクサのそれぞれは、前記第 1 選択制御信号と反転された第 2 選択制御信号に応答して 2 個の偶数番目のデータラインに供給される 2 個の偶数番目の画素データを時分割して出力する第 1 マルチプレクサ・アレイと；前記第 1 マルチプレクサ・アレイから前記 n 個ずつ時分割された画素データを n 個の画素電圧信号に変換するために、 $n+1$ 個のディジタルーアナログ変換器を包含し、 $n+1$ 個のディジタルーアナログ変換器は正極性のディジタルーアナログ変換器と負極性のディジタルーアナログ変換器が交互に配置されたディジタルーアナログ変換アレイと；前記 $2n$ 個のデータラインを n 個ずつ時分割して前記 n 個の画素電圧信号を供給するために、 n 個のディマルチプレクサを包含し、前記 n 個のディマルチプレクサ中奇数番目のディマルチプレクサのそれぞれは、前記第 1 選択制御信号に応答して 2 個の奇数番目のデータラインを時分割駆動し、偶数番目のディマルチプレクサのそれぞれは、前記第 2 選択制御信号に応答して 2 個の偶数番目のデータラインを時分割駆動するディマルチプレクサ・アレイと；前記第 1 マルチプレクサ・アレイと前記ディジタルーアナログ変換アレイとの間に接続された $n-1$ 個の第 2 マルチプレクサを包含し、前記 $n-1$ 個の第 2 マルチプレクサのそれぞれは、前記 1 水平期間ごと極性反転される極性制御信号に応答して、隣接した 2 個の前記第 1 マルチプレクサの出力中いずれか 1 つを選択するものであり、前記第 1 マルチプレクサ・アレイからの前記 n 個の画素データの進行経路を決定し、前記 $n+1$ 個のディジタルーアナログ変換器中 n 個に入力されるようにする第 2 マルチプレクサ・アレイと；前記ディジタルーアナログ変換アレイと前記ディマルチプレクサ・アレイとの間に接続された n 個の第 3 マルチプレクサを包含し、前記 n 個の第 3 マルチプレクサのそれぞれは、前記極性制御信号に応答し、隣接した 2 個の前記ディジタルーアナログ変換器の出力中いずれか 1 つを選択するものであり、前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号の進行経路を決定し、前記 n 個のディマルチプレクサに供給する第 3 マルチプレクサ・アレイと；前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号バッファリングして前記第 3 マルチプレクサ・アレイに出力するバッファ・アレイとを具備し、第 1 マルチプレクサ・アレイと前記ディマルチプレクサ・アレイは、前記第 1 及び第 2 選択制御信号に応答し、前記時分割された画素データと画素電圧信号の供給順序をライン及びフレーム中少なくとも 1 つの特定の単位毎に交互に変えて供給し時分割された画素電圧信号の充電量の差を補償することを特徴とする。

また、液晶表示装置をドット・インバージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信

10

20

30

40

50

号を供給するデータ駆動装置において、サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；前記サンプリング信号に応答して $2n$ （ n は正数）個のデータラインに供給される前記 $2n$ 個の画素データを所定の単位ずつ順次ラッチして同時に output するためのラッチ・アレイと；前記ラッチ・アレイから入力された前記 $2n$ 個の画素データを 1 水平期間（1H）に n 個ずつ時分割して供給するために、 n 個の第 1 マルチプレクサを包含し、前記 n 個の第 1 マルチプレクサ中、奇数番目の第 1 マルチプレクサのそれぞれは、第 1 選択制御信号に応答して 2 個の奇数番目のデータラインに供給される 2 個の奇数番目の画素データを時分割して出力し、偶数番目の第 1 マルチプレクサのそれぞれは、前記第 1 選択制御信号と反転された第 2 選択制御信号に応答して 2 個の偶数番目のデータラインに供給される 2 個の偶数番目の画素データを時分割して出力する第 1 マルチプレクサ・アレイと；前記第 1 マルチプレクサ・アレイから前記 n 個ずつ時分割された画素データを n 個の画素電圧信号に変換するために、 $n+1$ 個のディジタルーアナログ変換器を包含し、 $n+1$ 個のディジタルーアナログ変換器は正極性のディジタルーアナログ変換器と負極性のディジタルーアナログ変換器が交互に配置されたディジタルーアナログ変換アレイと；前記 $2n$ 個のデータラインを n 個ずつ時分割して前記 n 個の画素電圧信号を供給するために、 n 個のディマルチプレクサを包含し、前記 n 個のディマルチプレクサ中奇数番目のディマルチプレクサのそれぞれは、前記第 1 選択制御信号に応答して 2 個の奇数番目のデータラインを時分割駆動し、偶数番目のディマルチプレクサのそれぞれは、前記第 2 選択制御信号に応答して 2 個の偶数番目のデータラインを時分割駆動するディマルチプレクサ・アレイと；前記ディジタルーアナログ変換アレイと前記ディマルチプレクサ・アレイとの間に接続された n 個の第 2 マルチプレクサを包含し、前記 n 個の第 2 マルチプレクサのそれぞれは、前記 1 水平期間ごと極性反転される極性制御信号に応答して、隣接した 2 個の前記ディジタルーアナログ変換器の出力中いずれか 1 つを選択するものであり、前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧データの進行経路を決定し、前記 n 個のディマルチプレクサに供給する第 2 マルチプレクサ・アレイと；前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号バッファリングして前記第 2 マルチプレクサ・アレイに出力するバッファ・アレイと；外部から入力された前記 $2n$ 個の画素データを再整列して前記ラッチ・アレイに出力するデータ・レジスタ部を具備し、前記データ・レジスタ部は、前記 $2n$ 個の画素データ中 $4k-3$ （ k は偶の整数）番目の画素データと $4k-2$ 番目の画素データを相互交換して再整列し、第 1 水平期間では前記再整列された画素データを前記ラッチ・アレイに出力し、第 2 水平期間では前記再整列された画素データを 2 チャンネルずつ遅延させて前記ラッチ・アレイに出力して、前記第 1 及び第 2 水平期間が交互になるように駆動し、前記第 1 マルチプレクサ・アレイと前記ディマルチプレクサ・アレイは、前記第 1 及び第 2 選択制御信号に応答し、前記時分割された画素データと画素電圧信号の供給順序をライン及びフレーム中少なくとも 1 つの特定の単位毎に交互に変えて供給し時分割された画素電圧信号の充電量の差を補償することを特徴とする。

【0082】

本発明による液晶表示装置のデータ駆動装置及び方法では D A C 部を時分割駆動することで $n+1$ 個のD A C 部を利用して少なくとも $2n$ 個のデータラインを駆動することができるようになる。これにより、本発明による液晶表示装置のデータ駆動装置及び方法によると、データ・ドライバ I C の数を従来対比の半分に減らすことができるので製造単価を節減することができるようになる。

【0083】

また、本発明の液晶表示装置のデータ駆動装置及び方法では時分割駆動の際に画素電圧の充電順序をライン単位、複数個のライン単位、フレーム単位、ライン単位及びフレーム単位、または複数個のライン単位及びフレーム単位に変えて駆動するようになる。これにより、時分割駆動による充電時間の差により発生される画素電圧の充電の差を補償してフリッカ現象を防止することができるようになる。

【0084】

10

20

30

40

50

【発明の実施の形態】

以下、図4乃至図16bを参照して本発明の好ましい実施の形態に対して説明する。図4は本発明の実施の形態による液晶表示装置のデータ・ドライバICの構成を図示したブロック図であり、図5a及び5bは図4に図示されたデータ・ドライバICによる奇数フレーム及び偶数フレームの駆動波形図である。

【0085】

図4に図示されたデータ・ドライバICはサンプリング信号を順次供給するシフト・レジスタ・アレイ(42)と、サンプリング信号に応答して画素データ(R、G、B)をラッチして出力する第1及び第2ラッチ・アレイ(46、50)と、第2ラッチ・アレイ(50)からの画素データ(R、G、B)を時分割して出力するための第1MUXアレイ(54)と、第1MUXアレイ(54)から供給される画素データ(R、G、B)の進行経路を制御する第2MUXアレイ(58)と、第2MUXアレイ(58)からの画素データ(R、G、B)を画素電圧信号にDAC・アレイ(62)と、DAC・アレイ(62)からの画素電圧信号を緩衝して出力するバッファ・アレイ(68)と、バッファ・アレイ(68)の出力の進行経路を選択する第3MUX(80)と、第3MUX(80)からの画素電圧信号を 2^n 個のデータライン(DL1乃至DL2n)に時分割して出力するためのディマルチプレクサ・アレイ(84)とを具備する。

【0086】

また、データ・ドライバICはタイミング制御部(図示しない)から供給される画素データ(R、G、B)を中継するデータ・レジスタ(88)と、DACアレイ(62)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(90)とを更に具備する。

【0087】

このような構成を有するデータ・ドライバICは第1MUXアレイ(54)とDEMUXアレイ(84)を利用してDACアレイ(50)を時分割駆動することで $n+1$ 個のDAC(64、66)及びバッファ(70)を利用して従来対比の2倍である 2^n 個のデータラインを駆動するようになる。このようにデータ・ドライバICは 2^n 個のデータラインを駆動するために 2^n チャンネルのデータ出力を有するが、図4では12チャンネル(DL1乃至DL12)部分だけを図示する。

【0088】

データ・レジスタ(88)はタイミング制御部からの画素データを中継して第1ラッチ・アレイ(46)に供給する。特にタイミング制御部は転送周波数の減少のために画素データを偶数画素データ(RGBeven)と奇数画素データ(RGBodd)に分離してそれぞれの転送ラインを通してデータ・レジスタ(88)に供給するようになる。データ・レジスタ(88)は入力された偶数画素データ(RGBeven)と奇数画素データ(RGBodd)をそれぞれの転送ラインを通して第1ラッチ・アレイ(46)に出力する。ここで、偶数画素データ(RGBeven)と奇数画素データ(RGBodd)のそれぞれは赤(R)、緑(G)、青(B)画素データを含む。

【0089】

ガンマ電圧部(90)はガンマ基準電圧の発生部(図示しない)から入力される多数個のガンマ基準電圧をグレイ別に細分化して出力する。

【0090】

シフト・レジスタ・アレイ(42)はサンプリング信号を順次発生して第1ラッチ・アレイ(46)に供給するもので、このために $2n/6$ (ここで、 $n=6$)個のシフト・レジスタ(44)を具備する。図4に図示された1番目の段のシフト・レジスタ(44)はタイミング制御部から入力されるソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)によりシフトさせサンプリング信号を出力すると同時に次の段のシフト・レジスタ(44)にキャリ信号(CAR)を供給する。ソース・スタート・パルス(SSP)は図5a及び図5bに図示されたように水平期間単位に供給されてソース・サンプリング・クロック信号(SSC)毎にシフトされてサンプリング信号が出力

10

20

30

40

50

される。

【0091】

第1ラッチ・アレイ(46)はシフト・レジスタ・アレイ(42)からのサンプリング信号に応答してデータ・レジスタ(88)からの画素データ(RGBeven, RGBodd)を一定の単位ずつサンプリングしてラッチする。第1ラッチ・アレイ(46)は $2n$ (ここで、 $n = 6$)個の画素データ(R, G, B)をラッチするために $2n$ 個の第1ラッチ(48)で構成され、その第1ラッチ(48)のそれぞれは画素データ(R, G, B)のビット数(3ビットまたは6ビット)に対応する大きさを有する。このような第1ラッチ・アレイ(46)はサンプリング信号毎に偶数画素データ(RGBeven)と奇数画素データ(RGBodd)、即ち6個ずつの画素データをサンプリングしてラッチした後、同時に出力する。10

【0092】

第2ラッチ・アレイ(50)は第1ラッチ・アレイ(46)からの画素データ(R, G, B)をタイミング制御部からのソース出力イネーブル信号(SOE)に応答して同時にラッチした後、出力する。特に第2ラッチ・アレイ(50)は第1ラッチ・アレイ(46)と同一に $2n$ (ここで、 $n = 6$)個の第2ラッチ(52)とを具備する。ソース出力イネーブル信号(SOE)は図5a及び図5bに図示されたように水平期間単位に発生する。

【0093】

第1MUXアレイ(54)はタイミング制御部からの第1及び第2選択制御信号(1, 2)に応答して第2ラッチ・アレイ(50)からの $2n$ (ここで、 $n = 6$)個の画素データをH/2期間の単位に n 個ずつ時分割して出力する。このために、第1MUXアレイ(54)は n 個の第1MUX(56)で構成されて、第1MUX(56)のそれぞれは第2ラッチ・アレイ(50)で二つの第2ラッチ(52)の中のいずれか一つの出力を選択して出力する。換言すると、第1MUX(56)のそれぞれは二つの第2ラッチ(52)の出力を1/2水平期間の単位に時分割して供給する。20

【0094】

詳細に説明すると、ドット・インバージョン駆動のために奇数番目の第1MUX(56)は第1選択制御信号(1)に応答して二つの奇数番目の第2ラッチ(52)の出力の中のいずれか一つを選択して出力し、偶数番目の第1MUX(56)は第2選択制御信号(2)に応答して二つの偶番目の第2ラッチ(52)の出力の中のいずれか一つを選択して出力する。30

【0095】

例えば、1番目の第1MUX(56)は第1選択制御信号(1)に応答して一水平期間の中の前半部で1番目の第2ラッチ(52)からの第1画素データを選択して出力し、後半部で3番目の第2ラッチ(52)からの第3画素データを選択して出力する。2番目の第1MUX(56)は第2選択制御信号(2)に応答して一水平期間の中の前半部で2番目の第2ラッチ(52)からの第2画素データを選択して出力し、後半部で4番目の第2ラッチ(52)からの第4画素データを選択して出力する。第1及び第2選択制御信号(1, 2)は図5a及び図5bに図示されたように相互に相反した極性を有するようになり、その極性は水平期間単位で反転される。40

【0096】

第2MUXアレイ(58)は極性制御部(92)からの極性制御信号(POL)に応答して第1MUXアレイ(54)から供給される画素データ(R, G, B)の進行経路を決定するようになる。このために、第2MUXアレイ(58)は $n - 1$ 個の第2MUX(60)を具備する。

【0097】

第2MUX(60)のそれぞれは隣接した二つの第1MUX(56)の出力を入力して極性制御信号(POL)により選択的に出力するようになる。ここで、1番目と最後の第1MUX(56)を除いた残りの第1MUX(56)のそれぞれの出力は隣接した2個の第2MUX(60)に共に入力される。1番目と最後の第1MUX(56)の出力はPDA50

C(66)と第2MUX(60)と共に入力される。このような構成を有する第2MUXアレイ(58)は極性制御信号(POL)により第1MUX(56)のそれからの画素データ(R、G、B)がそのままDACPアレイ(62)へ進行されるように制御するか、1行目ずつ右側にシフトされてDACPアレイ(62)へ進行されるように制御する。

【0098】

ドット・インバージョン駆動のために極性制御信号(POL)は図5a及び図5bに図示されたように水平期間毎に極性が反転される。結果的に第2MUXアレイ(58)は第1MUXアレイ(54)からの画素データ(R、G、B)のそれぞれが極性制御信号(POL)に応答してDACPアレイ(62)に交互に配置されたPDAC(64)またはNDAC(66)へ出力されるようにすることで画素データ(R、G、B)の極性を制御するようになる。10

【0099】

例えば、1H期間で1番目の第1MUX(56)から順次出力される第1及び第3画素データは第2MUX(60)を経由することなく直接PDAC1(64)へ供給されて、2番目の第1MUX(56)から順次出力される第2及び第4画素データは1番目の第2MUX(60)によりNDAC1(64)へ供給される。そして、第2水平期間で第1及び第3画素データは1番目の第2MUX(60)によりNDAC1(64)へ供給され、第2及び第4画素データは2番目の第2MUX(60)によりPDAC1(66)へ供給される。

【0100】

DACPアレイ(62)は第2MUXアレイ(58)からの画素データ(R、G、B)をガンマ電圧部(90)からの正極性及び負極性ガンマ電圧(GH、GL)を利用して画素電圧信号に変換して出力するようになる。このために、DACPアレイ(62)はn+1個のPDAC(66)及びNDAC(64)を具備して、ドット・インバージョン駆動のためにPDAC(66)及びNDAC(64)が交互に並んで配置される。20

【0101】

PDAC(66)は第2MUXアレイ(58)からの画素データ(R、G、B)を、正極性ガンマ電圧(GH)を利用して正極性の画素電圧信号に変換する。NDAC(64)は第2MUXアレイ(58)からの画素データ(R、G、B)を、負極性ガンマ電圧(GL)を利用して負極性の画素電圧信号に変換する。このようなPDAC(66)及びNDAC(64)は1/2水平期間毎に入力される画素データを画素電圧信号に変換する動作を遂行するようになる。30

【0102】

例えば、PDAC1(66)は図5a及び図5bに図示されたように第1水平期間で時分割されて入力されるオッド画素データ[1、1]と[1、3]を画素電圧信号に変換して出力する。同時にNDAC2(64)も図5a及び図5bに図示されたようにその第1水平期間のそれぞれで時分割されて入力されるイーブン画素データ[1、2]と[1、4]を画素電圧信号に変換して出力する。その次、第2水平期間期間でNDAC2(64)は時分割されて入力されるオッド画素データ[2、1]と[2、3]を画素電圧信号に変換して出力する。同時にPDAC2(66)はその第2水平期間で時分割されて入力されるイーブン画素データ[2、2]と[2、4]を画素電圧信号に変換して出力する。このようなDACPアレイ(62)により2n個の画素データが1/2水平期間単位にn個ずつ時分割されて画素電圧信号に変換されて出力される。40

【0103】

バッファ・アレイ(68)に含まれるn+1個のバッファ(70)のそれぞれはDACPアレイ(62)のPDAC(66)及びNDAC(64)のそれから出力される画素電圧信号を信号緩衝して出力する。

【0104】

第3MUXアレイ(80)はタイミング制御部からの極性制御信号(POL)に応答してバッファ・アレイ(68)から供給される画素電圧信号の進行経路を決定するようになる50

。このために、第3MUXアレイ(80)はn個(ここで、n=6)の第3MUX(82)を具備する。

【0105】

第3MUX(82)のそれぞれは極性制御信号(POL)に応答して隣接した2個のバッファ(70)の中のいずれか一つの出力を選択して出力する。ここで、1番目と最後のバッファ(70)を除いた残りのバッファ(70)の出力は隣接した2個の第3MUX(82)に共に入力される。

【0106】

このような構成を有する第3MUXアレイ(82)は極性制御信号(POL)に応答して最後のバッファ(70)を除いたバッファ(70)のそれからの画素電圧信号がそのままDEMUX(86)と一対一対応して出力されるようにする。10

【0107】

また、第3MUXアレイ(82)は極性制御信号(POL)に応答して1番目のバッファ(70)を除いた残りのバッファ(70)のそれからの画素電圧信号が1行目ずつ左側にシフトされてDEMUX(86)と一対一対応して出力されるようにする。

【0108】

極性制御信号(POL)は第2MUXアレイ(58)に供給されると共に図5a及び図5bに図示されたように水平期間毎に極性が反転される。このように第3MUXアレイ(80)は第2MUXアレイ(58)と共に極性制御信号(POL)に応答して画素電圧信号の極性を決定するようになる。この結果、第3MUXアレイ(80)で出力される画素電圧信号は隣接した画素電圧信号と相反した極性を有するようになり、水平期間単位で極性反転される。20

【0109】

DEMUXアレイ(84)はタイミング制御部からの第1及び第2選択制御信号(1、2)に応答して第3MUXアレイ(80)からの画素電圧信号を2n(ここで、n=6)個のデータラインに選択的に供給するようになる。このために、DEMUXアレイ(84)はn個のDEMUXアレイ(84)を具備する。DEMUX(86)のそれぞれは第3MUX(82)のそれから供給される画素電圧信号を二つのデータラインに時分割して供給する。

【0110】

詳細に説明すると、奇数番目のDEMUX(86)は第1選択制御信号(1)に応答して奇数番目の第3MUX(82)の出力を2個の奇数番目のデータラインに時分割して供給する。偶数番目のDEMUX(86)は第2選択制御信号(2)に応答して二つの偶数番目の第3MUX(82)の2個の偶数番目のデータラインに時分割して供給する。第1及び第2選択制御信号(1、2)は図5a及び図5bに図示されたように第1MUXアレイ(54)に供給されると共に相互に相反した極性を有して水平期間毎に極性反転される。30

【0111】

例えば、1番目のDEMUX(86)は図5a及び図5bに図示されたように第1選択制御信号(1)に応答して1/2水平期間単位に1番目の第3MUX(82)の出力を第1及び第3データライン(DL1、DL3)に選択的に供給する。2番目のDEMUX(86)は図5a及び図5bに図示されたように第2選択制御信号(2)に応答して1/2水平期間単位に2番目の第3MUX(82)の出力を第2及び第4データライン(DL2、DL4)に選択的に供給する。40

【0112】

具体的に、1番目のDEMUX(86)は第1選択制御信号(1)に応答して第1ゲートライン(GL1)が活性化される第1水平期間の中の前半部で画素電圧信号[1、1]を第1データライン(DL1)に供給し、後半部で[1、3]を第3データライン(DL3)に供給する。これと同時に、2番目のDEMUX(86)は第2選択制御信号(2)に応答して第1水平期間(H1)の中の前半部で画素電圧信号[1、2]を第2データラ
50

イン (D 2) に供給し、後半部では画素電圧信号 [1, 4] を第 4 データライン (D 4) に供給する。

【0113】

そして、1番目のDEMUX(86)は第2水平期間(H2)と第3水平期間(H3)のそれぞれの前半部で画素電圧信号[2, 1]、[3, 1]のそれぞれを第1データライン(DL1)に供給し、画素電圧信号[2, 3]、[3, 3]の第3データライン(DL3)に供給する。これと同時に、2番目のDEMUX(86)は第2水平期間(H2)と第3水平期間(H3)のそれぞれの前半部でも画素電圧信号[2, 2]、[3, 2]のそれを第2データライン(DL2)に供給し、後半部では画素電圧信号[2, 4]、[3, 4]のそれを第4データライン(D4)に供給する。

10

【0114】

このような構成を有するデータ・ドライバICによりDL1、DL3のような奇数データラインに出力される画素電圧信号とDL2、DL4のような偶数データラインに出力される画素電圧信号は図5a及び図5bに図示されたように相互に相反する極性を有するようになる。そして、その奇数データライン(DL1、DL3、...)と偶数データライン(DL2、DL4、...)の極性はゲートライン(GL1、GL2、GL3、...)が順次駆動される1水平周期(1H)毎に反転されると共にフレーム単位で反転される。

【0115】

図6及び図7は図4に図示されたデータ駆動IC内で極性制御信号(POL)による画素データの進行経路を表すものである。

20

【0116】

極性制御信号(POL)がロー状態(またはハイ状態)である場合、第2MUXアレイ(58)は図6に図示されたように第1及び第2ラッチ・アレイ(46、50)及び第1MUXアレイ(54)から出力された6個の画素データを、PDAC4(66)を除いた残りのPDAC4(66)乃至NDAC3(64)のそれぞれに供給して画素電圧信号に変換されるようとする。この場合、1番目の第1MUX(56)の出力はそのままPDAC1(66)に供給されて画素電圧信号に変換される。

【0117】

第3MUXアレイ(80)はPDAC1(66)乃至NDAC3(64)のそれからバッファアレイ(68)を経由して供給された画素電圧信号をDEMUX(86)のそれぞれに一対一に対応させて供給する。DEMUX(86)のそれは第3MUX(82)のそれから入力される画素電圧信号を12個のデータライン(DL1乃至DL12)に選択的に供給する。

30

【0118】

その反面、極性制御信号(POL)がハイ状態(またはロー状態)である場合、第2MUXアレイ(58)は図7に図示されたように第1及び第2ラッチ・アレイ(46、50)及び第1MUXアレイ(54)から出力された6個の画素データを右側にシフトさせてPDAC1(66)を除いた残りのPDAC1(66)乃至NDAC3(64)のそれぞれに供給して画素電圧信号に変換されるようとする。この場合、最後の第1MUX(56)の出力はそのままPDAC1(66)に供給されて画素電圧信号に変換される。

40

【0119】

第3MUXアレイ(82)はNDAC1(64)乃至PDAC4(66)のそれからバッファアレイ(68)を経由して供給された画素電圧信号を右側にシフトさせてDEMUX(86)のそれに一対一に対応させて供給する。DEMUX(86)のそれは第3MUX(82)のそれから入力される画素電圧信号を12個のデータライン(DL1乃至DL12)に選択的に供給する。

【0120】

以上説明したことのように、本発明の実施の形態によるデータ・ドライバICはDACアレイが時分割駆動されることでn+1個のDACを利用して2nチャンネルのデータラインを駆動することができるようになる。換言すると、n+1個のDACとを具備するデー

50

タ・ドライバICのそれぞれが $2n$ 個のデータラインを駆動することでDAC IC数を $1/2$ に減らすことができるようになる。図8は本発明の異なる実施の形態によるデータ・ドライバICの構成を図示したブロック図であり、図10a及び10bは図8に図示されたデータ・ドライバICによる奇数フレーム及び偶数フレームの駆動波形図である。そして、図9a及び図9bは図8に図示されたデータレジスタ部(148)のm-1番目の水平期間及びm番目の水平期間の駆動波形図である。

【0121】

図8に図示されたデータ・ドライバICはサンプリング信号を順次供給するシフト・レジスタ・アレイ(102)と、サンプリング信号に応答して画素データ(R、G、B)をラッチして出力する第1及び第2ラッチ・アレイ(106、110)と、第2ラッチ・アレイ(110)からの画素データ(R、G、B)を画素電圧信号に変換するDAC・アレイ(122)とDAC・アレイ(122)からの画素電圧信号を緩衝して出力するバッファ・アレイ(128)と、バッファ・アレイ(128)の出力の進行経路を選択する第2MUXアレイ(140)と、第2MUXアレイ(140)からの画素電圧信号をデータライン(DL1乃至DL2n)に時分割して出力するためのDEMUXアレイ(144)とを具備する。

【0122】

また、図8に図示されたデータ・ドライバICはタイミング制御部(図示しない)から供給される画素データ(R、G、B)を再整列して出力するデータ・レジスタ(148)と、DACアレイ(122)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(150)とを更に具備する。

【0123】

このような構成を有するデータ・ドライバICは第1MUXアレイ(114)とDEMUXアレイ(144)を利用してDACアレイ(122)を時分割駆動することで $n+2$ 個のDAC(64、66)及びバッファ(130)を利用して従来対比の2倍である $2n$ 個のデータラインを駆動するようになる。このようにデータ・ドライバICは $2n$ 個のデータラインを駆動するために $2n$ チャンネルのデータ出力を有するが、図8では $n=6$ と仮定して12チャンネル(DL1乃至DL12)部分だけを図示する。

【0124】

ガンマ電圧部(90)はガンマ基準電圧発生部(図示しない)から入力される多数個のガンマ基準電圧をグレイレベル別に細分化して出力する。

【0125】

データ・レジスタ部(148)はタイミング制御部からの画素データをドット・インパージョン駆動に適合に再整列して第1ラッチ・アレイ(106)に供給する。データ・レジスタ部(148)は第1乃至第6入力バス(IB1乃至IB6)を通じてタイミング制御部からの奇数画素データ(OR、OG、OB)と偶数画素データ(ER、EG、EB)を同時に入力する。そして、データ・レジスタ部(148)は入力された奇数画素データ(OR、OG、OB)と偶数画素データ(ER、EG、EB)を再整列して第1乃至第6入力バス(IB1乃至IB6)を通じて出力するようになる。

【0126】

具体的に、データ・レジスタ部(148)は図9a及び図9bに図示されたように6個ずつの画素データ(OR、OG、OB、ER、EG、EB)のそれぞれを第1乃至第6入力バス(IB1乃至IB6)のそれぞれを通じて入力するようになる。この場合、データ・レジスタ部(148)はソース・スタート・パルス(SSP)を基準にシフト・クロック信号(SSC)の一周期の単位毎に6個ずつの画素データ(OR、OG、OB、ER、EG、EB)を入力するようになる。

【0127】

そして、データ・レジスタ部(148)はm-1番目の水平期間で図9aに図示されたように一水平ライン分の画素データの中の4k-2(ここで、kは偶の正数)番のデータと4k-1番のデータを交換して出力するようになる。例えば、図9に図示されたように2

10

20

30

40

50

番と3番のデータを変えて、6番と7番のデータを、10番と11番のデータを相互に交換して出力するようになる。これは第1MUX(116)のそれぞれに同じ極性の画素電圧信号に変換される一対ずつの画素データが入力されるようにするためである。このように、データ・レジスタ部(148)で入力された画素データ(OR、OG、OB、ER、EG、EB)を再整列して出力することにより第1MUXアレイ(1140)とDACPアレイ(122)の間で極性制御信号(POL)により画素データの信号経路を決定するMUXアレイを除去することができるようになる。

【0128】

また、データ・レジスタ部(148)はm番目の水平期間では図9bに図示されたように一水平ライン分の画素データの中の4k-2(ここで、kは偶の正数)番のデータと4k-1番のデータを交換して極性反転のための2チャンネルずつ遅延、即ちシフトさせ出力バス(OB乃至OB6)を通じて出力するようになる。例えば、データ・レジスタ部(148)は1番画素データを第3出力バス(OB3)に、交換された3番の画素データを第4出力バス(OB4)に、交換された2番の画素データを第5出力バス(OB5)に、4番の画素データを第6出力バス(OB6)にシフトさせ出力するようになる。そして、5番の画素データは次のクロックで第1出力バス(OB1)に、交換された7番の画素データを第2出力バス(OB2)に、交換された6番の画素データを第3出力バス(OB3)にシフトさせ出力するようになる。

【0129】

このように、データ・レジスタ部(148)で再整列されて出力される画素データ(OR、OG、OB、ER、EG、EB)は画素データの再整列の時間を確保するために入力された画素データ(OR、OG、OB、ER、EG、EB)より特定の時間、例えば2/3クロック程度に遅延されて出力される。

【0130】

シフト・レジスタ・アレイ(102)はサンプリング信号を順次発生して第1ラッチ・アレイ(106)に供給して、このために $2n/6$ (ここで、 $n=6$)個のシフト・レジスタ(104)とを具備する。図8に図示された1番目の段のシフト・レジスタ(104)はタイミング制御部から入力されるソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)によりシフトされてサンプリング信号を出力すると同時に次の段のシフト・レジスタ(104)にキャリ信号(CAR)を供給する。ソース・スタート・パルス(SSP)は図10a及び図10bに図示されたように水平期間単位に供給されてソース・サンプリング・クロック信号(SSC)によりシフトされてサンプリング信号を出力する。

【0131】

第1ラッチ・アレイ(106)はシフト・レジスタ・アレイ(102)からのサンプリング信号に応答してデータ・レジスタ(148)から第1乃至第6出力バス(OB1乃至OB6)を通じて入力される6個ずつの画素データをサンプリングしてラッチする。第1ラッチ・アレイ(106)は $2n$ (ここで、 $n=6$)個の画素データをラッチするために $2n$ 個の第1ラッチ(108)に構成されて、その第1ラッチ(108)のそれぞれは画素データのビット数(3ビットまたは6ビット)に対応する大きさを有する。また、第1ラッチ・アレイ(106)は図9に図示されたように2チャンネルずつシフトされて入力される場合に対比して2個の第1ラッチ(図示しない)を更に具備する。

【0132】

例えば、m-1番目の水平期間で1番目の第1ラッチ(108)乃至12番の第1ラッチ(108)にはデータ・レジスタ部(148)で再整列された1、3、2、4、5、7、6、8、9、11、10、12番の順序で画素データがラッチされる。そして、m番目の水平期間ではデータ・レジスタ部(148)で再整列された画素データが2チャンネルずつシフトされることにより1番目のラッチ(108)及び2番目のラッチ(108)にはブランクデータが入力されて、3番目のラッチ(108)乃至12番目のラッチ(108)に2チャンネルずつシフトされた1、3、2、4、5、7、6、8、9、11番の順序

10

20

30

40

50

に画素データがラッチされる。ここで、10番及び12番の画素データは図示しない2個のラッチにそれぞれ配置される。

【0133】

第2ラッチ・アレイ(110)は第1ラッチ・アレイ(106)からの画素データをタイミング制御部からのソース出力イネーブル信号(SOE)に応答して同時にラッチした後、出力する。第2ラッチ・アレイ(110)は第1ラッチ・アレイ(106)と共に2n(ここで、n=6)+2個の第2ラッチ(112)を具備する。ソース出力イネーブル信号(SOE)は図10a及び図10bに図示されたように水平期間単位に発生する。

【0134】

第1MUXアレイ(114)はタイミング制御部からの選択制御信号(1)に応答して第2ラッチ・アレイ(110)からの2n(ここで、n=6)個の画素データをH/2期間の単位にn個ずつ時分割して出力する。このために、第1MUXアレイ(114)はn個の第1MUX(116)で構成される。また、第1MUXアレイ(114)は画素データが2チャンネルずつシフトされる場合を考えて1個の第1MUX(図示しない)を更に具備する。第1MUX(116)のそれぞれは第2ラッチ・アレイ(110)で二つの第2ラッチ(112)の中のいずれか一つの出力を選択して出力する。換言すると、第1MUX(116)のそれぞれは二つの第2ラッチ(112)の出力を1/2水平期間の単位で時分割して供給する。

【0135】

詳細に説明すると、ドット・インバージョン駆動のために奇数番目の第1MUX(116)は選択制御信号(1)に応答して二つの奇数番目の第2ラッチ(112)の出力の中のいずれか一つを選択してDACアレイ(122)のPDAC(124)に出力する。そして、偶数番目の第1MUX(116)は第2選択制御信号(1)に応答して二つの偶番目の第2ラッチ(112)の出力の中のいずれか一つを選択してDACアレイ(122)のPDAC(124)出力する。

【0136】

例えば、m-1番目の水平期間の前半部で1番目の第1MUX(116)は選択制御信号(1)に応答して1番目の第2ラッチ(112)からの一番の画素データを、後半部で2番目の第2ラッチ(112)からの3番の画素データを選択してPDAC(124)に出力する。2番目の第1MUX(116)は選択制御信号(1)に応答して前半部で3番目の第2ラッチ(112)からの2番の画素データを、後半部で4番目の第2ラッチ(112)からの4番の画素データを選択してNDAC1(126)に出力する。4番目の第1MUX(116)は選択制御信号(1)に応答して前半部で5番目の第2ラッチ(112)からの2番の画素データを、後半部で6番目の第2ラッチ(112)からの4番の画素データを選択してPDAC(124)に出力する。ここで、選択制御信号(1)は図10a及び図10bに図示されたようにその極性は1/2水平期間(H/2)単位に反転される。

【0137】

DACアレイ(122)は第1MUXアレイ(114)からの画素データをガンマ電圧部(150)からの正極性及び負極性ガンマ電圧(GH、GL)を利用して画素電圧信号に変換して出力するようになる。このために、DACアレイ(122)はn+1個のPDAC(124)及びNDAC(126)を具備し、ドット・インバージョン駆動のためにPDAC(124)及びNDAC(126)が交互に並んで配置される。PDAC(124)は第1MUXアレイ(114)からの画素データ(R、G、B)を、正極性ガンマ電圧(GH)を利用して正極性の画素電圧信号に変換する。NDAC(126)は第1MUXアレイ(114)からの画素データ(R、G、B)を、負極性ガンマ電圧(GL)を利用して負極性の画素電圧信号に変換する。このようなPDAC(124)及びNDAC(126)は1/2水平期間毎に入力される画素データを画素電圧信号に変換する動作を遂行するようになる。

【0138】

10

20

30

40

50

例えば、P D A C 1 (1 2 4) は図 1 0 a 及び図 1 0 b に図示されたように第 1 水平期間で時分割されて入力されるオッド画素データ [1, 1] と [1, 3] を画素電圧信号に変換して出力する。同時に N D A C 2 (1 2 6) も図 1 0 a 及び図 1 0 b に図示されたようにその第 1 水平期間のそれぞれで時分割されて入力されるイーブン画素データ [1, 2] と [1, 4] を画素電圧信号に変換して出力する。その後、第 2 水平期間期間で N D A C 1 (1 2 6) は時分割されて入力されるオッド画素データ [2, 1] と [2, 3] を画素電圧信号に変換して出力する。同時に P D A C 2 (1 2 4) はその第 2 水平期間で時分割されて入力されるイーブン画素データ [2, 2] と [2, 4] を画素電圧信号に変換して出力する。このような D A C アレイ (1 2 2) により 2^n 個の画素データが 1 / 2 水平期間単位に n 個ずつ時分割され画素電圧信号に変換されて出力される。

10

【 0 1 3 9 】

バッファ・アレイ (1 2 8) に含まれる $n + 1$ 個のバッファ (1 3 0) のそれぞれは D A C アレイ (1 2 2) の P D A C (1 2 4) 及び N D A C (1 2 6) のそれぞれから出力される画素電圧信号を信号緩衝して出力する。

【 0 1 4 0 】

第 2 M U X アレイ (1 4 0) はタイミング制御部からの極性制御信号 (P O L) に応答してバッファ・アレイ (1 2 8) から供給される画素電圧信号の進行経路を決定するようになる。このために、第 2 M U X アレイ (1 4 0) は n 個 (ここで、 $n = 6$) の M U X (1 4 2) を具備する。M U X (1 4 2) のそれぞれは極性制御信号 (P O L) に応答して隣接した 2 個のバッファ (1 3 0) の中のいずれか一つの出力を選択して出力する。ここで、1 番目と最後のバッファ (1 3 0) を除いた残りのバッファ (1 3 0) の出力は隣接した 2 個の M U X (1 4 2) に共に入力される。

20

【 0 1 4 1 】

このような構成を有する第 3 M U X アレイ (1 4 2) は $m - 1$ 番目の水平期間で極性制御信号 (P O L) に応答して最後のバッファ (1 3 0) を除いたバッファ (1 3 0) のそれからの画素電圧信号がそのまま D E M U X (1 4 6) と一対一対応して出力されるようになる。また、第 2 M U X アレイ (1 4 2) は m 番目の水平期間では極性制御信号 (P O L) に応答して 1 番目のバッファ (1 3 0) を除いた残りのバッファ (1 3 0) のそれからの画素電圧信号が 1 行目ずつ左側にシフトされて D E M U X (1 4 6) と一対一対応して出力されるようになる。

30

【 0 1 4 2 】

極性制御信号 (P O L) はドット・インバージョン駆動のために図 1 0 a 及び図 1 0 b に図示されたように水平期間毎に極性が反転される。このように第 2 M U X アレイ (1 4 0) は極性制御信号 (P O L) に応答して画素電圧信号の極性を決定するようになる。この結果、第 2 M U X アレイ (1 4 0) で出力される画素電圧信号は隣接した画素電圧信号と相反した極性を有するようになり、水平期間単位に極性反転される。

【 0 1 4 3 】

D E M U X アレイ (1 4 4) はタイミング制御部からの選択制御信号 (1) に応答して第 2 M U X アレイ (1 4 0) からの画素電圧信号を 2^n (ここで、 $n = 6$) 個のデータラインに選択的に供給するようになる。このために、D E M U X アレイ (1 4 4) は n 個の D E M U X アレイ (1 4 6) を具備する。D E M U X (1 4 6) のそれぞれは第 2 M U X (1 4 2) のそれぞれから供給される画素電圧信号を二つのデータラインに時分割して供給する。

40

【 0 1 4 4 】

例えば、1 番目の D E M U X (1 4 6) は図 1 0 a 及び図 1 0 b に図示されたように選択制御信号 (1) に応答して 1 / 2 水平期間単位に 1 番目の M U X (1 4 2) の出力を第 1 及び第 3 データライン (D 1, D 3) に選択的に供給する。2 番目の D E M U X (1 4 6) は図 1 0 a 及び図 1 0 b に図示されたように選択制御信号 (1) に応答して 1 / 2 水平期間単位に 2 番目の M U X (1 4 2) の出力を第 2 及び第 4 データライン (D 2, D 4) に選択的に供給する。

50

【 0 1 4 5 】

具体的に、1番目のDEMUX(146)は選択制御信号(1)に応答して第1ゲートライン(GL1)が活性化される第1水平期間の中の前半部で画素電圧信号[1、1]を第1データライン(D1)に供給し、後半部で[1、3]を第3データライン(DL3)に供給する。これと同時に、2番目のDEMUX(146)は選択制御信号(1)に応答して第1水平期間(H1)の前半部で画素電圧信号[1、2]を第2データライン(D2)に供給し、後半部では画素電圧信号[1、4]を第4データライン(D4)に供給する。そして、1番目のDEMUX(146)は第2水平期間(H2)と第3水平期間(H3)のそれぞれの前半部で画素電圧信号[2、1]、[3、1]のそれぞれを第1データライン(DL1)に供給し、後半部では画素電圧信号[2、3]、[3、3]の第3データライン(DL3)に供給する。これと同時に、2番目のDEMUX(146)は第2水平期間(H2)と第3水平期間(H3)のそれぞれの前半部では画素電圧信号[2、2]、[3、2]のそれぞれを第2データライン(DL2)に供給し、後半部では画素電圧信号[2、4]、[3、4]のそれを第4データライン(D4)に供給する。

【 0 1 4 6 】

このような構成を有するデータ・ドライバICによりDL1、DL3のような奇数データラインに出力される画素電圧信号とDL2、DL4のような偶数データラインに出力される画素電圧信号は図10a及び図10bに図示されたように相互に相反する極性を有するようになる。そして、その奇数データライン(DL1、DL3、...)と偶数データライン(DL2、DL4、...)の極性はゲートライン(GL1、GL2、GL3、...)が順次駆動される1水平周期(1H)毎に反転されると共にフレーム単位で反転される。

【 0 1 4 7 】

図11及び図12は図8に図示されたデータ駆動IC内で極性制御信号(POL)による画素データの進行経路を表すものである。

【 0 1 4 8 】

m-1番目の水平期間で第1及び第2ラッチ(108、110)には1、3、2、4、5、7、6、8、9、11、10、12番の順序で画素データがラッチされる。極性制御信号(POL)がロー状態(またはハイ状態)である場合、即ちm-1番目の水平期間である場合、第1MUXアレイ(114)は図11に図示されたように前半部では第2ラッチャレイ(110)から出力された画素データの中1、2、5、6、9、10番目の画素データを、後半部では3、4、7、8、11、12番目の画素データを選択してPDAC1(124)乃至NDAC3(126)のそれぞれに供給して画素電圧信号に変換されるようとする。第2MUX(142)はPDAC1(124)乃至NDAC3(126)のそれぞれからバッファ・アレイ(128)を経由して供給された画素電圧信号をDEMUX(146)のそれぞれに一対一対応させ供給する。DEMUX(146)のそれぞれは第2MUX(142)のそれぞれから入力される画素電圧信号を12個のデータライン(DL1乃至DL12)に選択的に供給する。

【 0 1 4 9 】

m番目の水平期間で第1及び第2ラッチャ・アレイ(106、110)には1、3、2、4、5、7、6、8、9、11、10、12番の順序に画素データが2チャンネルずつシフトされてラッチャされる。この場合、前段に位置する2個ずつの第1ラッチャ(108)及び第2ラッチャ(112)には有効な画素データが供給されなくブランク・データ(図示しない)が供給される。

【 0 1 5 0 】

極性制御信号(POL)がハイ状態(またはロー状態)である場合、即ちm番目の水平期間である場合、初の段の第1MUXアレイ(116)を除いた残りの第1MUX(116)は図12に図示されたように前半部では第2ラッチャアレイ(110)から出力された画素データの中1、2、5、6、9、10番目の画素データを、後半部では3、4、7、8、11、12番目の画素データを選択してPDAC1(124)乃至NDAC3(126)のそれぞれに供給して画素電圧信号に変換されるようとする。第2MUX(142)は

P D A C 1 (1 2 4) 乃至 N D A C 3 (1 2 6) のそれぞれからバッファ・アレイ (1 2 8) を経由して供給された画素電圧信号を左側に一チャンネルずつシフトさせ D E M U X (1 4 6) のそれぞれに一対一対応させ供給する。 D E M U X (1 4 6) のそれぞれは第 2 M U X (1 4 2) のそれぞれから入力される画素電圧信号を 1 2 個のデータライン (D L 1 乃至 D L 1 2) に選択的に供給する。

【 0 1 5 1 】

以上説明したことのように、本発明の実施の形態によるデータ・ドライバ I C は D A C アレイが時分割駆動されることで $n + 1$ 個の D A C を利用して 2^n チャンネルのデータラインを駆動することができるようになる。換言すると、 $n + 1$ 個の D A C とを具備するデータ・ドライバ I C のそれぞれが 2^n 個のデータラインを駆動することで D A C I C 数を 1 / 2 に減らすことができるようになる。10

【 0 1 5 2 】

図 1 3 は図 4 及び図 8 に図示されたデータ・ドライバ I C が適用された液晶表示装置の構成を概略的に図示したものである図示したものである。図 1 3 に図示された液晶表示装置はデータ T C P (7 6) を通じて液晶パネル (7 2) と接続されたデータ・ドライバ I C (7 4) とゲート T C P (8 0) を通じて液晶パネル (7 2) と接続されたゲート・ドライバ I C (7 8) とを具備する。

【 0 1 5 3 】

データ・ドライバ I C (7 4) のそれぞれはデータ T C P (7 6) のそれぞれに実装されて、そのデータ T C P (7 6) を通じて液晶パネル (7 2) の上段部に設けられたデータパッドと電気的に接続される。ゲート・ドライバ I C (7 8) のそれぞれもゲート T C P (8 0) のそれぞれに実装されて、そのゲート T C P (8 0) を通じて液晶パネル (7 2) の一側に設けられたゲートパットと電気的に接続される。ゲート・ドライバ I C (7 8) は液晶パネル (7 2) 上のゲートラインを 1 水平周期 (1 H) 毎に一つのゲートラインずつ順次駆動する。20

【 0 1 5 4 】

データ・ドライバ I C (7 4) はディジタル信号である画素データの信号をアナログ信号である画素電圧信号に変換して液晶パネル (7 2) 上のデータラインを 1 / 2 水平周期 (H / 2) に時分割して供給する。これにより、 8^n 個のデータラインを駆動するために n 個ずつのデータラインを駆動する従来のデータ・ドライバ I C は 8 個が必要とする反面に、 2^n 個のデータラインを時分割駆動する本発明のデータ・ドライバ I C (7 4) は 4 個だけ必要となる。30

【 0 1 5 5 】

一方、データラインを時分割して駆動する場合、1 水平期間 (1 H) の中の前半部に供給された画素電圧の充電量と後半部に供給された画素電圧の充電量の間に差が発生するようになる。これは前半部に供給された画素電圧と後半部に供給された画素電圧の充電時点の差により充電時間が相互に異なるためである。換言すると、前半部に供給された画素電圧は約 1 水平期間 (1 H) に当たる液晶セルに充電される反面、後半部に供給された画素電圧は約 1 / 2 水平期間 (H / 2) に当たる液晶セルに充電されるためである。このような充電時間の差により液晶セル間に画素電圧の充電量が異なるようになるためにフリッカ現象が予想される。40

【 0 1 5 6 】

これを防止するために、画素電圧の充電順序をライン、フィルド、フレームのような特定単位に変えることで変えることで画素電圧の充電量の差が補償されるようになる。例えば、現のフレームで特定の液晶セルに 1 水平期間 (1 H) の中の前半部で画素電圧が供給されて 1 水平期間 (1 H) にかけて画素電圧が充電された場合、次のフレームでは後半部に画素電圧が供給されるようにして 1 / 2 水平期間 (H / 2) にかけて画素電圧が充電されるようにする。

【 0 1 5 7 】

このように画素電圧の充電順序をフレーム毎に変えることで充電時間の差によりもたらさ50

れる画素電圧の充電量の差を補償することができるようになる。また、画素電圧の充電順序をライン単位、複数個のライン単位に変える場合にも画素電圧の充電量の差を補償することができるようになる。これとは異なり、ライン単位及びフレーム単位または複数個のライン単位及びフレーム単位に画素電圧の充電順序を変える場合にも画素電圧の充電量の差を補償することができるようになる。

【0158】

図14a及び図14bはデータラインを時分割駆動する場合、画素電圧の充電順序をフレーム単位に変えて駆動するための駆動波形を図示したものである。特に、図14aはオッド・フレームで図4及び図8に図示された駆動装置で第1乃至第4データライン(DL1乃至DL4)を駆動するための信号波形を図示し、図14bはイープン・フレームでの信号波形を図示する。10

【0159】

オッド・フレームに当たる図14aにおいて、第1水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[1、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[1、3]と[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[1、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。20

【0160】

これと同様に、第2水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[2、3]、[2、4]が選択される。画素データ[2、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。30

【0161】

このようにオッド・フレームで本発明のデータ駆動装置はデータラインを時分割駆動すると共にドット・インバージョン方式に駆動するようになる。

【0162】

イープン・フレームに当たる図13bにおいて、第1水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)によりオッド・フレームとは異なり画素データ[1、3]、[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[1、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)によりオッド画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給されて、画素データ[1、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。40

【0163】

これと同様に、第2水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[2、3]、[2、4]が選択され50

る。画素データ[2、3]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

【0164】

このようにイーブン・フレームで本発明のデータ駆動装置はデータラインを時分割駆動してドット・インバージョン方式に駆動するようになる。これと共に、本発明のデータ駆動装置はイーブン・フレームでオッド・フレームと画素電圧充電順序を変えて駆動するようになる。これにより、時分割駆動による充電時間の差によりオッド・フレームで発生された画素電圧の充電量の差をイーブン・フレームで補償することができるようになる。この結果、データラインを時分割駆動の際に画素電圧の充電量の差によるフリッカ現象を防止することができるようになる。

【0165】

図15a及び図15bはデータラインを時分割駆動する場合、画素電圧の充電順序をライン単位及びフレーム単位に変えて駆動するための駆動波形を図示したものである。特に、図15aはオッド・フレームで図4及び図8に図示されたデータ駆動装置で第1乃至第4データライン(DL1乃至DL4)を駆動するための信号波形を図示して、図15bはイーブン・フレームでの信号波形を図示する。

【0166】

オッド・フレームに当たる図15aにおいて、第1水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[1、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、3]、[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第3データライン(DL3)に供給されて、画素データ[1、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。

【0167】

そして、第2水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により第1水平期間(H1)とは異なるように画素データ[2、3]、[2、4]が選択される。画素データ[2、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)によりオッド画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給されて、画素データ[2、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

【0168】

このようにオッド・フレームで本発明のデータ駆動装置はデータラインを時分割駆動すると共にドット・インバージョン方式に駆動するようになる。更にライン単位に画素電圧の充電順序を変えて駆動するようになる。

【0169】

イーブン・フレームに当たる図15bにおいて、第1水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、3]と画素データ

10

20

30

40

50

ータ [1、 4] が選択される。画素データ [1、 3] は極性制御信号（図示しない）により負極性の画素電圧信号に変換されて第3データライン（DL3）に供給され、画素データ [1、 4] は正極性の画素電圧信号に変換されて第4データライン（DL4）に供給される。続いて、後半部であるH/2期間で選択制御信号（1及び/または2）によりオッドデータ [1、 1]、[1、 2] が選択される。画素データ [1、 1] は極性制御信号（図示しない）により負極性の画素電圧信号に変換されて第1データライン（DL1）に供給され、画素データ [1、 2] は正極性の画素電圧信号に変換されて第2データライン（DL2）に供給される。

【0170】

そして、第2水平期間（H1）の中の前半部であるH/2期間で選択制御信号（1及び/または2）により前記第1水平期間（H1）とは異なるように画素データ [2、 1]、[2、 2] が選択される。画素データ [2、 1] は極性制御信号（図示しない）により正極性の画素電圧信号に変換されて第1データライン（DL1）に供給され、画素データ [2、 2] は負極性の画素電圧信号に変換されて第2データライン（DL2）に供給される。続いて、後半部であるH/2期間で選択制御信号（1及び/または2）によりオッド画素データ [2、 3]、[2、 4] が選択される。画素データ [2、 3] は極性制御信号（図示しない）により正極性の画素電圧信号に変換されて第3データライン（DL3）に供給され、画素データ [2、 4] は負極性の画素電圧信号に変換されて第4データライン（DL4）に供給される。

【0171】

このようにイーブン・フレームで本発明のデータ駆動装置はデータラインを時分割駆動してドット・インバージョン方式に駆動するようになる。また、本発明のデータ駆動装置はライン単位に画素電圧充電順序を変えて駆動すると共にイーブン・フレームでオッド・フレームと画素電圧の充電順序を変えて駆動するようになる。これにより、時分割駆動による充電時間の差により発生された画素電圧の充電量の差を補償することができるようになる。これとは異なり、複数個のライン単位、例えば2ラインの単位に画素電圧の充電順序を変えると共にフレーム単位に画素電圧の充電順序を変える場合にも画素電圧の充電量の差を補償することができるようになる。この結果、データラインを時分割駆動の際に画素電圧の充電量の差によるフリッカ現象を防止することができるようになる。

【0172】

図16a及び図16bはコラム・インバージョン方式に駆動されるデータラインを時分割駆動する場合、画素電圧の充電順序をライン単位及びフレーム単位に変えて駆動するための駆動波形を図示したものである。特に、図16aはオッド・フレームで図4及び図8に図示されたデータ駆動装置で第1乃至第4データライン（DL1乃至DL4）を駆動するための信号波形を図示して、図16bはイーブン・フレームでの信号波形を図示する。

【0173】

オッド・フレームに当たる図16aにおいて、第1水平期間（H1）の中の前半部であるH/2期間で選択制御信号（1及び/または2）により画素データ [1、 1]、[1、 2] が選択される。画素データ [1、 1] は極性制御信号（図示しない）により正極性の画素電圧信号に変換されて第1データライン（DL1）に供給され、画素データ [1、 2] は負極性の画素電圧信号に変換されて第2データライン（DL2）に供給される。続いて、後半部であるH/2期間で選択制御信号（1及び/または2）のそれぞれにより画素データ [1、 3] と画素データ [1、 4] が選択される。画素データ [1、 3] は極性制御信号（図示しない）により正極性の画素電圧信号に変換されて第3データライン（DL3）に供給され、画素データ [1、 4] は負極性の画素電圧信号に変換されて第4データライン（DL4）に供給される。

【0174】

そして、第2水平期間（H1）の中の前半部であるH/2期間で選択制御信号（1及び/または2）により前記第1水平期間（H1）とは異なるように画素データ [2、 3]、[2、 4] が選択される。画素データ [2、 3] は極性制御信号（図示しない）により正

10

20

30

40

50

極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、1]、画素データ[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

【0175】

このようにオッド・フレームで本発明のデータ駆動装置はデータラインを時分割駆動すると共にコラム・インバージョン方式に駆動するようになる。更にライン単位に画素電圧の充電順序を変えて駆動するようになる。10

【0176】

イーブン・フレームに当たる図16bにおいて、第1水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、3]、[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[1、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[1、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。20

【0177】

そして、第2水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、3]、[2、4]が選択される。画素データ[2、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。30

【0178】

このようにイーブン・フレームで本発明のデータ駆動装置はデータラインを時分割駆動してコラム・インバージョン方式に駆動するようになる。また、本発明のデータ駆動装置はライン単位に画素電圧充電順序を変えて駆動すると共にイーブン・フレームでオッド・フレームと画素電圧の充電順序を変えて駆動するようになる。これにより、時分割駆動による充電時間の差により発生された画素電圧の充電量の差を補償することができるようになる。これとは異なり、複数個のライン単位、例えば2ラインの単位に画素電圧の充電順序を変えると共にフレーム単位に画素電圧の充電順序を変える場合にも画素電圧の充電量の差を補償することができるようになる。この結果、データラインを時分割駆動の際に画素電圧の充電量の差によるフリッカ現象を防止することができるようになる。40

【0179】

【発明の効果】

上述したところのように、本発明による液晶表示装置のデータ駆動装置及び方法ではDAC部を時分割駆動することでn+1個のDACを利用して少なくとも2n個のデータラインを駆動することができるようになる。これにより、本発明による液晶表示装置のデータ駆動装置及び方法によると、データ・ドライバICの数を従来対比の半分に減らすことができるようになるので製造単価を節減することができるようになる。

【0180】

10

20

30

40

50

また、本発明による液晶表示装置のデータ駆動装置及び方法では時分割駆動の際に画素電圧の充電順序をライン単位、複数個のライン単位、フレーム単位、ライン単位及びフレーム単位、または複数個のライン単位及びフレーム単位に変えて駆動するようになる。これにより時分割駆動による充電時間の差により発生される画素電圧の充電量の差を補償してフリッカ現象を防止することができるようになる。

【0181】

以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

10

【図1】 従来の液晶表示装置の構成を概略的に図示した図面である。

【図2】 図1に図示されたデータ・ドライバICの詳細の構成を図示したブロック図である。

【図3a】 図2に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図3b】 図2に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図4】 本発明の実施の形態によるデータ・ドライバICの構成を図示したブロック図である。

【図5a】 図4に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

20

【図5b】 図4に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図6】 極性制御信号がロー状態である場合に図4に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図7】 極性制御信号がハイ状態である場合に図4に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図8】 本発明の異なる実施の形態によるデータ・ドライバICの構成を図示したブロック図である。

【図9a】 図8に図示されたデータ・レジスタ部の駆動波形図である。

30

【図9b】 図8に図示されたデータ・レジスタ部の駆動波形図である。

【図10a】 図8に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図10b】 図8に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図11】 極性制御信号がロー状態である場合に図8に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図12】 極性制御信号がハイ状態である場合に図8に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図13】 図4及び図8に図示されたデータ・ドライバICが適用された液晶表示装置の構成を概略的に図示した図面である。

40

【図14a】 ドット・インバージョン方式に駆動されるデータラインを時分割する場合にフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図14b】 ドット・インバージョン方式に駆動されるデータラインを時分割する場合にフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図15a】 ドット・インバージョン方式に駆動されるデータラインを時分割する場合にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図15b】 ドット・インバージョン方式に駆動されるデータラインを時分割する場合にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図16a】 コラム・インバージョン方式に駆動されるデータラインを時分割する場合

50

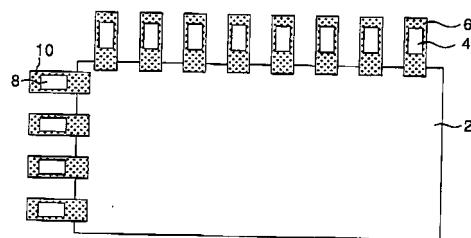
にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図16b】コラム・インバージョン方式に駆動されるデータラインを時分割する場合にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

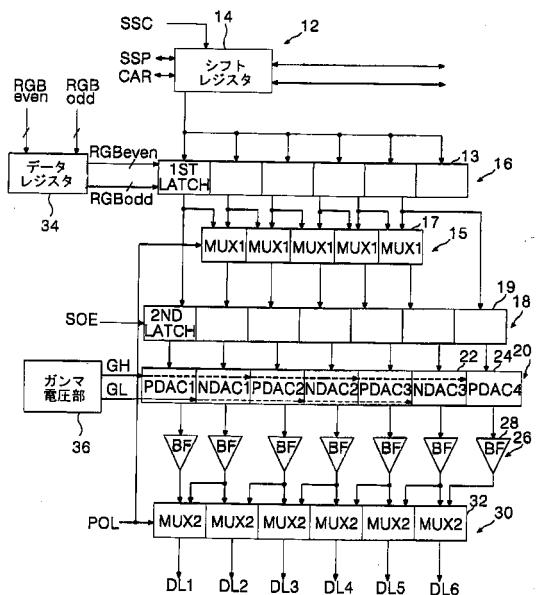
【符号の説明】

2、72：液晶パネル、4、74：データ・ドライバIC、6、76：データTCP、8、78：ゲート・ドライバIC、10、80：ゲートTCP、12、42、102：シフト・レジスタ・アレイ、13、48、108：第1ラッチ、14、44、104：シフト・レジスタ、15、54、114：第1マルチプレクサ・アレイ、17、56、116：第1マルチプレクサ、16、46、106：第1ラッチ・アレイ、18、50、110：第2ラッチ・アレイ、19、52、112：第2ラッチ、20、62、122：DACPアレイ、22、64、126：NDAC、24、66、124：PDAC、26、68、128：バッファ・アレイ、28、70、130：バッファ、30、58、140：第2マルチプレクサ・アレイ、32、60、142：第2マルチプレクサ、34、88、148：データ・レジスタ、36、90、150：ガンマ電圧部、80：第3マルチプレクサ・アレイ、82：第3マルチプレクサ、84、144：ディマルチプレクサ・アレイ、86、146：ディマルチプレクサ。

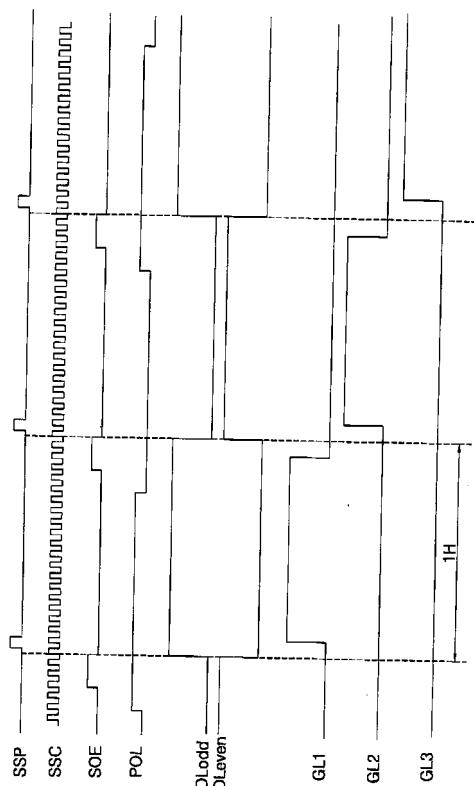
【図1】



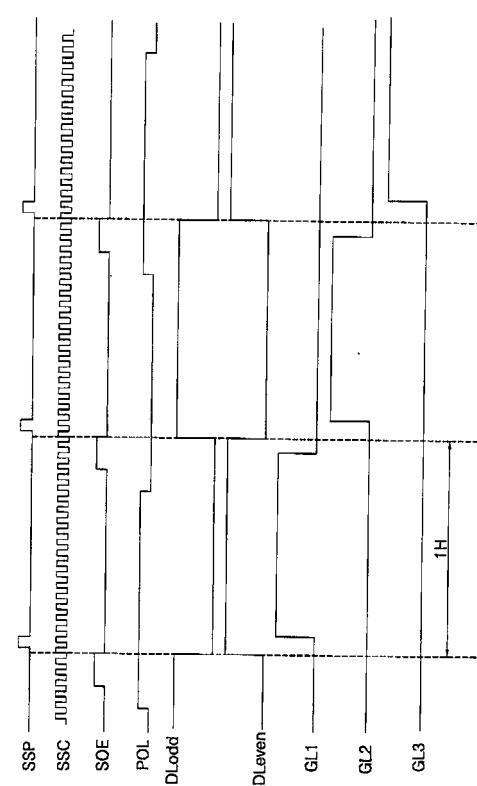
【図2】



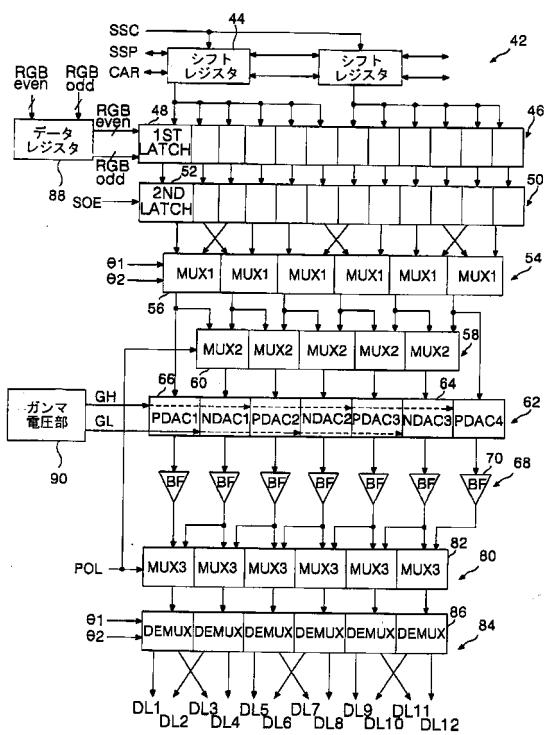
【図3a】



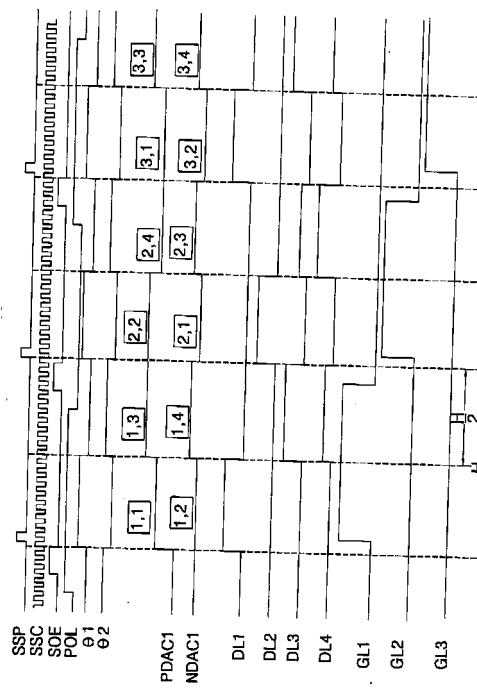
【図3b】



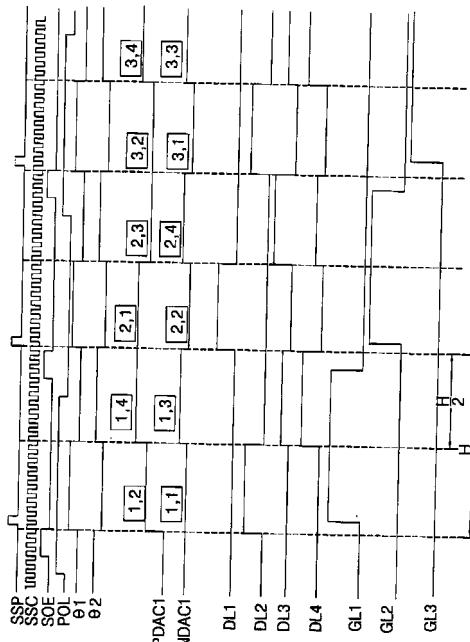
【図4】



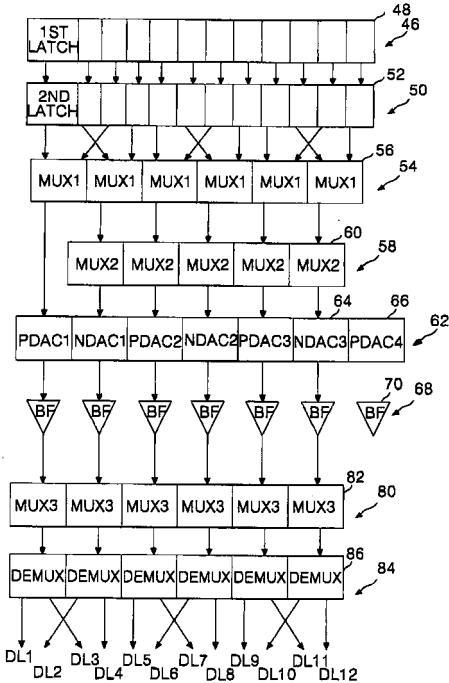
【図5a】



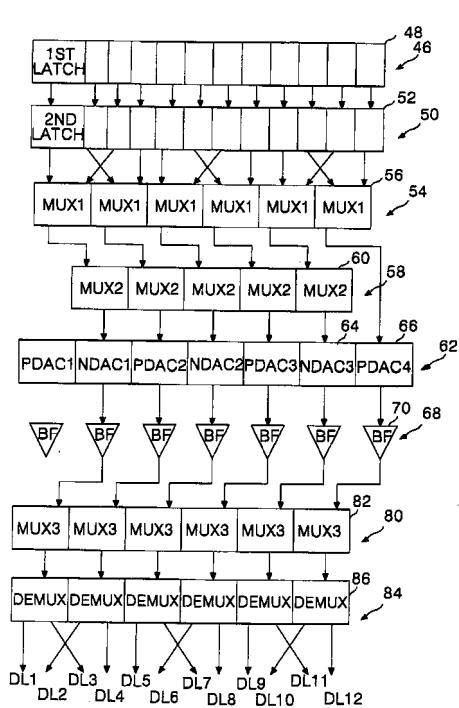
【図5 b】



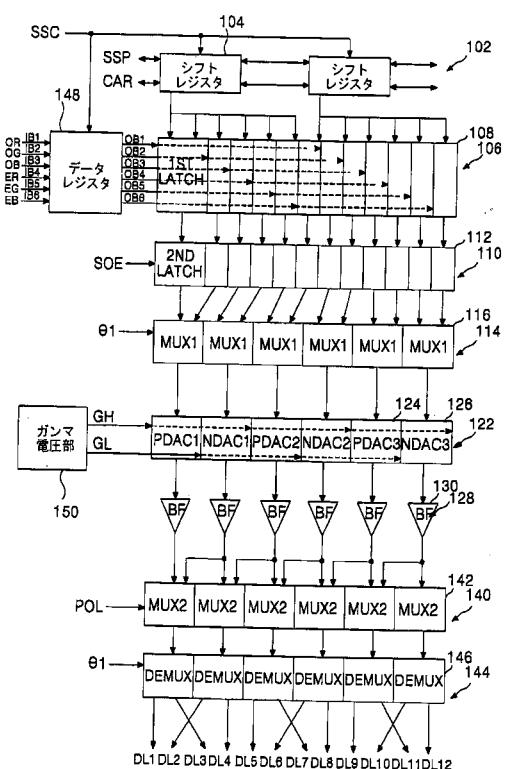
【図6】



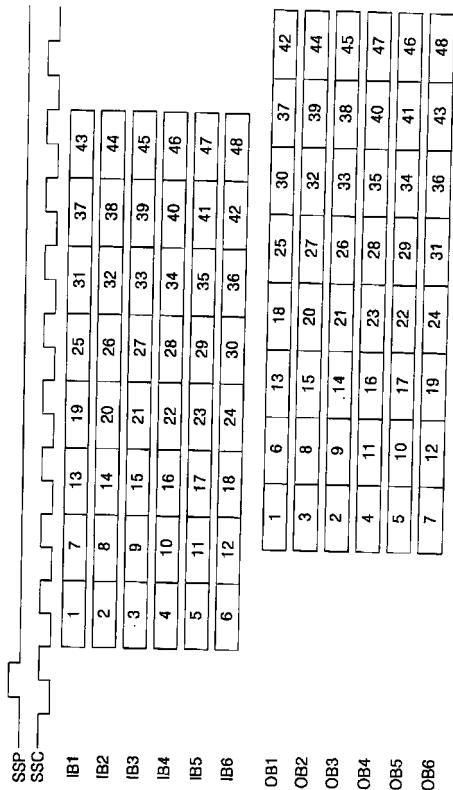
【図7】



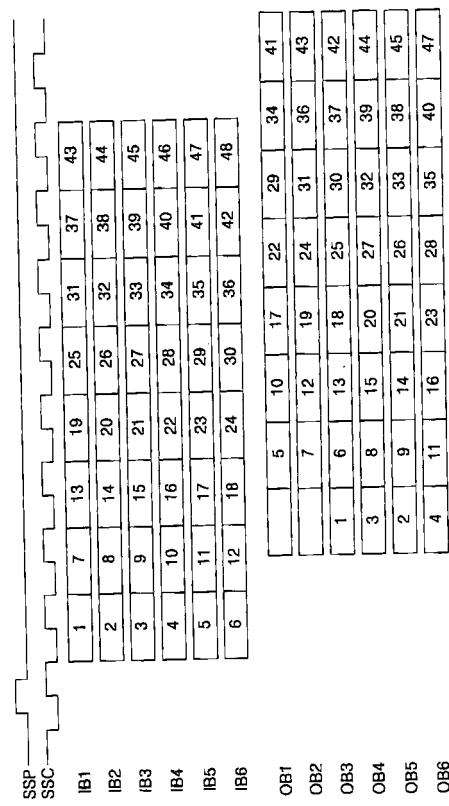
【図8】



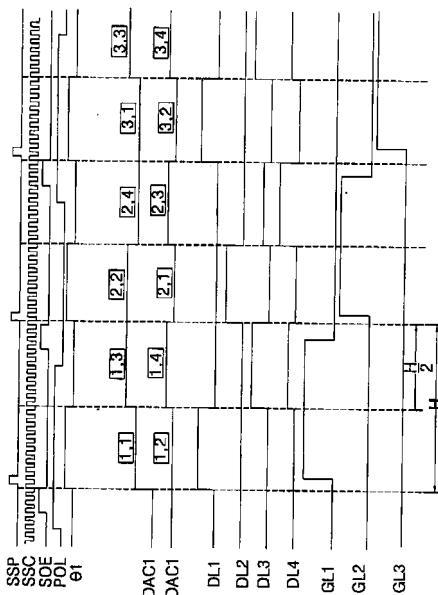
【図 9 a】



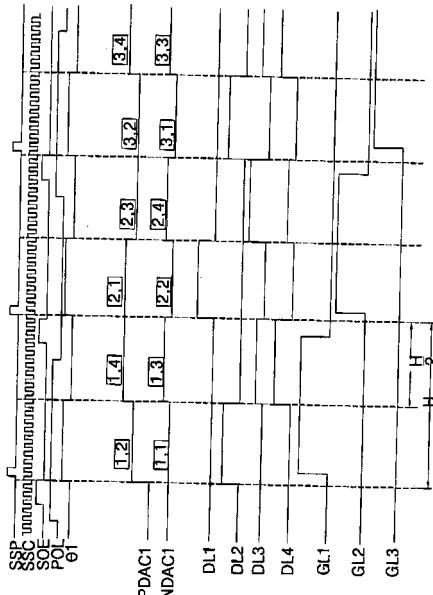
【図 9 b】



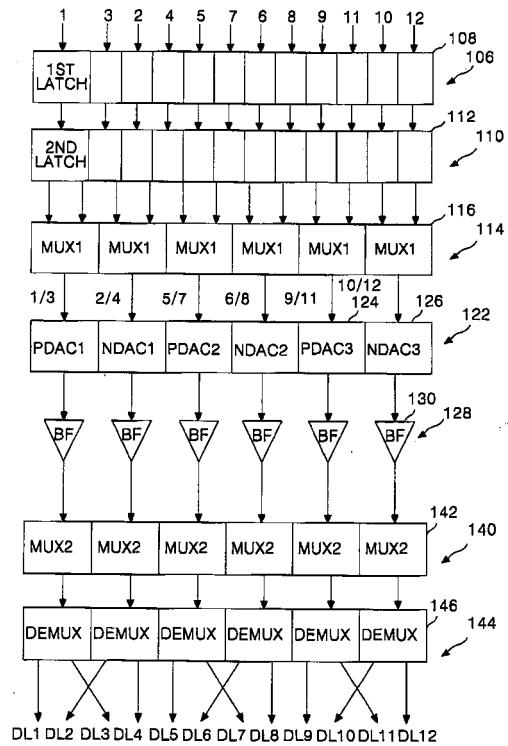
【図 10 a】



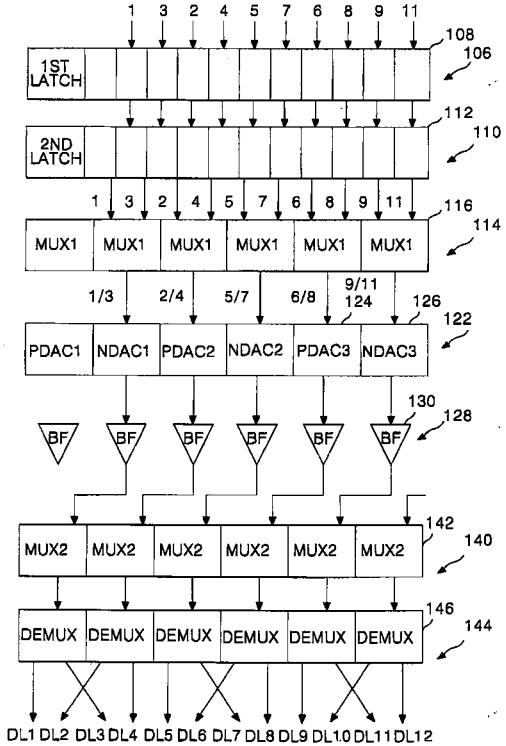
【図 10 b】



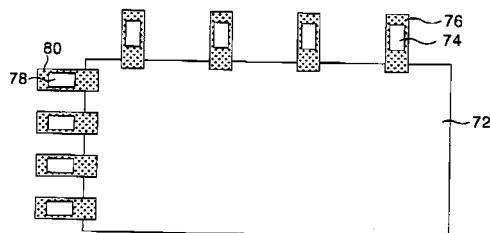
【図11】



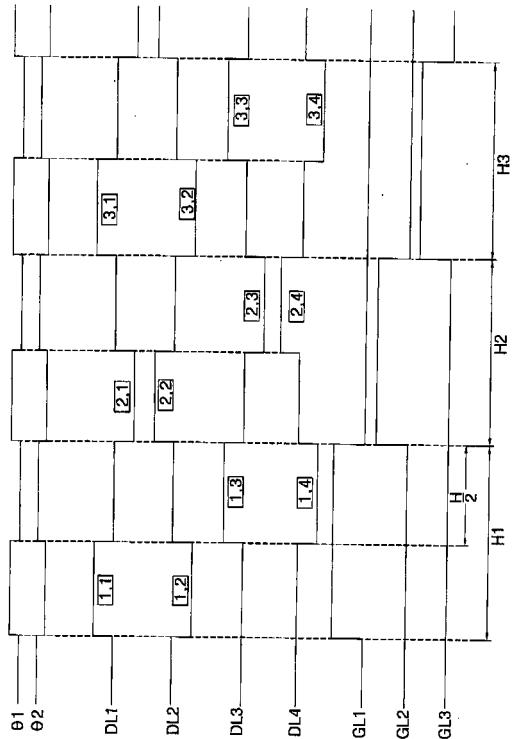
【図12】



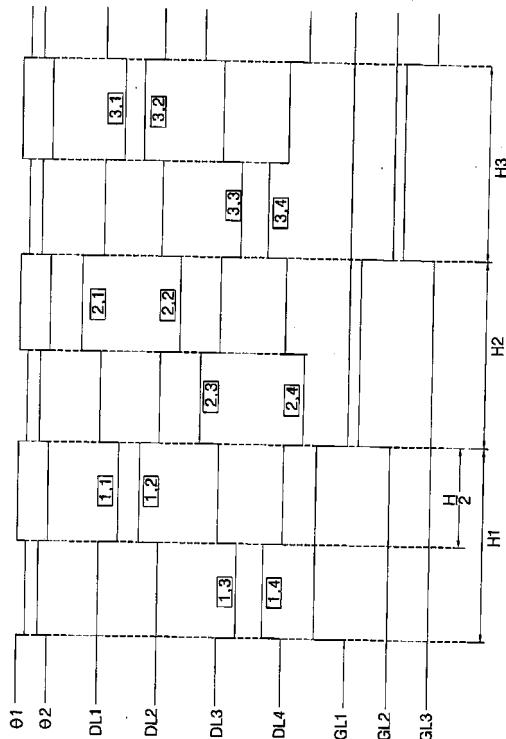
【図13】



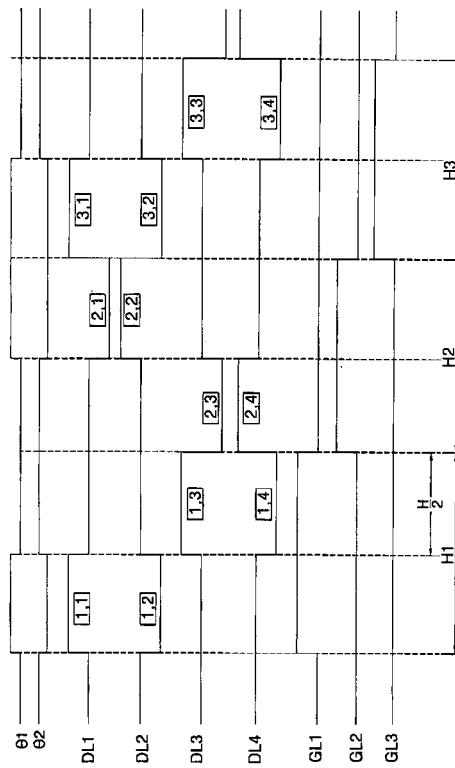
【図14 a】



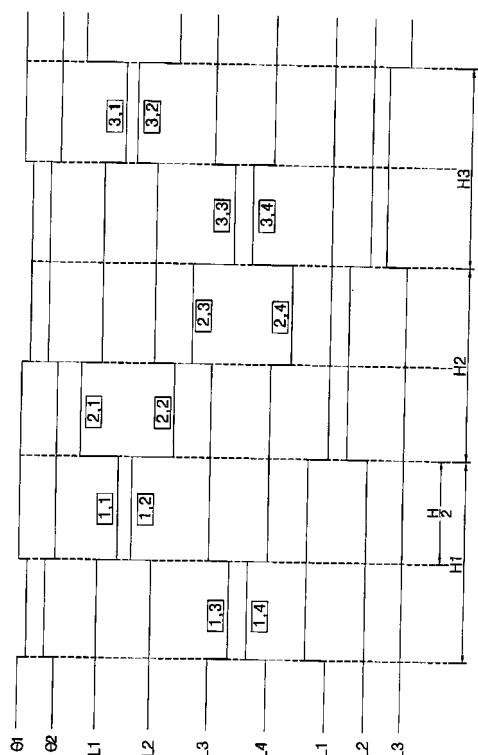
【図 1 4 b】



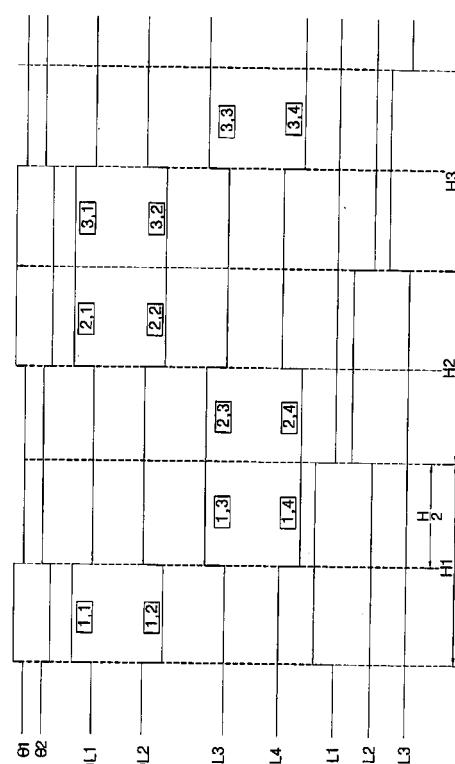
【図 1 5 a】



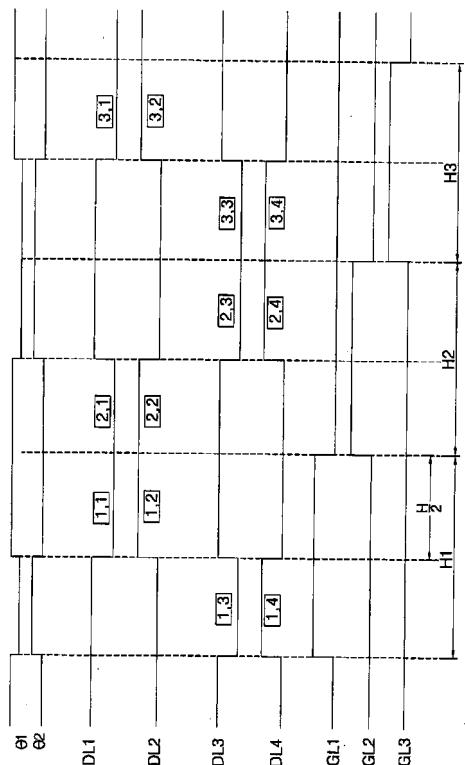
【図 1 5 b】



【図 1 6 a】



【図 1 6 b】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 2 3 X

(72)発明者 スン・クク・アン

大韓民国、キョンサンブク - ド、クミ - シ、ビサン - ドン、チョンウォン・リビング・フィール
1 3 0 9

審査官 福村 拓

(56)参考文献 特開平10-260661(JP,A)

特開平10-319924(JP,A)

特開平05-173506(JP,A)

特開平04-052684(JP,A)

特開平11-175042(JP,A)

特開平11-259036(JP,A)

特開平09-026765(JP,A)

特開平10-143116(JP,A)

特開平09-281930(JP,A)

特開2001-109435(JP,A)

特開2000-122627(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	液晶显示装置的数据驱动装置和方法		
公开(公告)号	JP4420174B2	公开(公告)日	2010-02-24
申请号	JP2002325520	申请日	2002-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	スンククアン		
发明人	スン・クク・アン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/027 G09G2310/0294 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.E G09G3/20.621.B G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.623.L G09G3/20.623.W G09G3/20.623.X		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA41 2H093/NB07 2H093/NB11 2H093/NC02 2H093/NC13 2H093/ /NC16 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND10 2H093/ND49 2H093/ND54 2H093/ND60 2H193/ZA04 2H193/ZC15 2H193/ZF02 5C006/AA16 5C006/AA22 5C006/AC11 5C006/ /AC27 5C006/AC28 5C006/AF22 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF72 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BF07 5C006/BF11 5C006/BF24 5C006/ /BF26 5C006/BF42 5C006/EB05 5C006/FA18 5C006/FA23 5C006/FA26 5C006/FA43 5C006/FA52 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD22 5C080/DD25 5C080/ /DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	福村 拓		
优先权	1020010069945 2001-11-10 KR 1020020041769 2002-07-16 KR		
其他公开文献	JP2003280616A		
外部链接	Espacenet		

摘要(译)

数据驱动装置和方法技术领域本发明涉及一种用于液晶显示装置的数据驱动装置和方法，其能够通过时分驱动数据线来减少数据驱动器IC的数量。根据本发明的液晶显示装置的数据驱动装置包括：第一多路复用器阵列，用于以时分方式提供输入像素数据；以及第二多路复用器阵列，用于转换时间 - 以及用于将数据线时分地提供给像素电压信号的解复用器阵列。

【 図 2 】

