

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4420174号
(P4420174)

(45) 発行日 平成22年2月24日 (2010. 2. 24)

(24) 登録日 平成21年12月11日 (2009. 12. 11)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
G02F 1/133 550
G09G 3/20 611E
G09G 3/20 621B
G09G 3/20 623F

請求項の数 3 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2002-325520 (P2002-325520)
(22) 出願日 平成14年11月8日 (2002. 11. 8)
(65) 公開番号 特開2003-280616 (P2003-280616A)
(43) 公開日 平成15年10月2日 (2003. 10. 2)
審査請求日 平成16年6月7日 (2004. 6. 7)
(31) 優先権主張番号 2001-069945
(32) 優先日 平成13年11月10日 (2001. 11. 10)
(33) 優先権主張国 韓国 (KR)
(31) 優先権主張番号 2002-041769
(32) 優先日 平成14年7月16日 (2002. 7. 16)
(33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
エルジー ディスプレイ カンパニー リ
ミテッド
大韓民国 ソウル, ヨンドゥンポーク, ヨ
イドードン 20
(74) 代理人 100110423
弁理士 曾我 道治
(74) 代理人 100084010
弁理士 古川 秀利
(74) 代理人 100094695
弁理士 鈴木 憲七
(74) 代理人 100111648
弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置のデータ駆動装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

液晶表示装置をドット・インバージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信号を供給するデータ駆動装置において、

サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；

前記サンプリング信号に 응답して $2n$ (n は正数) 個のデータラインに供給される前記 $2n$ 個の画素データを所定の単位ずつ順次ラッチして同時に出力するためのラッチ・アレイと；

前記ラッチ・アレイから入力された前記 $2n$ 個の画素データを 1 水平期間 ($1H$) に n 個ずつ時分割して供給するために、 n 個の第 1 マルチプレクサを包含し、前記 n 個の第 1 マルチプレクサ中、奇数番目の第 1 マルチプレクサのそれぞれは、第 1 選択制御信号に 응답して 2 個の奇数番目のデータラインに供給される 2 個の奇数番目の画素データを時分割して出力し、偶数番目の第 1 マルチプレクサのそれぞれは、前記第 1 選択制御信号と反転された第 2 選択制御信号に 응답して 2 個の偶数番目のデータラインに供給される 2 個の偶数番目の画素データを時分割して出力する第 1 マルチプレクサ・アレイと；

前記第 1 マルチプレクサ・アレイから前記 n 個ずつ時分割された画素データを n 個の画素電圧信号に変換するために、 $n+1$ 個のディジタルーアナログ変換器を包含し、 $n+1$ 個のディジタルーアナログ変換器は正極性のディジタルーアナログ変換器と負極性のディジタルーアナログ変換器が交互に配置されたディジタルーアナログ変換アレイと；

10

20

前記 2 n 個のデータラインを n 個ずつ時分割して前記 n 個の画素電圧信号を供給するために、n 個のディマルチプレクサを包含し、前記 n 個のディマルチプレクサ中奇数番目のディマルチプレクサのそれぞれは、前記第 1 選択制御信号にตอบสนองして 2 個の奇数番目のデータラインを時分割駆動し、偶数番目のディマルチプレクサのそれぞれは、前記第 2 選択制御信号にตอบสนองして 2 個の偶数番目のデータラインを時分割駆動するディマルチプレクサ・アレイと；

前記第 1 マルチプレクサ・アレイと前記ディジタルーアナログ変換アレイとの間に接続された n - 1 個の第 2 マルチプレクサを包含し、前記 n - 1 個の第 2 マルチプレクサのそれぞれは、前記 1 水平期間ごと極性反転される極性制御信号にตอบสนองして、隣接した 2 個の前記第 1 マルチプレクサの出力中いずれか 1 つを選択するものであり、前記第 1 マルチプレクサ・アレイからの前記 n 個の画素データの進行経路を決定し、前記 n + 1 個のディジタルーアナログ変換器中 n 個に入力されるようにする第 2 マルチプレクサ・アレイと；

前記ディジタルーアナログ変換アレイと前記ディマルチプレクサ・アレイとの間に接続された n 個の第 3 マルチプレクサを包含し、前記 n 個の第 3 マルチプレクサのそれぞれは、前記極性制御信号にตอบสนองし、隣接した 2 個の前記ディジタルーアナログ変換器の出力中いずれか 1 つを選択するものであり、前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号の進行経路を決定し、前記 n 個のディマルチプレクサに供給する第 3 マルチプレクサ・アレイと；

前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号バッファリングして前記第 3 マルチプレクサ・アレイに出力するバッファ・アレイとを具備し、

第 1 マルチプレクサ・アレイと前記ディマルチプレクサ・アレイは、前記第 1 及び第 2 選択制御信号にตอบสนองし、前記時分割された画素データと画素電圧信号の供給順序をライン及びフレーム中少なくとも 1 つの特定の単位毎に交互に変えて供給し時分割された画素電圧信号の充電量の差を補償することを特徴とする液晶表示装置のデータ駆動装置。

【請求項 2】

前記第 1 及び第 2 選択制御信号は 1 / 2 水平期間毎に反転されることを特徴とする請求項 1 記載の液晶表示装置のデータ駆動装置。

【請求項 3】

液晶表示装置をドット・インバージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信号を供給するデータ駆動装置において、

サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；

前記サンプリング信号にตอบสนองして 2 n (n は正数) 個のデータラインに供給される前記 2 n 個の画素データを所定の単位ずつ順次ラッチして同時に出力するためのラッチ・アレイと；

前記ラッチ・アレイから入力された前記 2 n 個の画素データを 1 水平期間 (1 H) に n 個ずつ時分割して供給するために、n 個の第 1 マルチプレクサを包含し、前記 n 個の第 1 マルチプレクサ中、奇数番目の第 1 マルチプレクサのそれぞれは、第 1 選択制御信号にตอบสนองして 2 個の奇数番目のデータラインに供給される 2 個の奇数番目の画素データを時分割して出力し、偶数番目の第 1 マルチプレクサのそれぞれは、前記第 1 選択制御信号と反転された第 2 選択制御信号にตอบสนองして 2 個の偶数番目のデータラインに供給される 2 個の偶数番目の画素データを時分割して出力する第 1 マルチプレクサ・アレイと；

前記第 1 マルチプレクサ・アレイから前記 n 個ずつ時分割された画素データを n 個の画素電圧信号に変換するために、n + 1 個のディジタルーアナログ変換器を包含し、n + 1 個のディジタルーアナログ変換器は正極性のディジタルーアナログ変換器と負極性のディジタルーアナログ変換器が交互に配置されたディジタルーアナログ変換アレイと；

前記 2 n 個のデータラインを n 個ずつ時分割して前記 n 個の画素電圧信号を供給するために、n 個のディマルチプレクサを包含し、前記 n 個のディマルチプレクサ中奇数番目のディマルチプレクサのそれぞれは、前記第 1 選択制御信号にตอบสนองして 2 個の奇数番目のデータラインを時分割駆動し、偶数番目のディマルチプレクサのそれぞれは、前記第 2 選択

10

20

30

40

50

制御信号に応答して２個の偶数番目のデータラインを時分割駆動するディマルチプレクサ・アレイと；

前記ディジタルーアナログ変換アレイと前記ディマルチプレクサ・アレイとの間に接続された n 個の第２マルチプレクサを包含し、前記 n 個の第２マルチプレクサのそれぞれは、前記１水平期間ごと極性反転される極性制御信号に応答して、隣接した２個の前記ディジタルーアナログ変換器の出力中いずれか１つを選択するものであり、前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧データの進行経路を決定し、前記 n 個のディマルチプレクサに供給する第２マルチプレクサ・アレイと；

前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号バッファリングして前記第２マルチプレクサ・アレイに出力するバッファ・アレイと；

外部から入力された前記 $2n$ 個の画素データを再整列して前記ラッチ・アレイに出力するデータ・レジスタ部を具備し、

前記データ・レジスタ部は、

前記 $2n$ 個の画素データ中 $4k-3$ （ k は偶の整数）番目の画素データと $4k-2$ 番目の画素データを相互交換して再整列し、第１水平期間では前記再整列された画素データを前記ラッチ・アレイに出力し、第２水平期間では前記再整列された画素データを２チャンネルずつ遅延させて前記ラッチ・アレイに出力して、前記第１及び第２水平期間が交互になるように駆動し、

前記第１マルチプレクサ・アレイと前記ディマルチプレクサ・アレイは、前記第１及び第２選択制御信号に応答し、前記時分割された画素データと画素電圧信号の供給順序をライン及びフレーム中少なくとも１つの特定の単位毎に交互に変えて供給し時分割された画素電圧信号の充電量の差を補償することを特徴とする液晶表示装置のデータ駆動装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は液晶表示装置に関するもので、特にデータラインを時分割駆動でデータ・ドライバ集積回路を節減しながらも画像の表示品質を向上させることができる液晶表示装置のデータ駆動装置及び方法に関するものである。

【０００２】

【従来の技術】

通常、液晶表示装置は電界を利用して液晶の光透過率を調節することで画像を表示するようになる。このために、液晶表示装置は液晶セルなどがマトリックス形態に配列された液晶パネルとこの液晶パネルを駆動するための駆動回路とを具備する。

【０００３】

実際に、液晶表示装置は図１に図示されたようにデータＴＣＰ（Tape Carrier Package）（６）を通して液晶パネル（２）と接続されたデータ・ドライバＩＣ（Integrated Circuit）など（４）と、ゲートＴＣＰ（１０）を通して液晶パネル（２）と接続されたゲート・ドライバＩＣなど（８）とを具備する。

【０００４】

液晶パネル（２）はゲートラインなどとデータラインの交差部毎に形成された薄膜トランジスタと、薄膜トランジスタに接続された液晶セルとを具備する。薄膜トランジスタのゲート電極は水平ライン単位のゲートラインなどの中の一つと接続されて、ソース電極は垂直ライン単位のデータラインの一つと接続される。このような薄膜トランジスタはゲートラインからのスキャン信号に応答してデータラインからの画素電圧信号を液晶セルに供給する。液晶セルは薄膜トランジスタのドレイン電極と接続された画素電極と、その画素電極と液晶を間に置いて対面する共通電極とを具備する。このような液晶セルは画素電極に供給される画素電圧信号に応答して液晶を駆動することで光透過率を調節することができるようになる。

【０００５】

ゲート・ドライバＩＣ（８）のそれぞれはゲートＴＣＰ（１０）のそれぞれに実装される

10

20

30

40

50

。ゲートＴＣＰ（１０）に実装されたゲート・ドライバＩＣ（８）はゲートＴＣＰ（１０）を通じて液晶パネル（２）のゲートパッドと電氣的に接続される。このようなゲート・ドライバＩＣ（８）は液晶パネル（２）のゲートラインなどを１水平期間（１Ｈ）単位に順次駆動するようになる。

【０００６】

データ・ドライバＩＣ（４）のそれぞれはデータＴＣＰ（６）のそれぞれに実装される。データＴＣＰ（６）に実装されたデータ・ドライバＩＣ（４）はデータＴＣＰ（６）を通じて液晶パネル（２）のデータパッドなどと電氣的に接続される。このようなデータ・ドライバＩＣ（４）はデジタル画素データをアナログ画素電圧信号に変換して１水平期間（１Ｈ）単位に液晶パネル（２）のデータラインに供給する。

10

【０００７】

このために、データ・ドライバＩＣ（４）のそれぞれは図２に図示されたようにサンプリング信号を順次供給するシフト・レジスタ・アレイ（１２）と、サンプリング信号に応答して画素データをラッチして出力する第１及び第２ラッチ・アレイ（１６、１８）と、第１及び第２ラッチ・アレイ（１６、１８）の間に配置された第１マルチプレクサ（Multiplexer；以下、ＭＵＸという）・アレイ（１５）と、第２ラッチ・アレイ（１８）からの画素データを画素電圧信号に変換するディジタルーアナログ変換（以下、ＤＡＣという）・アレイ（２０）と、ＤＡＣ（２０）からの画素電圧信号を緩衝して出力するバッファ・アレイ（２６）と、バッファ・アレイ（２６）の出力の進行経路を選択する第２ＭＵＸアレイ（３０）とを具備する。

20

【０００８】

また、データ・ドライバＩＣ（４）はタイミング制御部（図示しない）から供給される画素データ（Ｒ、Ｇ、Ｂ）を中継するデータ・レジスタ（３４）と、ＤＡＣアレイ（２０）で必要とする正極性及び負極性のガンマ電圧などを供給するガンマ電圧部（３６）とを更に具備する。

【０００９】

このような構成を有するデータ・ドライバＩＣ（４）のそれぞれはｎ個ずつのデータラインを駆動するためのｎチャンネル（例えば、３８４または４８０チャンネル）のデータ出力を有する。図２はこのようなデータ・ドライバＩＣ（４）のｎチャンネルの中の６チャンネル（ＤＬ１乃至ＤＬ６）部分だけを図示する。

30

【００１０】

データ・レジスタ（３４）はタイミング制御部からの画素データを中継して第１ラッチ・アレイ（１６）に供給する。特にタイミング制御部は転送周波数の減少のために画素データを偶数画素データ（ＲＧＢeven）と奇数画素データ（ＲＧＢodd）に分離してそれぞれの転送ラインを通してデータ・レジスタ（３４）に供給するようになる。

【００１１】

データ・レジスタ（３４）は入力された偶数画素データ（ＲＧＢeven）と奇数画素データ（ＲＧＢodd）をそれぞれの転送ラインを通して第１ラッチ・アレイ（１６）に出力する。ここで、偶数画素データ（ＲＧＢeven）と奇数画素データ（ＲＧＢodd）のそれぞれは赤（Ｒ）、緑（Ｇ）、青（Ｂ）画素データを含む。

40

【００１２】

ガンマ電圧部（３６）はガンマ基準電圧の発生部（図示しない）から入力される多数個のガンマ基準電圧をグレイ別に細分化して出力する。

【００１３】

シフト・レジスタ・アレイ（１２）はサンプリング信号を順次発生して第１ラッチ・アレイ（１６）に供給するもので、このためにｎ／６個のシフト・レジスタ（１４）を具備する。図２に図示された１番目の段のシフト・レジスタ（１４）はタイミング制御部から入力されるソース・スタート・パルス（ＳＳＰ）をソース・サンプリング・クロック信号（ＳＳＣ）によりシフトさせサンプリング信号を出力すると同時に次の段のシフト・レジスタ（１４）にキャリ信号（ＣＡＲ）を供給する。ソース・スタート・パルス（ＳＳＰ）は

50

図3 a 及び図3 b に図示されたように1 水平期間(1 H) 単位に供給されてソース・サンプリング・クロック信号(SSC) 毎にシフトされてサンプリング信号を出力される。

【0014】

第1ラッチ・アレイ(16) はシフト・レジスタ・アレイ(12) からのサンプリング信号に
 応答してデータ・レジスタ(34) からの画素データ(RGBeven、RGBodd) を一定の単位
 ずつサンプリングしてラッチする。第1ラッチ・アレイ(16) はn 個の画素データ(R、
 G、B) をラッチするためにn 個の第1ラッチ(13) で構成されて、その第1ラッチ(13) の
 それぞれは画素データ(R、G、B) のビット数(3ビットまたは6ビット) に対応する大き
 さを有する。このような第1ラッチ・アレイ(16) はサンプリング信号毎に偶数画素データ
 (RGBeven) と奇数画素データ(RGBodd)、即ち6 個ずつの画素データをサンプリングして
 ラッチした後、同時に出力する。

10

【0015】

第1MUXアレイ(15) はタイミング制御からの極性制御信号(POL) に応答して第1
 ラッチ・アレイ(16) から供給される画素データ(R、G、B) の進行経路を決定する
 ようになる。このために第1MUXアレイ(15) はn-1 個の第1MUXなど(17)
) を具備する。

【0016】

第1MUX(17) のそれぞれは隣接した二つの第1ラッチ(13) の出力を入力して極
 性制御信号(POL) により選択的に出力するようになる。ここで、1番目と最後の第1
 ラッチ(13) を除いた残りの第1ラッチ(13) のそれぞれの出力は隣接した二つの第
 1MUX(17) に共に入力される。1番目と最後の第1ラッチ(13) の出力は第2ラ
 ッチ・アレイ(18) と第1MUX(17) に共に入力される。

20

【0017】

このような構成を有する第1MUXアレイ(15) は極性制御信号(POL) により第1
 ラッチ(13) のそれぞれからの画素データ(R、G、B) がそのまま第2ラッチ部(18)
) に進行されるように制御するか、一段ずつ右の方にシフトされて第2ラッチ・アレイ
 (18) へ進行されるように制御する。

【0018】

極性制御信号(POL) は図3 a 及び図3 b に図示されたように1 水平期間(1 H) 毎に
 その極性が反転される。結果的に第1MUXアレイ(15) は第1ラッチ・アレイ(16)
) からの画素データ(R、G、B) のそれぞれが極性制御信号(POL) に応答して第2
 ラッチ・アレイ(18) を経由してDACアレイ(20) のP(Positive) DAC(22)
) またはN(Negative) DAC(24) へ出力されるようにすることで画素データ(R、
 G、B) の極性を制御するようになる。

30

【0019】

第2ラッチ・アレイ(18) は第1ラッチ・アレイ(16) から第1MUXアレイ(15)
) を経由して入力される画素データ(R、G、B) をタイミング制御部からのソース出力
 イネーブル信号(SOE) に応答して同時にラッチした後、出力する。特に第2ラッチ・
 アレイ(18) は第1ラッチ・アレイ(16) からの画素データ(R、G、B) がライト・
 シフトされて入力される場合を考慮してn+1 個の第2ラッチ(19) を具備する。

40

【0020】

ソース出力イネーブル信号(SOE) は図3 a 及び図3 b に図示されたように1 水平期間
 (1 H) 単位に発生する。第2ラッチ・アレイ(18) はソース出力イネーブル信号(SOE)
) のライジング・エッジで入力される画素データ(R、G、B) を同時にラッチして
 ボーリング・エッジで同時に出力する。

【0021】

DACアレイ(20) は第2ラッチ・アレイ(18) からの画素データ(R、G、B) を
 ガンマ電圧部(36) からの正極性及び負極性ガンマ電圧(GH、GL) を利用して画素
 電圧信号に変換して出力するようになる。このために、DACアレイ(20) はn+1 個
 のPDAC(22) 及びNDAC(24) を具備して、ドット・インバージョン駆動のた

50

めにPDAC(22)及びNDAC(24)が交互に配置される。

【0022】

PDAC(22)は第2ラッチ・アレイ(18)からの画素データ(R、G、B)を正極性ガンマ電圧など(GH)を利用して正極性の画素電圧信号に変換する。NDAC(24)は第2ラッチ・アレイ(18)からの画素データ(R、G、B)を負極性ガンマ電圧など(GL)を利用して負極性の画素電圧信号に変換する。

【0023】

バッファ・アレイ(26)に含まれるn+1個のバッファなど(28)のそれぞれはDACアレイ(20)のPDAC(22)及びNDAC(24)のそれぞれから出力される画素電圧信号を信号緩衝して出力する。

10

【0024】

第2MUXアレイ(30)は極性制御部(38)からの極性制御信号(POL)にตอบสนองしてバッファ・アレイ(26)から供給される画素電圧信号の進行経路を決定するようになる。このために、第2MUXアレイ(30)はn個の第2マルチプレクサ(32)を具備する。

【0025】

第2MUXなど(32)のそれぞれは極性制御信号(POL)にตอบสนองして隣接した2個のバッファ(28)の中のいずれか一つの出力を選択してデータライン(DL)に出力する。ここで、1番目と最後のバッファ(28)を除いた残りのバッファ(28)の出力は隣接した2個の第2MUX(32)に共に入力される。

20

【0026】

このような構成を有する第2MUXアレイ(30)は極性制御信号(POL)にตอบสนองして最後のバッファ(28)を除いたバッファ(28)のそれぞれからの画素電圧信号がそのままデータライン(DL1乃至DL6)と一対一対応して出力されるようにする。また、第2MUXアレイ(30)は極性制御信号(POL)にตอบสนองして1番目のバッファ(28)を除いた残りのバッファ(28)のそれぞれからの画素電圧信号が1行目ずつ左側にシフトされてデータライン(DL1乃至DL6)と一対一対応して出力されるようにする。

【0027】

極性制御信号(POL)は第1MUXアレイ(15)に供給されると共に図3a及び図3bに図示されたように1水平期間(1H)毎にその極性が反転される。このように第2MUXアレイ(30)は第1MUXアレイ(15)と共に極性制御信号(POL)にตอบสนองしてデータライン(DL1乃至DL6)に供給される画素電圧信号の極性を決定するようになる。

30

【0028】

この結果、第2MUXアレイ(30)を通してデータライン(DL1乃至DL6)のそれぞれに供給される画素電圧信号は隣接した画素電圧信号と相反した極性を有する。換言すると、図3a及び図3bに図示されたようにDL1、DL3、DL5のような奇数データライン(DLodd)に出力される画素電圧信号とDL2、DL4、DL6のような偶数データライン(DLeven)に出力される画素電圧信号は相互に相反する極性を有するようになる。

40

【0029】

そして、その奇数データライン(DLodd)と偶数データライン(DLeven)の極性はゲートライン(GL1、GL2、GL3、...)が順次駆動される1水平周期(1H)毎に反転されると共にフレーム単位で反転されるようになる。

【0030】

このように従来のデータ・ドライバIC(4)のそれぞれはn個のデータラインを駆動するためにn+1個ずつのDAC及びバッファを含むべきである。この結果、従来のデータ・ドライバIC(4)はその構成が複雑で製造単価が相対的に高い短所を有する。

【0031】

【発明が解決しようとする課題】

50

従って、本発明の目的はデータラインを時分割駆動してデータ・ドライバICの数を減らすことができるようにする液晶表示装置のデータ駆動装置及び方法を提供することである。

【0032】

本発明の異なる目的はデータラインを時分割駆動する場合、画素電圧の充電時間の差による画素電圧の充電量の差を補償することができる液晶表示装置のデータ駆動装置及び方法を提供することである。

【0033】

【課題を解決するための手段】

前記目的を達成するために、本発明による液晶表示装置のデータ駆動装置は、液晶表示装置をドット・インバージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信号を供給するデータ駆動装置において、サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；前記サンプリング信号に応答して $2n$ (n は正数)個のデータラインに供給される前記 $2n$ 個の画素データを所定の単位ずつ順次ラッチして同時に出力するためのラッチ・アレイと；前記ラッチ・アレイから入力された前記 $2n$ 個の画素データを1水平期間(1H)に n 個ずつ時分割して供給するために、 n 個の第1マルチプレクサを包含し、前記 n 個の第1マルチプレクサ中、奇数番目の第1マルチプレクサのそれぞれは、第1選択制御信号に
10
20
30
40
50
60
70
80
90
100
110
120
130
140
150
160
170
180
190
200
210
220
230
240
250
260
270
280
290
300
310
320
330
340
350
360
370
380
390
400
410
420
430
440
450
460
470
480
490
500
510
520
530
540
550
560
570
580
590
600
610
620
630
640
650
660
670
680
690
700
710
720
730
740
750
760
770
780
790
800
810
820
830
840
850
860
870
880
890
900
910
920
930
940
950
960
970
980
990
1000
1010
1020
1030
1040
1050
1060
1070
1080
1090
1100
1110
1120
1130
1140
1150
1160
1170
1180
1190
1200
1210
1220
1230
1240
1250
1260
1270
1280
1290
1300
1310
1320
1330
1340
1350
1360
1370
1380
1390
1400
1410
1420
1430
1440
1450
1460
1470
1480
1490
1500
1510
1520
1530
1540
1550
1560
1570
1580
1590
1600
1610
1620
1630
1640
1650
1660
1670
1680
1690
1700
1710
1720
1730
1740
1750
1760
1770
1780
1790
1800
1810
1820
1830
1840
1850
1860
1870
1880
1890
1900
1910
1920
1930
1940
1950
1960
1970
1980
1990
2000
2010
2020
2030
2040
2050
2060
2070
2080
2090
2100
2110
2120
2130
2140
2150
2160
2170
2180
2190
2200
2210
2220
2230
2240
2250
2260
2270
2280
2290
2300
2310
2320
2330
2340
2350
2360
2370
2380
2390
2400
2410
2420
2430
2440
2450
2460
2470
2480
2490
2500
2510
2520
2530
2540
2550
2560
2570
2580
2590
2600
2610
2620
2630
2640
2650
2660
2670
2680
2690
2700
2710
2720
2730
2740
2750
2760
2770
2780
2790
2800
2810
2820
2830
2840
2850
2860
2870
2880
2890
2900
2910
2920
2930
2940
2950
2960
2970
2980
2990
3000
3010
3020
3030
3040
3050
3060
3070
3080
3090
3100
3110
3120
3130
3140
3150
3160
3170
3180
3190
3200
3210
3220
3230
3240
3250
3260
3270
3280
3290
3300
3310
3320
3330
3340
3350
3360
3370
3380
3390
3400
3410
3420
3430
3440
3450
3460
3470
3480
3490
3500
3510
3520
3530
3540
3550
3560
3570
3580
3590
3600
3610
3620
3630
3640
3650
3660
3670
3680
3690
3700
3710
3720
3730
3740
3750
3760
3770
3780
3790
3800
3810
3820
3830
3840
3850
3860
3870
3880
3890
3900
3910
3920
3930
3940
3950
3960
3970
3980
3990
4000
4010
4020
4030
4040
4050
4060
4070
4080
4090
4100
4110
4120
4130
4140
4150
4160
4170
4180
4190
4200
4210
4220
4230
4240
4250
4260
4270
4280
4290
4300
4310
4320
4330
4340
4350
4360
4370
4380
4390
4400
4410
4420
4430
4440
4450
4460
4470
4480
4490
4500
4510
4520
4530
4540
4550
4560
4570
4580
4590
4600
4610
4620
4630
4640
4650
4660
4670
4680
4690
4700
4710
4720
4730
4740
4750
4760
4770
4780
4790
4800
4810
4820
4830
4840
4850
4860
4870
4880
4890
4900
4910
4920
4930
4940
4950
4960
4970
4980
4990
5000
5010
5020
5030
5040
5050
5060
5070
5080
5090
5100
5110
5120
5130
5140
5150
5160
5170
5180
5190
5200
5210
5220
5230
5240
5250
5260
5270
5280
5290
5300
5310
5320
5330
5340
5350
5360
5370
5380
5390
5400
5410
5420
5430
5440
5450
5460
5470
5480
5490
5500
5510
5520
5530
5540
5550
5560
5570
5580
5590
5600
5610
5620
5630
5640
5650
5660
5670
5680
5690
5700
5710
5720
5730
5740
5750
5760
5770
5780
5790
5800
5810
5820
5830
5840
5850
5860
5870
5880
5890
5900
5910
5920
5930
5940
5950
5960
5970
5980
5990
6000
6010
6020
6030
6040
6050
6060
6070
6080
6090
6100
6110
6120
6130
6140
6150
6160
6170
6180
6190
6200
6210
6220
6230
6240
6250
6260
6270
6280
6290
6300
6310
6320
6330
6340
6350
6360
6370
6380
6390
6400
6410
6420
6430
6440
6450
6460
6470
6480
6490
6500
6510
6520
6530
6540
6550
6560
6570
6580
6590
6600
6610
6620
6630
6640
6650
6660
6670
6680
6690
6700
6710
6720
6730
6740
6750
6760
6770
6780
6790
6800
6810
6820
6830
6840
6850
6860
6870
6880
6890
6900
6910
6920
6930
6940
6950
6960
6970
6980
6990
7000
7010
7020
7030
7040
7050
7060
7070
7080
7090
7100
7110
7120
7130
7140
7150
7160
7170
7180
7190
7200
7210
7220
7230
7240
7250
7260
7270
7280
7290
7300
7310
7320
7330
7340
7350
7360
7370
7380
7390
7400
7410
7420
7430
7440
7450
7460
7470
7480
7490
7500
7510
7520
7530
7540
7550
7560
7570
7580
7590
7600
7610
7620
7630
7640
7650
7660
7670
7680
7690
7700
7710
7720
7730
7740
7750
7760
7770
7780
7790
7800
7810
7820
7830
7840
7850
7860
7870
7880
7890
7900
7910
7920
7930
7940
7950
7960
7970
7980
7990
8000
8010
8020
8030
8040
8050
8060
8070
8080
8090
8100
8110
8120
8130
8140
8150
8160
8170
8180
8190
8200
8210
8220
8230
8240
8250
8260
8270
8280
8290
8300
8310
8320
8330
8340
8350
8360
8370
8380
8390
8400
8410
8420
8430
8440
8450
8460
8470
8480
8490
8500
8510
8520
8530
8540
8550
8560
8570
8580
8590
8600
8610
8620
8630
8640
8650
8660
8670
8680
8690
8700
8710
8720
8730
8740
8750
8760
8770
8780
8790
8800
8810
8820
8830
8840
8850
8860
8870
8880
8890
8900
8910
8920
8930
8940
8950
8960
8970
8980
8990
9000
9010
9020
9030
9040
9050
9060
9070
9080
9090
9100
9110
9120
9130
9140
9150
9160
9170
9180
9190
9200
9210
9220
9230
9240
9250
9260
9270
9280
9290
9300
9310
9320
9330
9340
9350
9360
9370
9380
9390
9400
9410
9420
9430
9440
9450
9460
9470
9480
9490
9500
9510
9520
9530
9540
9550
9560
9570
9580
9590
9600
9610
9620
9630
9640
9650
9660
9670
9680
9690
9700
9710
9720
9730
9740
9750
9760
9770
9780
9790
9800
9810
9820
9830
9840
9850
9860
9870
9880
9890
9900
9910
9920
9930
9940
9950
9960
9970
9980
9990
10000

また、液晶表示装置をドット・インバージョン方式で駆動するために、前記液晶表示装置の奇数番目のデータラインと偶数番目のデータラインに互いに異なる極性の画素電圧信

号を供給するデータ駆動装置において、サンプリング信号を順次発生するためのシフト・レジスタ・アレイと；前記サンプリング信号に応答して $2n$ （ n は正数）個のデータラインに供給される前記 $2n$ 個の画素データを所定の単位ずつ順次ラッチして同時に出力するためのラッチ・アレイと；前記ラッチ・アレイから入力された前記 $2n$ 個の画素データを1水平期間（ $1H$ ）に n 個ずつ時分割して供給するために、 n 個の第1マルチプレクサを包含し、前記 n 個の第1マルチプレクサ中、奇数番目の第1マルチプレクサのそれぞれは、第1選択制御信号に応答して2個の奇数番目のデータラインに供給される2個の奇数番目の画素データを時分割して出力し、偶数番目の第1マルチプレクサのそれぞれは、前記第1選択制御信号と反転された第2選択制御信号に応答して2個の偶数番目のデータラインに供給される2個の偶数番目の画素データを時分割して出力する第1マルチプレクサ・アレイと；前記第1マルチプレクサ・アレイから前記 n 個ずつ時分割された画素データを n 個の画素電圧信号に変換するために、 $n+1$ 個のディジタルーアナログ変換器を包含し、 $n+1$ 個のディジタルーアナログ変換器は正極性のディジタルーアナログ変換器と負極性のディジタルーアナログ変換器が交互に配置されたディジタルーアナログ変換アレイと；前記 $2n$ 個のデータラインを n 個ずつ時分割して前記 n 個の画素電圧信号を供給するために、 n 個のディマルチプレクサを包含し、前記 n 個のディマルチプレクサ中奇数番目のディマルチプレクサのそれぞれは、前記第1選択制御信号に応答して2個の奇数番目のデータラインを時分割駆動し、偶数番目のディマルチプレクサのそれぞれは、前記第2選択制御信号に応答して2個の偶数番目のデータラインを時分割駆動するディマルチプレクサ・アレイと；前記ディジタルーアナログ変換アレイと前記ディマルチプレクサ・アレイとの間に接続された n 個の第2マルチプレクサを包含し、前記 n 個の第2マルチプレクサのそれぞれは、前記1水平期間ごと極性反転される極性制御信号に応答して、隣接した2個の前記ディジタルーアナログ変換器の出力中いずれか1つを選択するものであり、前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧データの進行経路を決定し、前記 n 個のディマルチプレクサに供給する第2マルチプレクサ・アレイと；前記ディジタルーアナログ変換アレイからの前記 n 個の画素電圧信号バッファリングして前記第2マルチプレクサ・アレイに出力するバッファ・アレイと；外部から入力された前記 $2n$ 個の画素データを再整列して前記ラッチ・アレイに出力するデータ・レジスタ部を具備し、前記データ・レジスタ部は、前記 $2n$ 個の画素データ中 $4k-3$ （ k は偶の整数）番目の画素データと $4k-2$ 番目の画素データを相互交換して再整列し、第1水平期間では前記再整列された画素データを前記ラッチ・アレイに出力し、第2水平期間では前記再整列された画素データを2チャンネルずつ遅延させて前記ラッチ・アレイに出力して、前記第1及び第2水平期間が交互になるように駆動し、前記第1マルチプレクサ・アレイと前記ディマルチプレクサ・アレイは、前記第1及び第2選択制御信号に応答し、前記時分割された画素データと画素電圧信号の供給順序をライン及びフレーム中少なくとも1つの特定の単位毎に交互に変えて供給し時分割された画素電圧信号の充電量の差を補償することを特徴とする。

【0082】

本発明による液晶表示装置のデータ駆動装置及び方法ではDAC部を時分割駆動することで $n+1$ 個のDAC部を利用して少なくとも $2n$ 個のデータラインを駆動することができるようになる。これにより、本発明による液晶表示装置のデータ駆動装置及び方法によると、データ・ドライバICの数を従来対比の半分に減らすことができるので製造単価を削減することができるようになる。

【0083】

また、本発明の液晶表示装置のデータ駆動装置及び方法では時分割駆動の際に画素電圧の充電順序をライン単位、複数個のライン単位、フレーム単位、ライン単位及びフレーム単位、または複数個のライン単位及びフレーム単位に変えて駆動するようになる。これにより、時分割駆動による充電時間の差により発生される画素電圧の充電の差を補償してフリッカ現象を防止することができるようになる。

【0084】

【発明の実施の形態】

以下、図4乃至図16bを参照して本発明の好ましい実施の形態に対して説明する。図4は本発明の実施の形態による液晶表示装置のデータ・ドライバICの構成を図示したブロック図であり、図5a及び図5bは図4に図示されたデータ・ドライバICによる奇数フレーム及び偶数フレームの駆動波形図である。

【0085】

図4に図示されたデータ・ドライバICはサンプリング信号を順次供給するシフト・レジスタ・アレイ(42)と、サンプリング信号に応答して画素データ(R、G、B)をラッチして出力する第1及び第2ラッチ・アレイ(46、50)と、第2ラッチ・アレイ(50)からの画素データ(R、G、B)を時分割して出力するための第1MUXアレイ(54)と、第1MUXアレイ(54)から供給される画素データ(R、G、B)の進行経路を制御する第2MUXアレイ(58)と、第2MUXアレイ(58)からの画素データ(R、G、B)を画素電圧信号にDAC・アレイ(62)と、DAC・アレイ(62)からの画素電圧信号を緩衝して出力するバッファ・アレイ(68)と、バッファ・アレイ(68)の出力の進行経路を選択する第3MUX(80)と、第3MUX(80)からの画素電圧信号を2n個のデータライン(DL1乃至DL2n)に時分割して出力するためのディマルチプレクサ・アレイ(84)とを具備する。

【0086】

また、データ・ドライバICはタイミング制御部(図示しない)から供給される画素データ(R、G、B)を中継するデータ・レジスタ(88)と、DACアレイ(62)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(90)とを更に具備する。

【0087】

このような構成を有するデータ・ドライバICは第1MUXアレイ(54)とDEMUXアレイ(84)を利用してDACアレイ(50)を時分割駆動することでn+1個のDAC(64、66)及びバッファ(70)を利用して従来対比の2倍である2n個のデータラインを駆動するようになる。このようにデータ・ドライバICは2n個のデータラインを駆動するために2nチャンネルのデータ出力を有するが、図4では12チャンネル(DL1乃至DL12)部分だけを図示する。

【0088】

データ・レジスタ(88)はタイミング制御部からの画素データを中継して第1ラッチ・アレイ(46)に供給する。特にタイミング制御部は転送周波数の減少のために画素データを偶数画素データ(RGB even)と奇数画素データ(RGB odd)に分離してそれぞれの転送ラインを通してデータ・レジスタ(88)に供給するようになる。データ・レジスタ(88)は入力された偶数画素データ(RGB even)と奇数画素データ(RGB odd)をそれぞれの転送ラインを通して第1ラッチ・アレイ(46)に出力する。ここで、偶数画素データ(RGB even)と奇数画素データ(RGB odd)のそれぞれは赤(R)、緑(G)、青(B)画素データを含む。

【0089】

ガンマ電圧部(90)はガンマ基準電圧の発生部(図示しない)から入力される多数個のガンマ基準電圧をグレイ別に細分化して出力する。

【0090】

シフト・レジスタ・アレイ(42)はサンプリング信号を順次発生して第1ラッチ・アレイ(46)に供給するもので、このために2n/6(ここで、n=6)個のシフト・レジスタ(44)を具備する。図4に図示された1番目の段のシフト・レジスタ(44)はタイミング制御部から入力されるソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)によりシフトさせサンプリング信号を出力すると同時に次の段のシフト・レジスタ(44)にキャリ信号(CAR)を供給する。ソース・スタート・パルス(SSP)は図5a及び図5bに図示されたように水平期間単位に供給されてソース・サンプリング・クロック信号(SSC)毎にシフトされてサンプリング信号が出力

10

20

30

40

50

される。

【 0 0 9 1 】

第 1 ラッチ・アレイ (4 6) はシフト・レジスタ・アレイ (4 2) からのサンプリング信号に
 応答してデータ・レジスタ (8 8) からの画素データ (R G B even、R G B odd) を
 一定の単位ずつサンプリングしてラッチする。第 1 ラッチ・アレイ (4 6) は $2n$ (こ
 こで、 $n = 6$) 個の画素データ (R、G、B) をラッチするために $2n$ 個の第 1 ラッチ (4
 8) で構成され、その第 1 ラッチ (4 8) のそれぞれは画素データ (R、G、B) のビット
 数 (3 ビットまたは 6 ビット) に対応する大きさを有する。このような第 1 ラッチ・ア
 レイ (4 6) はサンプリング信号毎に偶数画素データ (R G B even) と奇数画素データ (R
 G B odd)、即ち 6 個ずつの画素データをサンプリングしてラッチした後、同時に出力
 する。

10

【 0 0 9 2 】

第 2 ラッチ・アレイ (5 0) は第 1 ラッチ・アレイ (4 6) からの画素データ (R、G、
 B) をタイミング制御部からのソース出力イネーブル信号 (S O E) に応答して同時にラ
 ッチした後、出力する。特に第 2 ラッチ・アレイ (5 0) は第 1 ラッチ・アレイ (4 6)
 と同一に $2n$ (ここで、 $n = 6$) 個の第 2 ラッチ (5 2) とを具備する。ソース出力イ
 ネーブル信号 (S O E) は図 5 a 及び図 5 b に図示されたように水平期間単位に発生する。

【 0 0 9 3 】

第 1 M U X アレイ (5 4) はタイミング制御部からの第 1 及び第 2 選択制御信号 (1、
 2) に応答して第 2 ラッチ・アレイ (5 0) からの $2n$ (ここで、 $n = 6$) 個の画素デ
 ータを $H/2$ 期間の単位に n 個ずつ時分割して出力する。このために、第 1 M U X アレイ
 (5 4) は n 個の第 1 M U X (5 6) で構成されて、第 1 M U X (5 6) のそれぞれは第
 2 ラッチ・アレイ (5 0) で二つの第 2 ラッチ (5 2) の中のいずれか一つの出力を選択
 して出力する。換言すると、第 1 M U X (5 6) のそれぞれは二つの第 2 ラッチ (5 2)
 の出力を $1/2$ 水平期間の単位に時分割して供給する。

20

【 0 0 9 4 】

詳細に説明すると、ドット・インバージョン駆動のために奇数番目の第 1 M U X (5 6)
 は第 1 選択制御信号 (1) に応答して二つの奇数番目の第 2 ラッチ (5 2) の出力の中
 のいずれか一つを選択して出力し、偶数番目の第 1 M U X (5 6) は第 2 選択制御信号 (2)
 に応答して二つの偶数番目の第 2 ラッチ (5 2) の出力の中のいずれか一つを選択し
 て出力する。

30

【 0 0 9 5 】

例えば、1 番目の第 1 M U X (5 6) は第 1 選択制御信号 (1) に応答して一水平期間
 の中の前半部で 1 番目の第 2 ラッチ (5 2) からの第 1 画素データを選択して出力し、後
 半部で 3 番目の第 2 ラッチ (5 2) からの第 3 画素データを選択して出力する。2 番目の
 第 1 M U X (5 6) は第 2 選択制御信号 (2) に応答して一水平期間の中の前半部で 2
 番目の第 2 ラッチ (5 2) からの第 2 画素データを選択して出力し、後半部で 4 番目の第
 2 ラッチ (5 2) からの第 4 画素データを選択して出力する。第 1 及び第 2 選択制御信号
 (1、2) は図 5 a 及び図 5 b に図示されたように相互に相反した極性を有するよう
 になり、その極性は水平期間単位で反転される。

40

【 0 0 9 6 】

第 2 M U X アレイ (5 8) は極性制御部 (9 2) からの極性制御信号 (P O L) に応答し
 て第 1 M U X アレイ (5 4) から供給される画素データ (R、G、B) の進行経路を決定
 するようになる。このために、第 2 M U X アレイ (5 8) は $n - 1$ 個の第 2 M U X (6 0)
) を具備する。

【 0 0 9 7 】

第 2 M U X (6 0) のそれぞれは隣接した二つの第 1 M U X (5 6) の出力を入力して極
 性制御信号 (P O L) により選択的に出力するようになる。ここで、1 番目と最後の第 1
 M U X (5 6) を除いた残りの第 1 M U X (5 6) のそれぞれの出力は隣接した 2 個の第
 2 M U X (6 0) に共に入力される。1 番目と最後の第 1 M U X (5 6) の出力は P D A

50

C (6 6) と第 2 M U X (6 0) に共に入力される。このような構成を有する第 2 M U X アレイ (5 8) は極性制御信号 (P O L) により第 1 M U X (5 6) のそれぞれからの画素データ (R 、 G 、 B) がそのまま D A C アレイ (6 2) へ進行されるように制御するか、1 行目ずつ右側にシフトされて D A C アレイ (6 2) へ進行されるように制御する。

【 0 0 9 8 】

ドット・インバージョン駆動のために極性制御信号 (P O L) は図 5 a 及び図 5 b に図示されたように水平期間毎に極性が反転される。結果的に第 2 M U X アレイ (5 8) は第 1 M U X アレイ (5 4) からの画素データ (R 、 G 、 B) のそれぞれが極性制御信号 (P O L) に応答して D A C アレイ (6 2) に交互に配置された P D A C (6 4) または N D A C (6 6) へ出力されるようにすることで画素データ (R 、 G 、 B) の極性を制御するようになる。

10

【 0 0 9 9 】

例えば、1 H 期間で 1 番目の第 1 M U X (5 6) から順次出力される第 1 及び第 3 画素データは第 2 M U X (6 0) を経由することなく直接 P D A C 1 (6 4) へ供給されて、2 番目の第 1 M U X (5 6) から順次出力される第 2 及び第 4 画素データは 1 番目の第 2 M U X (6 0) により N D A C 1 (6 4) へ供給される。そして、第 2 水平期間で第 1 及び第 3 画素データは 1 番目の第 2 M U X (6 0) により N D A C 1 (6 4) へ供給され、第 2 及び第 4 画素データは 2 番目の第 2 M U X (6 0) により P D A C 1 (6 6) へ供給される。

【 0 1 0 0 】

20

D A C アレイ (6 2) は第 2 M U X アレイ (5 8) からの画素データ (R 、 G 、 B) をガンマ電圧部 (9 0) からの正極性及び負極性ガンマ電圧 (G H 、 G L) を利用して画素電圧信号に変換して出力するようになる。このために、D A C アレイ (6 2) は $n + 1$ 個の P D A C (6 6) 及び N D A C (6 4) を具備して、ドット・インバージョン駆動のために P D A C (6 6) 及び N D A C (6 4) が交互に並んで配置される。

【 0 1 0 1 】

P D A C (6 6) は第 2 M U X アレイ (5 8) からの画素データ (R 、 G 、 B) を、正極性ガンマ電圧 (G H) を利用して正極性の画素電圧信号に変換する。N D A C (6 4) は第 2 M U X アレイ (5 8) からの画素データ (R 、 G 、 B) を、負極性ガンマ電圧 (G L) を利用して負極性の画素電圧信号に変換する。このような P D A C (6 6) 及び N D A C (6 4) は 1 / 2 水平期間毎に入力される画素データを画素電圧信号に変換する動作を遂行するようになる。

30

【 0 1 0 2 】

例えば、P D A C 1 (6 6) は図 5 a 及び図 5 b に図示されたように第 1 水平期間で時分割されて入力されるオッド画素データ [1 、 1] と [1 、 3] を画素電圧信号に変換して出力する。同時に N D A C 2 (6 4) も図 5 a 及び図 5 b に図示されたようにその第 1 水平期間のそれぞれで時分割されて入力されるイーブン画素データ [1 、 2] と [1 、 4] を画素電圧信号に変換して出力する。その次、第 2 水平期間期間で N D A C 2 (6 4) は時分割されて入力されるオッド画素データ [2 、 1] と [2 、 3] を画素電圧信号に変換して出力する。同時に P D A C 2 (6 6) はその第 2 水平期間で時分割されて入力されるイーブン画素データ [2 、 2] と [2 、 4] を画素電圧信号に変換して出力する。このような D A C アレイ (6 2) により 2 n 個の画素データが 1 / 2 水平期間単位に n 個ずつ時分割されて画素電圧信号に変換されて出力される。

40

【 0 1 0 3 】

バッファ・アレイ (6 8) に含まれる $n + 1$ 個のバッファ (7 0) のそれぞれは D A C アレイ (6 2) の P D A C (6 6) 及び N D A C (6 4) のそれぞれから出力される画素電圧信号を信号緩衝して出力する。

【 0 1 0 4 】

第 3 M U X アレイ (8 0) はタイミング制御部からの極性制御信号 (P O L) に応答してバッファ・アレイ (6 8) から供給される画素電圧信号の進行経路を決定するようになる

50

。このために、第3 MUXアレイ(80)は n 個(ここで、 $n = 6$)の第3 MUX(82)を具備する。

【0105】

第3 MUX(82)のそれぞれは極性制御信号(POL)にตอบสนองして隣接した2個のバッファ(70)の中のいずれか一つの出力を選択して出力する。ここで、1番目と最後のバッファ(70)を除いた残りのバッファ(70)の出力は隣接した2個の第3 MUX(82)に共に入力される。

【0106】

このような構成を有する第3 MUXアレイ(82)は極性制御信号(POL)にตอบสนองして最後のバッファ(70)を除いたバッファ(70)のそれぞれからの画素電圧信号がそのままDEMUX(86)と一対一対応して出力されるようにする。

10

【0107】

また、第3 MUXアレイ(82)は極性制御信号(POL)にตอบสนองして1番目のバッファ(70)を除いた残りのバッファ(70)のそれぞれからの画素電圧信号が1行目ずつ左側にシフトされてDEMUX(86)と一対一対応して出力されるようにする。

【0108】

極性制御信号(POL)は第2 MUXアレイ(58)に供給されると共に図5 a及び図5 bに図示されたように水平期間毎に極性が反転される。このように第3 MUXアレイ(80)は第2 MUXアレイ(58)と共に極性制御信号(POL)にตอบสนองして画素電圧信号の極性を決定するようになる。この結果、第3 MUXアレイ(80)で出力される画素電圧信号は隣接した画素電圧信号と相反した極性を有するようになり、水平期間単位で極性反転される。

20

【0109】

DEMUXアレイ(84)はタイミング制御部からの第1及び第2選択制御信号(1、2)にตอบสนองして第3 MUXアレイ(80)からの画素電圧信号を $2n$ (ここで、 $n = 6$)個のデータラインに選択的に供給するようになる。このために、DEMUXアレイ(84)は n 個のDEMUXアレイ(84)を具備する。DEMUX(86)のそれぞれは第3 MUX(82)のそれぞれから供給される画素電圧信号を二つのデータラインに時分割して供給する。

【0110】

30

詳細に説明すると、奇数番目のDEMUX(86)は第1選択制御信号(1)にตอบสนองして奇数番目の第3 MUX(82)の出力を2個の奇数番目のデータラインに時分割して供給する。偶数番目のDEMUX(86)は第2選択制御信号(2)にตอบสนองして二つの偶数番目の第3 MUX(82)の2個の偶数番目のデータラインに時分割して供給する。第1及び第2選択制御信号(1、2)は図5 a及び図5 bに図示されたように第1 MUXアレイ(54)に供給されると共に相互に相反した極性を有して水平期間毎に極性反転される。

【0111】

例えば、1番目のDEMUX(86)は図5 a及び図5 bに図示されたように第1選択制御信号(1)にตอบสนองして1/2水平期間単位に1番目の第3 MUX(82)の出力を第1及び第3データライン(DL1、DL3)に選択的に供給する。2番目のDEMUX(86)は図5 a及び図5 bに図示されたように第2選択制御信号(2)にตอบสนองして1/2水平期間単位に2番目の第3 MUX(82)の出力を第2及び第4データライン(DL2、DL4)に選択的に供給する。

40

【0112】

具体的に、1番目のDEMUX(86)は第1選択制御信号(1)にตอบสนองして第1ゲートライン(GL1)が活性化される第1水平期間の中の前半部で画素電圧信号[1、1]を第1データライン(D1)に供給し、後半部で[1、3]を第3データライン(DL3)に供給する。これと同時に、2番目のDEMUX(86)は第2選択制御信号(2)にตอบสนองして第1水平期間(H1)の中の前半部で画素電圧信号[1、2]を第2データ

50

イン(D2)に供給し、後半部では画素電圧信号[1、4]を第4データライン(D4)に供給する。

【0113】

そして、1番目のDEMUX(86)は第2水平期間(H2)と第3水平期間(H3)のそれぞれの前半部で画素電圧信号[2、1]、[3、1]のそれぞれを第1データライン(DL1)に供給し、画素電圧信号[2、3]、[3、3]の第3データライン(DL3)に供給する。これと同時に、2番目のDEMUX(86)は第2水平期間(H2)と第3水平期間(H3)のそれぞれの前半部でも画素電圧信号[2、2]、[3、2]のそれぞれを第2データライン(DL2)に供給し、後半部では画素電圧信号[2、4]、[3、4]のそれぞれを第4データライン(D4)に供給する。

10

【0114】

このような構成を有するデータ・ドライバICによりDL1、DL3のような奇数データラインに出力される画素電圧信号とDL2、DL4のような偶数データラインに出力される画素電圧信号は図5a及び図5bに図示されたように相互に相反する極性を有するようになる。そして、その奇数データライン(DL1、DL3、...)と偶数データライン(DL2、DL4、...)の極性はゲートライン(GL1、GL2、GL3、...)が順次駆動される1水平周期(1H)毎に反転されると共にフレーム単位で反転される。

【0115】

図6及び図7は図4に図示されたデータ駆動IC内で極性制御信号(POL)による画素データの進行経路を表すものである。

20

【0116】

極性制御信号(POL)がロー状態(またはハイ状態)である場合、第2MUXアレイ(58)は図6に図示されたように第1及び第2ラッチ・アレイ(46、50)及び第1MUXアレイ(54)から出力された6個の画素データを、PDAC4(66)を除いた残りのPDAC4(66)乃至NDAC3(64)のそれぞれに供給して画素電圧信号に変換されるようにする。この場合、1番目の第1MUX(56)の出力はそのままPDAC1(66)に供給されて画素電圧信号に変換される。

【0117】

第3MUXアレイ(80)はPDAC1(66)乃至NDAC3(64)のそれぞれからバッファアレイ(68)を経由して供給された画素電圧信号をDEMUX(86)のそれぞれに一対一に対応させて供給する。DEMUX(86)のそれぞれは第3MUX(82)のそれぞれから入力される画素電圧信号を12個のデータライン(DL1乃至DL12)に選択的に供給する。

30

【0118】

その反面、極性制御信号(POL)がハイ状態(またはロー状態)である場合、第2MUXアレイ(58)は図7に図示されたように第1及び第2ラッチ・アレイ(46、50)及び第1MUXアレイ(54)から出力された6個の画素データを右側にシフトさせてPDAC1(66)を除いた残りのPDAC1(66)乃至NDAC3(64)のそれぞれに供給して画素電圧信号に変換されるようにする。この場合、最後の第1MUX(56)の出力はそのままPDAC1(66)に供給されて画素電圧信号に変換される。

40

【0119】

第3MUXアレイ(82)はNDAC1(64)乃至PDAC4(66)のそれぞれからバッファアレイ(68)を経由して供給された画素電圧信号を右側にシフトさせてDEMUX(86)のそれぞれに一対一に対応させて供給する。DEMUX(86)のそれぞれは第3MUX(82)のそれぞれから入力される画素電圧信号を12個のデータライン(DL1乃至DL12)に選択的に供給する。

【0120】

以上説明したことのよう、本発明の実施の形態によるデータ・ドライバICはDACアレイが時分割駆動されることでn+1個のDACを利用して2nチャンネルのデータラインを駆動することができるようになる。換言すると、n+1個のDACとを具備するデー

50

タ・ドライバＩＣのそれぞれが $2n$ 個のデータラインを駆動することでＤＡＣ　ＩＣ数を $1/2$ に減らすことができるようになる。図８は本発明の異なる実施の形態によるデータ・ドライバＩＣの構成を図示したブロック図であり、図１０ａ及び図１０ｂは図８に図示されたデータ・ドライバＩＣによる奇数フレーム及び偶数フレームの駆動波形図である。そして、図９ａ及び図９ｂは図８に図示されたデータレジスタ部（１４８）の $m-1$ 番目の水平期間及び m 番目の水平期間の駆動波形図である。

【０１２１】

図８に図示されたデータ・ドライバＩＣはサンプリング信号を順次供給するシフト・レジスタ・アレイ（１０２）と、サンプリング信号に応答して画素データ（Ｒ、Ｇ、Ｂ）をラッチして出力する第１及び第２ラッチ・アレイ（１０６、１１０）と、第２ラッチ・アレイ（１１０）からの画素データ（Ｒ、Ｇ、Ｂ）を画素電圧信号に変換するＤＡＣ・アレイ（１２２）とＤＡＣ・アレイ（１２２）からの画素電圧信号を緩衝して出力するバッファ・アレイ（１２８）と、バッファ・アレイ（１２８）の出力の進行経路を選択する第２ＭＵＸアレイ（１４０）と、第２ＭＵＸアレイ（１４０）からの画素電圧信号をデータライン（ＤＬ１乃至ＤＬ $2n$ ）に時分割して出力するためのＤＥＭＵＸアレイ（１４４）とを具備する。

【０１２２】

また、図８に図示されたデータ・ドライバＩＣはタイミング制御部（図示しない）から供給される画素データ（Ｒ、Ｇ、Ｂ）を再整列して出力するデータ・レジスタ（１４８）と、ＤＡＣアレイ（１２２）で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部（１５０）とを更に具備する。

【０１２３】

このような構成を有するデータ・ドライバＩＣは第１ＭＵＸアレイ（１１４）とＤＥＭＵＸアレイ（１４４）を利用してＤＡＣアレイ（１２２）を時分割駆動することで $n+2$ 個のＤＡＣ（６４、６６）及びバッファ（１３０）を利用して従来対比の２倍である $2n$ 個のデータラインを駆動するようになる。このようにデータ・ドライバＩＣは $2n$ 個のデータラインを駆動するために $2n$ チャンネルのデータ出力を有するが、図８では $n=6$ と仮定して１２チャンネル（ＤＬ１乃至ＤＬ１２）部分だけを図示する。

【０１２４】

ガンマ電圧部（９０）はガンマ基準電圧発生部（図示しない）から入力される多数個のガンマ基準電圧をグレイレベル別に細分化して出力する。

【０１２５】

データ・レジスタ部（１４８）はタイミング制御部からの画素データをドット・インバージョン駆動に適合に再整列して第１ラッチ・アレイ（１０６）に供給する。データ・レジスタ部（１４８）は第１乃至第６入力バス（ＩＢ１乃至ＩＢ６）を通じてタイミング制御部からの奇数画素データ（ＯＲ、ＯＧ、ＯＢ）と偶数画素データ（ＥＲ、ＥＧ、ＥＢ）を同時に入力する。そして、データ・レジスタ部（１４８）は入力された奇数画素データ（ＯＲ、ＯＧ、ＯＢ）と偶数画素データ（ＥＲ、ＥＧ、ＥＢ）を再整列して第１乃至第６入力バス（ＩＢ１乃至ＩＢ６）を通じて出力するようになる。

【０１２６】

具体的に、データ・レジスタ部（１４８）は図９ａ及び図９ｂに図示されたように６個ずつの画素データ（ＯＲ、ＯＧ、ＯＢ、ＥＲ、ＥＧ、ＥＢ）のそれぞれを第１乃至第６入力バス（ＩＢ１乃至ＩＢ６）のそれぞれを通じて入力するようになる。この場合、データ・レジスタ部（１４８）はソース・スタート・パルス（ＳＳＰ）を基準にシフト・クロック信号（ＳＳＣ）の一周期の単位毎に６個ずつの画素データ（ＯＲ、ＯＧ、ＯＢ、ＥＲ、ＥＧ、ＥＢ）を入力するようになる。

【０１２７】

そして、データ・レジスタ部（１４８）は $m-1$ 番目の水平期間で図９ａに図示されたように一水平ライン分の画素データの中の $4k-2$ （ここで、 k は偶の正数）番のデータと $4k-1$ 番のデータを交換して出力するようになる。例えば、図９に図示されたように

10

20

30

40

50

番と3番のデータを変えて、6番と7番のデータを、10番と11番のデータを相互に交換して出力するようになる。これは第1MUX(116)のそれぞれに同じ極性の画素電圧信号に変換される一対ずつの画素データが入力されるようにするためである。このように、データ・レジスタ部(148)で入力された画素データ(OR、OG、OB、ER、EG、EB)を再整理して出力することにより第1MUXアレイ(1140とDACアレイ(122)の間で極性制御信号(POL)により画素データの信号経路を決定するMUXアレイを除去することができるようになる。

【0128】

また、データ・レジスタ部(148)はm番目の水平期間では図9bに図示されたように一水平ライン分の画素データの中の $4k-2$ (ここで、 k は偶の正数)番のデータと $4k-1$ 番のデータを交換して極性反転のための2チャンネルずつ遅延、即ちシフトさせ出力バス(OB乃至OB6)を通じて出力するようになる。例えば、データ・レジスタ部(148)は1番画素データを第3出力バス(OB3)に、交換された3番の画素データを第4出力バス(OB4)に、交換された2番の画素データを第5出力バス(OB5)に、4番の画素データを第6出力バス(OB6)にシフトさせ出力するようになる。そして、5番の画素データは次のクロックで第1出力バス(OB1)に、交換された7番の画素データを第2出力バス(OB2)に、交換された6番の画素データを第3出力バス(OB3)にシフトさせ出力するようになる。

【0129】

このように、データ・レジスタ部(148)で再整理されて出力される画素データ(OR、OG、OB、ER、EG、EB)は画素データの再整理の時間を確保するために入力された画素データ(OR、OG、OB、ER、EG、EB)より特定の時間、例えば2/3クロック程度に遅延されて出力される。

【0130】

シフト・レジスタ・アレイ(102)はサンプリング信号を順次発生して第1ラッチ・アレイ(106)に供給して、このために $2n/6$ (ここで、 $n=6$)個のシフト・レジスタ(104)とを具備する。図8に図示された1番目の段のシフト・レジスタ(104)はタイミング制御部から入力されるソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)によりシフトされてサンプリング信号を出力すると同時に次の段のシフト・レジスタ(104)にキャリ信号(CAR)を供給する。ソース・スタート・パルス(SSP)は図10a及び図10bに図示されたように水平期間単位に供給されてソース・サンプリング・クロック信号(SSC)によりシフトされてサンプリング信号を出力する。

【0131】

第1ラッチ・アレイ(106)はシフト・レジスタ・アレイ(102)からのサンプリング信号に応答してデータ・レジスタ(148)から第1乃至第6出力バス(OB1乃至OB6)を通じて入力される6個ずつの画素データをサンプリングしてラッチする。第1ラッチ・アレイ(106)は $2n$ (ここで、 $n=6$)個の画素データをラッチするために $2n$ 個の第1ラッチ(108)に構成されて、その第1ラッチ(108)のそれぞれは画素データのビット数(3ビットまたは6ビット)に対応する大きさを有する。また、第1ラッチ・アレイ(106)は図9に図示されたように2チャンネルずつシフトされて入力される場合に対比して2個の第1ラッチ(図示しない)を更に具備する。

【0132】

例えば、 $m-1$ 番目の水平期間で1番目の第1ラッチ(108)乃至12番の第1ラッチ(108)にはデータ・レジスタ部(148)で再整理された1、3、2、4、5、7、6、8、9、11、10、12番の順序で画素データがラッチされる。そして、 m 番目の水平期間ではデータ・レジスタ部(148)で再整理された画素データが2チャンネルずつシフトされることにより1番目のラッチ(108)及び2番目のラッチ(108)にはブランクデータが入力されて、三番目のラッチ(108)乃至12番目のラッチ(108)に2チャンネルずつシフトされた1、3、2、4、5、7、6、8、9、11番の順序

10

20

30

40

50

に画素データがラッチされる。ここで、10番及び12番の画素データは図示しない2個のラッチにそれぞれ配置される。

【0133】

第2ラッチ・アレイ(110)は第1ラッチ・アレイ(106)からの画素データをタイミング制御部からのソース出力イネーブル信号(SOE)に应答して同時にラッチした後、出力する。第2ラッチ・アレイ(110)は第1ラッチ・アレイ(106)と共に $2n$ (ここで、 $n=6$) + 2個の第2ラッチ(112)を具備する。ソース出力イネーブル信号(SOE)は図10a及び図10bに図示されたように水平期間単位に発生する。

【0134】

第1MUXアレイ(114)はタイミング制御部からの選択制御信号(1)に应答して第2ラッチ・アレイ(110)からの $2n$ (ここで、 $n=6$)個の画素データを $H/2$ 期間の単位に n 個ずつ時分割して出力する。このために、第1MUXアレイ(114)は n 個の第1MUX(116)で構成される。また、第1MUXアレイ(114)は画素データが2チャンネルずつシフトされる場合を考えて1個の第1MUX(図示しない)を更に具備する。第1MUX(116)のそれぞれは第2ラッチ・アレイ(110)で二つの第2ラッチ(112)の中のいずれか一つの出力を選択して出力する。換言すると、第1MUX(116)のそれぞれは二つの第2ラッチ(112)の出力を $1/2$ 水平期間の単位で時分割して供給する。

【0135】

詳細に説明すると、ドット・インバージョン駆動のために奇数番目の第1MUX(116)は選択制御信号(1)に应答して二つの奇数番目の第2ラッチ(112)の出力の中のいずれか一つを選択してDACアレイ(122)のPDAC(124)に出力する。そして、偶数番目の第1MUX(116)は第2選択制御信号(1)に应答して二つの偶数番目の第2ラッチ(112)の出力の中のいずれか一つを選択してDACアレイ(122)のPDAC(124)に出力する。

【0136】

例えば、 $m-1$ 番目の水平期間の前半部で1番目の第1MUX(116)は選択制御信号(1)に应答して1番目の第2ラッチ(112)からの一番の画素データを、後半部で2番目の第2ラッチ(112)からの3番の画素データを選択してPDAC(124)に出力する。2番目の第1MUX(116)は選択制御信号(1)に应答して前半部で3番目の第2ラッチ(112)からの2番の画素データを、後半部で4番目の第2ラッチ(112)からの4番の画素データを選択してNDAC(126)に出力する。4番目の第1MUX(116)は選択制御信号(1)に应答して前半部で5番目の第2ラッチ(112)からの2番の画素データを、後半部で6番目の第2ラッチ(112)からの4番の画素データを選択してPDAC(124)に出力する。ここで、選択制御信号(1)は図10a及び図10bに図示されたようにその極性は $1/2$ 水平期間($H/2$)単位に反転される。

【0137】

DACアレイ(122)は第1MUXアレイ(114)からの画素データをガンマ電圧部(150)からの正極性及び負極性ガンマ電圧(G_H 、 G_L)を利用して画素電圧信号に変換して出力するようになる。このために、DACアレイ(122)は $n+1$ 個のPDAC(124)及びNDAC(126)を具備し、ドット・インバージョン駆動のためにPDAC(124)及びNDAC(126)が交互に並んで配置される。PDAC(124)は第1MUXアレイ(114)からの画素データ(R 、 G 、 B)を、正極性ガンマ電圧(G_H)を利用して正極性の画素電圧信号に変換する。NDAC(126)は第1MUXアレイ(114)からの画素データ(R 、 G 、 B)を、負極性ガンマ電圧(G_L)を利用して負極性の画素電圧信号に変換する。このようなPDAC(124)及びNDAC(126)は $1/2$ 水平期間毎に入力される画素データを画素電圧信号に変換する動作を遂行するようになる。

【0138】

10

20

30

40

50

例えば、PDAC1(124)は図10a及び図10bに図示されたように第1水平期間で時分割されて入力されるオッド画素データ[1、1]と[1、3]を画素電圧信号に変換して出力する。同時にNDAC2(126)も図10a及び図10bに図示されたようにその第1水平期間のそれぞれで時分割されて入力されるイーブン画素データ[1、2]と[1、4]を画素電圧信号に変換して出力する。その後、第2水平期間期間でNDAC1(126)は時分割されて入力されるオッド画素データ[2、1]と[2、3]を画素電圧信号に変換して出力する。同時にPDAC2(124)はその第2水平期間で時分割されて入力されるイーブン画素データ[2、2]と[2、4]を画素電圧信号に変換して出力する。このようなDACアレイ(122)により2n個の画素データが1/2水平期間単位にn個ずつ時分割され画素電圧信号に変換されて出力される。

10

【0139】

バッファ・アレイ(128)に含まれるn+1個のバッファ(130)のそれぞれはDACアレイ(122)のPDAC(124)及びNDAC(126)のそれぞれから出力される画素電圧信号を信号緩衝して出力する。

【0140】

第2MUXアレイ(140)はタイミング制御部からの極性制御信号(POL)にตอบสนองしてバッファ・アレイ(128)から供給される画素電圧信号の進行経路を決定するようになる。このために、第2MUXアレイ(140)はn個(ここで、n=6)のMUX(142)を具備する。MUX(142)のそれぞれは極性制御信号(POL)にตอบสนองして隣接した2個のバッファ(130)の中のいずれか一つの出力を選択して出力する。ここで、1番目と最後のバッファ(130)を除いた残りのバッファ(130)の出力は隣接した2個のMUX(142)に共に入力される。

20

【0141】

このような構成を有する第3MUXアレイ(142)はm-1番目の水平期間で極性制御信号(POL)にตอบสนองして最後のバッファ(130)を除いたバッファ(130)のそれぞれからの画素電圧信号がそのままDEMUX(146)と一対一対応して出力されるようにする。また、第2MUXアレイ(142)はm番目の水平期間では極性制御信号(POL)にตอบสนองして1番目のバッファ(130)を除いた残りのバッファ(130)のそれぞれからの画素電圧信号が1行目ずつ左側にシフトされてDEMUX(146)と一対一対応して出力されるようにする。

30

【0142】

極性制御信号(POL)はドット・インバージョン駆動のために図10a及び図10bに図示されたように水平期間毎に極性が反転される。このように第2MUXアレイ(140)は極性制御信号(POL)にตอบสนองして画素電圧信号の極性を決定するようになる。この結果、第2MUXアレイ(140)で出力される画素電圧信号は隣接した画素電圧信号と相反した極性を有するようになり、水平期間単位に極性反転される。

【0143】

DEMUXアレイ(144)はタイミング制御部からの選択制御信号(1)にตอบสนองして第2MUXアレイ(140)からの画素電圧信号を2n(ここで、n=6)個のデータラインに選択的に供給するようになる。このために、DEMUXアレイ(144)はn個のDEMUXアレイ(146)を具備する。DEMUX(146)のそれぞれは第2MUX(142)のそれぞれから供給される画素電圧信号を二つのデータラインに時分割して供給する。

40

【0144】

例えば、1番目のDEMUX(146)は図10a及び図10bに図示されたように選択制御信号(1)にตอบสนองして1/2水平期間単位に1番目のMUX(142)の出力を第1及び第3データライン(D1、D3)に選択的に供給する。2番目のDEMUX(146)は図10a及び図10bに図示されたように選択制御信号(1)にตอบสนองして1/2水平期間単位に2番目のMUX(142)の出力を第2及び第4データライン(D2、D4)に選択的に供給する。

50

【 0 1 4 5 】

具体的に、1番目のD E M U X (1 4 6) は選択制御信号 (1) に応答して第1ゲートライン (G L 1) が活性化される第1水平期間の中の前半部で画素電圧信号 [1、1] を第1データライン (D 1) に供給し、後半部で [1、3] を第3データライン (D L 3) に供給する。これと同時に、2番目のD E M U X (1 4 6) は選択制御信号 (1) に応答して第1水平期間 (H 1) の前半部で画素電圧信号 [1、2] を第2データライン (D 2) に供給し、後半部では画素電圧信号 [1、4] を第4データライン (D 4) に供給する。そして、1番目のD E M U X (1 4 6) は第2水平期間 (H 2) と第3水平期間 (H 3) のそれぞれの前半部で画素電圧信号 [2、1]、[3、1] のそれぞれを第1データライン (D L 1) に供給し、後半部では画素電圧信号 [2、3]、[3、3] の第3データライン (D L 3) に供給する。これと同時に、2番目のD E M U X (1 4 6) は第2水平期間 (H 2) と第3水平期間 (H 3) のそれぞれの前半部では画素電圧信号 [2、2]、[3、2] のそれぞれを第2データライン (D L 2) に供給し、後半部では画素電圧信号 [2、4]、[3、4] のそれぞれを第4データライン (D 4) に供給する。

10

【 0 1 4 6 】

このような構成を有するデータ・ドライバICによりD L 1、D L 3のような奇数データラインに出力される画素電圧信号とD L 2、D L 4のような偶数データラインに出力される画素電圧信号は図10a及び図10bに図示されたように相互に相反する極性を有するようになる。そして、その奇数データライン (D L 1、D L 3、...) と偶数データライン (D L 2、D L 4、...) の極性はゲートライン (G L 1、G L 2、G L 3、...) が順次駆動される1水平周期 (1 H) 毎に反転されると共にフレーム単位で反転される。

20

【 0 1 4 7 】

図11及び図12は図8に図示されたデータ駆動IC内で極性制御信号 (P O L) による画素データの進行経路を表すものである。

【 0 1 4 8 】

m - 1番目の水平期間で第1及び第2ラッチ (1 0 8、1 1 0) には1、3、2、4、5、7、6、8、9、11、10、12番の順序で画素データがラッチされる。極性制御信号 (P O L) がロー状態 (またはハイ状態) である場合、即ちm - 1番目の水平期間である場合、第1M U X アレイ (1 1 4) は図11に図示されたように前半部では第2ラッチアレイ (1 1 0) から出力された画素データの中1、2、5、6、9、10番目の画素データを、後半部では3、4、7、8、11、12番目の画素データを選択してP D A C 1 (1 2 4) 乃至N D A C 3 (1 2 6) のそれぞれに供給して画素電圧信号に変換されるようにする。第2M U X (1 4 2) はP D A C 1 (1 2 4) 乃至N D A C 3 (1 2 6) のそれぞれからバッファ・アレイ (1 2 8) を経由して供給された画素電圧信号をD E M U X (1 4 6) のそれぞれに一対一対応させ供給する。D E M U X (1 4 6) のそれぞれは第2M U X (1 4 2) のそれぞれから入力される画素電圧信号を12個のデータライン (D L 1 乃至 D L 1 2) に選択的に供給する。

30

【 0 1 4 9 】

m番目の水平期間で第1及び第2ラッチ・アレイ (1 0 6、1 1 0) には1、3、2、4、5、7、6、8、9、11、10、12番の順序に画素データが2チャンネルずつシフトされてラッチされる。この場合、前段に位置する2個ずつの第1ラッチ (1 0 8) 及び第2ラッチ (1 1 2) には有効な画素データが供給されなくブランク・データ (図示しない) が供給される。

40

【 0 1 5 0 】

極性制御信号 (P O L) がハイ状態 (またはロー状態) である場合、即ちm番目の水平期間である場合、初の段の第1M U X アレイ (1 1 6) を除いた残りの第1M U X (1 1 6) は図12に図示されたように前半部では第2ラッチアレイ (1 1 0) から出力された画素データの中1、2、5、6、9、10番目の画素データを、後半部では3、4、7、8、11、12番目の画素データを選択してP D A C 1 (1 2 4) 乃至N D A C 3 (1 2 6) のそれぞれに供給して画素電圧信号に変換されるようにする。第2M U X (1 4 2) は

50

P D A C 1 (1 2 4) 乃至 N D A C 3 (1 2 6) のそれぞれからバッファ・アレイ (1 2 8) を経由して供給された画素電圧信号を左側に一チャンネルずつシフトさせ D E M U X (1 4 6) のそれぞれに一対一対応させ供給する。D E M U X (1 4 6) のそれぞれは第 2 M U X (1 4 2) のそれぞれから入力される画素電圧信号を 1 2 個のデータライン (D L 1 乃至 D L 1 2) に選択的に供給する。

【 0 1 5 1 】

以上説明したことのように、本発明の実施の形態によるデータ・ドライバ I C は D A C アレイが時分割駆動されることで $n + 1$ 個の D A C を利用して $2 n$ チャンネルのデータラインを駆動することができるようになる。換言すると、 $n + 1$ 個の D A C とを具備するデータ・ドライバ I C のそれぞれが $2 n$ 個のデータラインを駆動することで D A C I C 数を 1 / 2 に減らすことができるようになる。

10

【 0 1 5 2 】

図 1 3 は図 4 及び図 8 に図示されたデータ・ドライバ I C が適用された液晶表示装置の構成を概略的に図示したものである図示したものである。図 1 3 に図示された液晶表示装置はデータ T C P (7 6) を通じて液晶パネル (7 2) と接続されたデータ・ドライバ I C (7 4) とゲート T C P (8 0) を通じて液晶パネル (7 2) と接続されたゲート・ドライバ I C (7 8) とを具備する。

【 0 1 5 3 】

データ・ドライバ I C (7 4) のそれぞれはデータ T C P (7 6) のそれぞれに実装されて、そのデータ T C P (7 6) を通じて液晶パネル (7 2) の上段部に設けられたデータパッドと電氣的に接続される。ゲート・ドライバ I C (7 8) のそれぞれもゲート T C P (8 0) のそれぞれに実装されて、そのゲート T C P (8 0) を通じて液晶パネル (7 2) の一側に設けられたゲートパッドと電氣的に接続される。ゲート・ドライバ I C (7 8) は液晶パネル (7 2) 上のゲートラインを 1 水平周期 (1 H) 毎に一つのゲートラインずつ順次駆動する。

20

【 0 1 5 4 】

データ・ドライバ I C (7 4) はディジタル信号である画素データの信号をアナログ信号である画素電圧信号に変換して液晶パネル (7 2) 上のデータラインを 1 / 2 水平周期 ($H / 2$) に時分割して供給する。これにより、 $8 n$ 個のデータラインを駆動するために n 個ずつのデータラインを駆動する従来のデータ・ドライバ I C は 8 個が必要とする反面に、 $2 n$ 個のデータラインを時分割駆動する本発明のデータ・ドライバ I C (7 4) は 4 個だけ必要となる。

30

【 0 1 5 5 】

一方、データラインを時分割して駆動する場合、1 水平期間 (1 H) の中の前半部に供給された画素電圧の充電量と後半部に供給された画素電圧の充電量の間に差が発生するようになる。これは前半部に供給された画素電圧と後半部に供給された画素電圧の充電時点の差により充電時間が相互に異なるためである。換言すると、前半部に供給された画素電圧は約 1 水平期間 (1 H) に当たる液晶セルに充電される反面、後半部に供給された画素電圧は約 1 / 2 水平期間 ($H / 2$) に当たる液晶セルに充電されるためである。このような充電時間の差により液晶セル間に画素電圧の充電量が異なるようになるためにフリッカ現象が予想される。

40

【 0 1 5 6 】

これを防止するために、画素電圧の充電順序をライン、フィールド、フレームのような特定単位に変えることで変えることで画素電圧の充電量の差が補償されるようになる。例えば、現のフレームで特定の液晶セルに 1 水平期間 (1 H) の中の前半部で画素電圧が供給されて 1 水平期間 (1 H) にかけて画素電圧が充電された場合、次のフレームでは後半部に画素電圧が供給されるようにして 1 / 2 水平期間 ($H / 2$) にかけて画素電圧が充電されるようにする。

【 0 1 5 7 】

このように画素電圧の充電順序をフレーム毎に変えることで充電時間の差によりもたらさ

50

れる画素電圧の充電量の差を補償することができるようになる。また、画素電圧の充電順序をライン単位、複数個のライン単位に変える場合にも画素電圧の充電量の差を補償することができるようになる。これとは異なり、ライン単位及びフレーム単位または複数個のライン単位及びフレーム単位に画素電圧の充電順序を変える場合にも画素電圧の充電量の差を補償することができるようになる。

【0158】

図14a及び図14bはデータラインを時分割駆動する場合、画素電圧の充電順序をフレーム単位に変えて駆動するための駆動波形を図示したものである。特に、図14aはオッド・フレームで図4及び図8に図示された駆動装置で第1乃至第4データライン(DL1乃至DL4)を駆動するための信号波形を図示し、図14bはイーブン・フレームでの信号波形を図示する。

10

【0159】

オッド・フレームに当たる図14aにおいて、第1水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[1、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[1、3]と[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[1、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。

20

【0160】

これと同様に、第2水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[2、3]、[2、4]が選択される。画素データ[2、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。

30

【0161】

このようにオッド・フレームで本発明のデータ駆動装置はデータラインを時分割駆動すると共にドット・インバージョン方式に駆動するようになる。

【0162】

イーブン・フレームに当たる図13bにおいて、第1水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)によりオッド・フレームとは異なり画素データ[1、3]、[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[1、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)によりオッド画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給されて、画素データ[1、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

40

【0163】

これと同様に、第2水平期間(H1)の中の前半部であるH/2期間で第1及び第2選択制御信号(1及び/または2)により画素データ[2、3]、[2、4]が選択され

50

る。画素データ[2、3]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

【0164】

このようにイーブン・フレームで本発明のデータ駆動装置はデータラインを時分割駆動してドット・インバージョン方式に駆動するようになる。これと共に、本発明のデータ駆動装置はイーブン・フレームでオッド・フレームと画素電圧充電順序を変えて駆動するようになる。これにより、時分割駆動による充電時間の差によりオッド・フレームで発生された画素電圧の充電量の差をイーブン・フレームで補償することができるようになる。この結果、データラインを時分割駆動の際に画素電圧の充電量の差によるフリッカ現象を防止することができるようになる。

【0165】

図15a及び図15bはデータラインを時分割駆動する場合、画素電圧の充電順序をライン単位及びフレーム単位に変えて駆動するための駆動波形を図示したものである。特に、図15aはオッド・フレームで図4及び図8に図示されたデータ駆動装置で第1乃至第4データライン(DL1乃至DL4)を駆動するための信号波形を図示して、図15bはイーブン・フレームでの信号波形を図示する。

【0166】

オッド・フレームに当たる図15aにおいて、第1水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[1、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、3]、[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第3データライン(DL3)に供給されて、画素データ[1、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。

【0167】

そして、第2水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により第1水平期間(H1)とは異なるように画素データ[2、3]、[2、4]が選択される。画素データ[2、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)によりオッド画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給されて、画素データ[2、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

【0168】

このようにオッド・フレームで本発明のデータ駆動装置はデータラインを時分割駆動すると共にドット・インバージョン方式に駆動するようになる。更にライン単位に画素電圧の充電順序を変えて駆動するようになる。

【0169】

イーブン・フレームに当たる図15bにおいて、第1水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、3]と画素デ

10

20

30

40

50

ータ [1、4] が選択される。画素データ [1、3] は極性制御信号 (図示しない) により負極性の画素電圧信号に変換されて第 3 データライン (DL 3) に供給され、画素データ [1、4] は正極性の画素電圧信号に変換されて第 4 データライン (DL 4) に供給される。続いて、後半部である H / 2 期間で選択制御信号 (1 及び/または 2) によりオッドデータ [1、1]、[1、2] が選択される。画素データ [1、1] は極性制御信号 (図示しない) により負極性の画素電圧信号に変換されて第 1 データライン (DL 1) に供給され、画素データ [1、2] は正極性の画素電圧信号に変換されて第 2 データライン (DL 2) に供給される。

【 0 1 7 0 】

そして、第 2 水平期間 (H 1) の中の前半部である H / 2 期間で選択制御信号 (1 及び/または 2) により前記第 1 水平期間 (H 1) とは異なるように画素データ [2、1]、[2、2] が選択される。画素データ [2、1] は極性制御信号 (図示しない) により正極性の画素電圧信号に変換されて第 1 データライン (DL 1) に供給され、画素データ [2、2] は負極性の画素電圧信号に変換されて第 2 データライン (DL 2) に供給される。続いて、後半部である H / 2 期間で選択制御信号 (1 及び/または 2) によりオッド画素データ [2、3]、[2、4] が選択される。画素データ [2、3] は極性制御信号 (図示しない) により正極性の画素電圧信号に変換されて第 3 データライン (DL 3) に供給され、画素データ [2、4] は負極性の画素電圧信号に変換されて第 4 データライン (DL 4) に供給される。

【 0 1 7 1 】

このようにイーブン・フレームで本発明のデータ駆動装置はデータラインを時分割駆動してドット・インバージョン方式に駆動するようになる。また、本発明のデータ駆動装置はライン単位に画素電圧充電順序を変えて駆動すると共にイーブン・フレームでオッド・フレームと画素電圧の充電順序を変えて駆動するようになる。これにより、時分割駆動による充電時間の差により発生された画素電圧の充電量の差を補償することができるようになる。これとは異なり、複数個のライン単位、例えば 2 ラインの単位に画素電圧の充電順序を変えると共にフレーム単位に画素電圧の充電順序を変える場合にも画素電圧の充電量の差を補償することができるようになる。この結果、データラインを時分割駆動の際に画素電圧の充電量の差によるフリッカ現象を防止することができるようになる。

【 0 1 7 2 】

図 1 6 a 及び図 1 6 b はコラム・インバージョン方式に駆動されるデータラインを時分割駆動する場合、画素電圧の充電順序をライン単位及びフレーム単位に変えて駆動するための駆動波形を図示したものである。特に、図 1 6 a はオッド・フレームで図 4 及び図 8 に図示されたデータ駆動装置で第 1 乃至第 4 データライン (DL 1 乃至 DL 4) を駆動するための信号波形を図示して、図 1 6 b はイーブン・フレームでの信号波形を図示する。

【 0 1 7 3 】

オッド・フレームに当たる図 1 6 a において、第 1 水平期間 (H 1) の中の前半部である H / 2 期間で選択制御信号 (1 及び/または 2) により画素データ [1、1]、[1、2] が選択される。画素データ [1、1] は極性制御信号 (図示しない) により正極性の画素電圧信号に変換されて第 1 データライン (DL 1) に供給され、画素データ [1、2] は負極性の画素電圧信号に変換されて第 2 データライン (DL 2) に供給される。続いて、後半部である H / 2 期間で選択制御信号 (1 及び/または 2) のそれぞれにより画素データ [1、3] と画素データ [1、4] が選択される。画素データ [1、3] は極性制御信号 (図示しない) により正極性の画素電圧信号に変換されて第 3 データライン (DL 3) に供給され、画素データ [1、4] は負極性の画素電圧信号に変換されて第 4 データライン (DL 4) に供給される。

【 0 1 7 4 】

そして、第 2 水平期間 (H 1) の中の前半部である H / 2 期間で選択制御信号 (1 及び/または 2) により前記第 1 水平期間 (H 1) とは異なるように画素データ [2、3]、[2、4] が選択される。画素データ [2、3] は極性制御信号 (図示しない) により正

10

20

30

40

50

極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は負極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、1]、画素データ[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により正極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は負極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

【0175】

このようにオッド・フレームで本発明のデータ駆動装置はデータラインを時分割駆動すると共にコラム・インバージョン方式に駆動するようになる。更にライン単位に画素電圧の充電順序を変えて駆動するようになる。

10

【0176】

イーブン・フレームに当たる図16bにおいて、第1水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、3]、[1、4]が選択される。画素データ[1、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[1、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[1、1]、[1、2]が選択される。画素データ[1、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[1、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。

20

【0177】

そして、第2水平期間(H1)の中の前半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、1]、[2、2]が選択される。画素データ[2、1]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第1データライン(DL1)に供給され、画素データ[2、2]は正極性の画素電圧信号に変換されて第2データライン(DL2)に供給される。続いて、後半部であるH/2期間で選択制御信号(1及び/または2)により画素データ[2、3]、[2、4]が選択される。画素データ[2、3]は極性制御信号(図示しない)により負極性の画素電圧信号に変換されて第3データライン(DL3)に供給され、画素データ[2、4]は正極性の画素電圧信号に変換されて第4データライン(DL4)に供給される。

30

【0178】

このようにイーブン・フレームで本発明のデータ駆動装置はデータラインを時分割駆動してコラム・インバージョン方式に駆動するようになる。また、本発明のデータ駆動装置はライン単位に画素電圧充電順序を変えて駆動すると共にイーブン・フレームでオッド・フレームと画素電圧の充電順序を変えて駆動するようになる。これにより、時分割駆動による充電時間の差により発生された画素電圧の充電量の差を補償することができるようになる。これとは異なり、複数個のライン単位、例えば2ラインの単位に画素電圧の充電順序を変えると共にフレーム単位に画素電圧の充電順序を変える場合にも画素電圧の充電量の差を補償することができるようになる。この結果、データラインを時分割駆動の際に画素電圧の充電量の差によるフリッカ現象を防止することができるようになる。

40

【0179】

【発明の効果】

上述したところのように、本発明による液晶表示装置のデータ駆動装置及び方法ではDAC部を時分割駆動することで $n+1$ 個のDACを利用して少なくとも $2n$ 個のデータラインを駆動することができるようになる。これにより、本発明による液晶表示装置のデータ駆動装置及び方法によると、データ・ドライバICの数を従来対比の半分に減らすことができるようになるので製造単価を節減することができるようになる。

【0180】

50

また、本発明による液晶表示装置のデータ駆動装置及び方法では時分割駆動の際に画素電圧の充電順序をライン単位、複数個のライン単位、フレーム単位、ライン単位及びフレーム単位、または複数個のライン単位及びフレーム単位に変えて駆動するようになる。これにより時分割駆動による充電時間の差により発生される画素電圧の充電量の差を補償してフリッカ現象を防止することができるようになる。

【0181】

以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図1】 従来の液晶表示装置の構成を概略的に図示した図面である。

【図2】 図1に図示されたデータ・ドライバICの詳細の構成を図示したブロック図である。

【図3a】 図2に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図3b】 図2に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図4】 本発明の実施の形態によるデータ・ドライバICの構成を図示したブロック図である。

【図5a】 図4に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図5b】 図4に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図6】 極性制御信号がロー状態である場合に図4に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図7】 極性制御信号がハイ状態である場合に図4に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図8】 本発明の異なる実施の形態によるデータ・ドライバICの構成を図示したブロック図である。

【図9a】 図8に図示されたデータ・レジスタ部の駆動波形図である。

【図9b】 図8に図示されたデータ・レジスタ部の駆動波形図である。

【図10a】 図8に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図10b】 図8に図示されたデータ・ドライバICの奇数フレーム及び偶数フレームの駆動波形図である。

【図11】 極性制御信号がロー状態である場合に図8に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図12】 極性制御信号がハイ状態である場合に図8に図示されたデータ・ドライバIC内でのデータ流れ図である。

【図13】 図4及び図8に図示されたデータ・ドライバICが適用された液晶表示装置の構成を概略的に図示した図面である。

【図14a】 ドット・インバージョン方式に駆動されるデータラインを時分割する場合にフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図14b】 ドット・インバージョン方式に駆動されるデータラインを時分割場合にフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図15a】 ドット・インバージョン方式に駆動されるデータラインを時分割場合にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図15b】 ドット・インバージョン方式に駆動されるデータラインを時分割場合にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

【図16a】 コラム・インバージョン方式に駆動されるデータラインを時分割する場合

10

20

30

40

50

にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

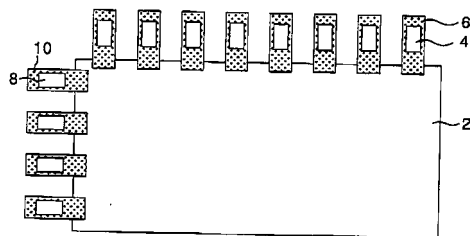
【図16b】 コラム・インバージョン方式に駆動されるデータラインを時分割する場合にライン単位及びフレーム単位に充電順序を変えて駆動するための信号波形図である。

【符号の説明】

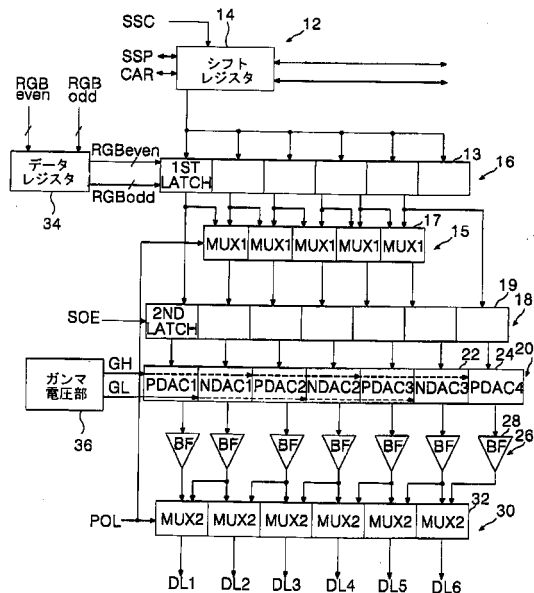
2、72：液晶パネル、4、74：データ・ドライバIC、6、76：データTCP、8、78：ゲート・ドライバIC、10、80：ゲートTCP、12、42、102：シフト・レジスタ・アレイ、13、48、108：第1ラッチ、14、44、104：シフト・レジスタ、15、54、114：第1マルチプレクサ・アレイ、17、56、116：第1マルチプレクサ、16、46、106：第1ラッチ・アレイ、18、50、110：第2ラッチ・アレイ、19、52、112：第2ラッチ、20、62、122：DACアレイ、22、64、126：NDAC、24、66、124：PDAC、26、68、128：バッファ・アレイ、28、70、130：バッファ、30、58、140：第2マルチプレクサ・アレイ、32、60、142：第2マルチプレクサ、34、88、148：データ・レジスタ、36、90、150：ガンマ電圧部、80：第3マルチプレクサ・アレイ、82：第3マルチプレクサ、84、144：ディマルチプレクサ・アレイ、86、146：ディマルチプレクサ。

10

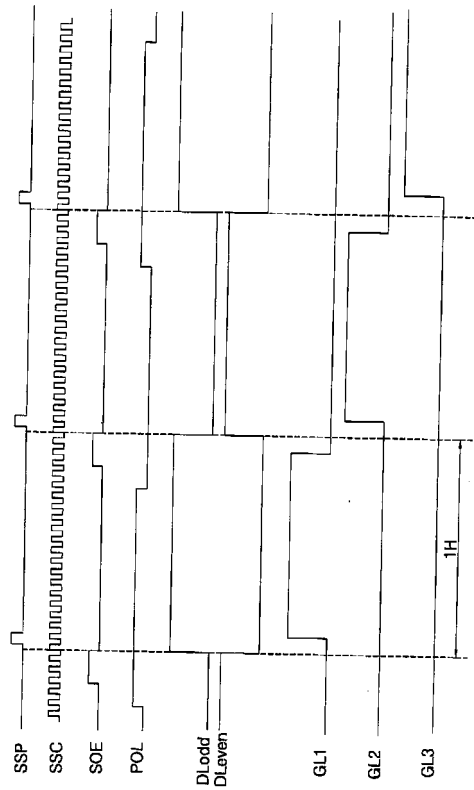
【図1】



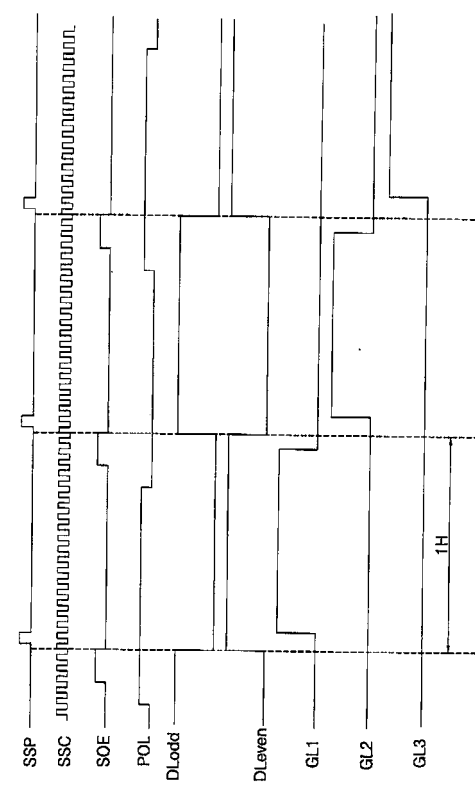
【図2】



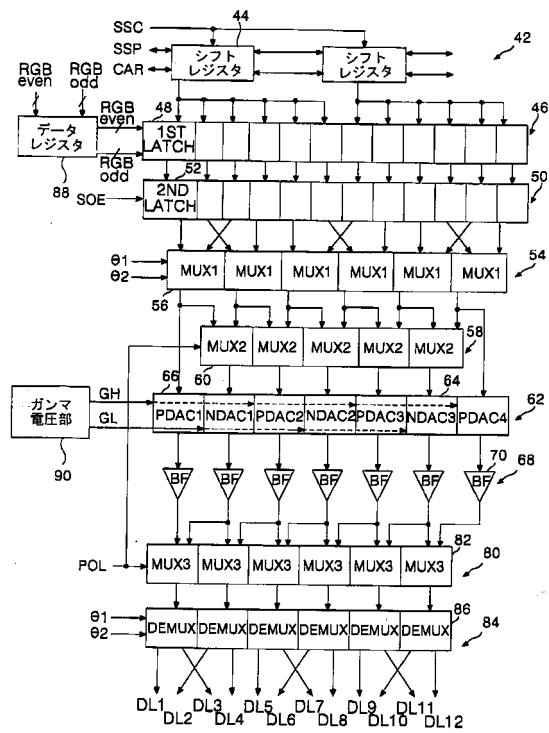
【図 3 a】



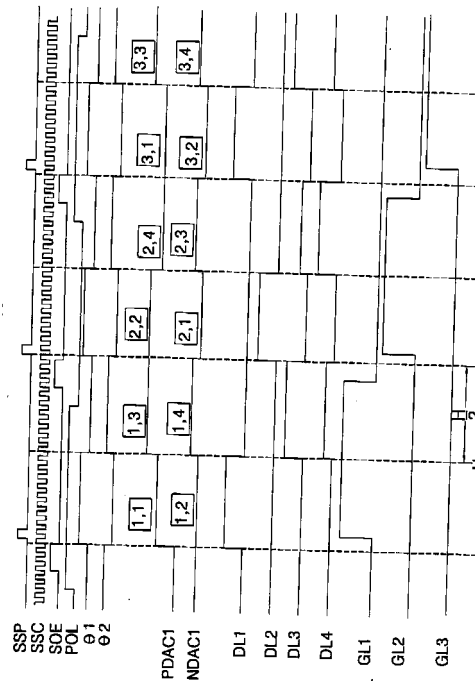
【図 3 b】



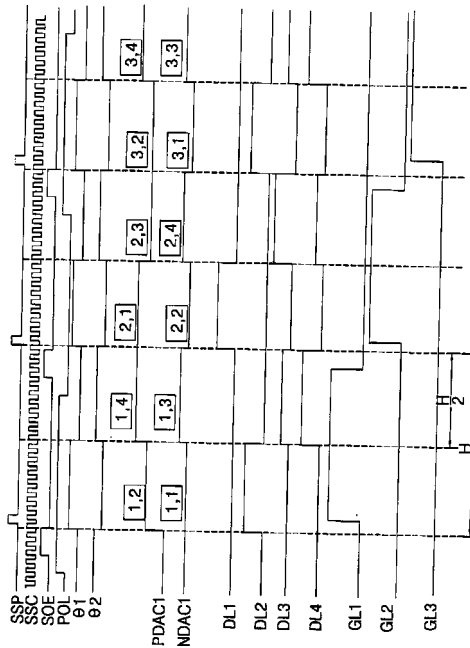
【図 4】



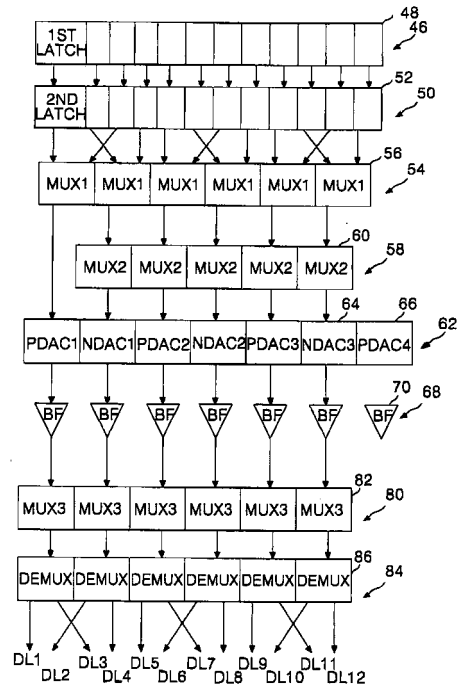
【図 5 a】



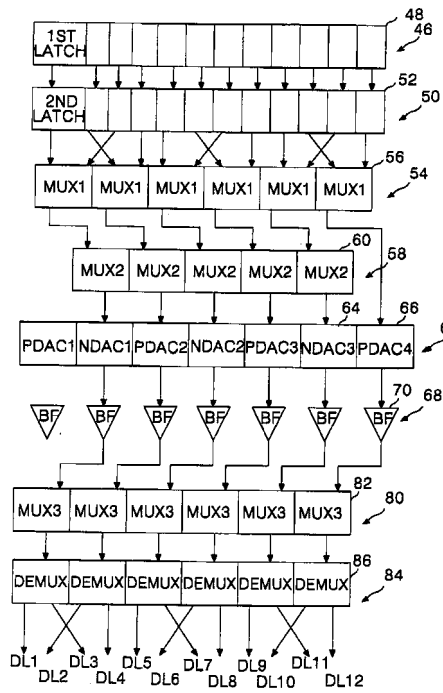
【図 5 b】



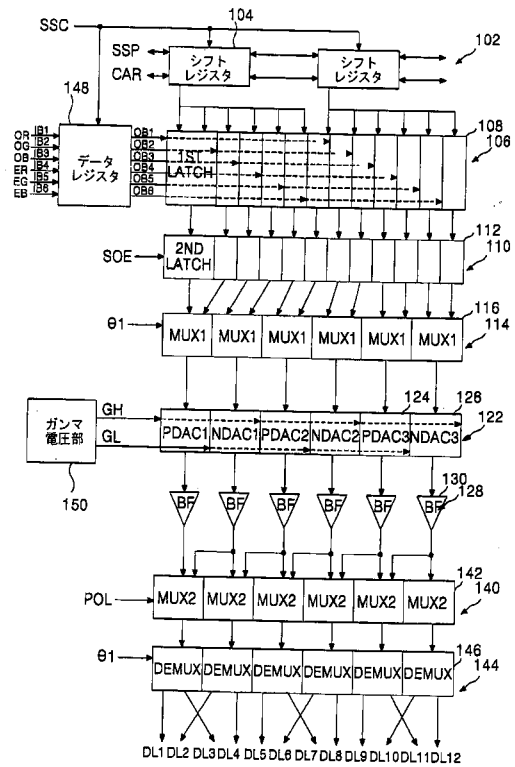
【図 6】



【図 7】



【図 8】



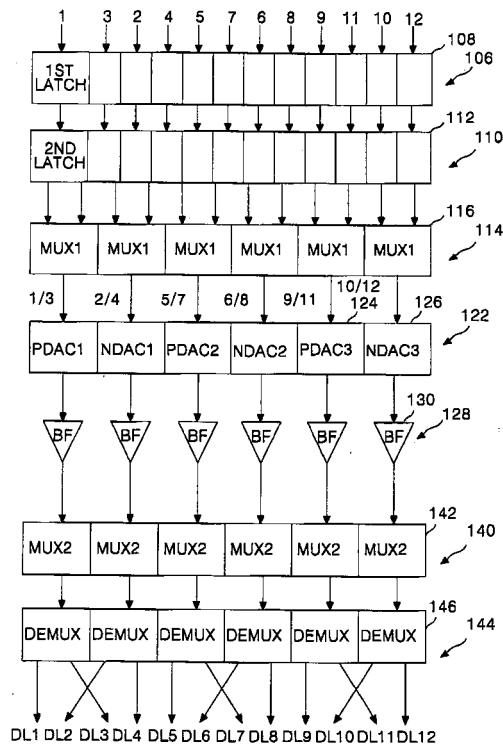
【 図 9 b 】

[illegible][illegible]

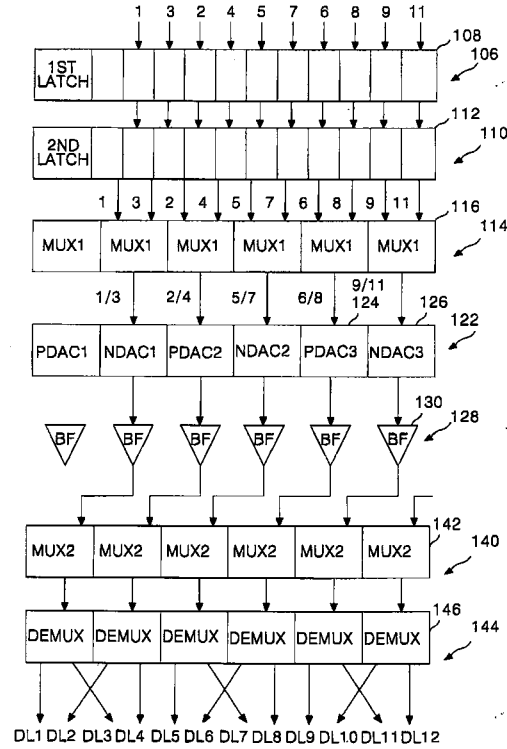
【 図 1 0 b 】

[illegible]

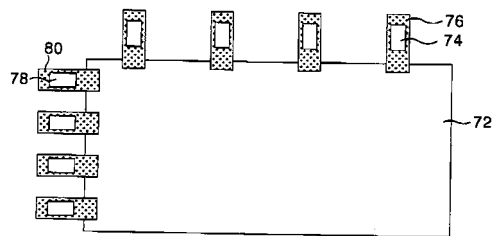
【図 1 1】



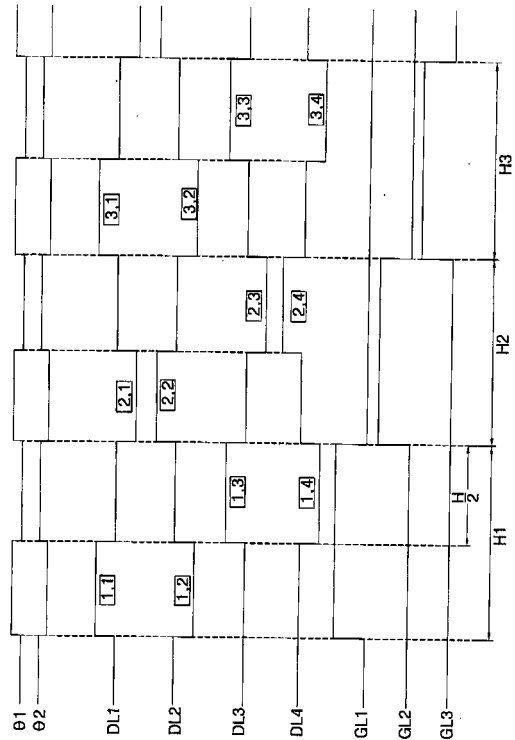
【図 1 2】



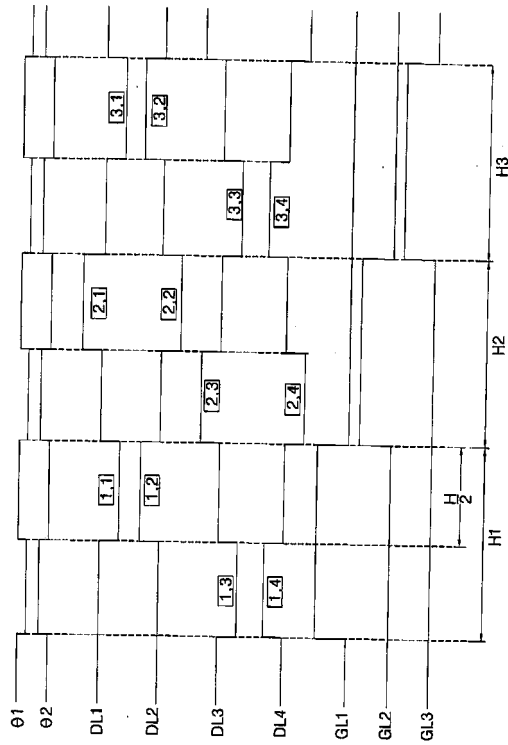
【図 1 3】



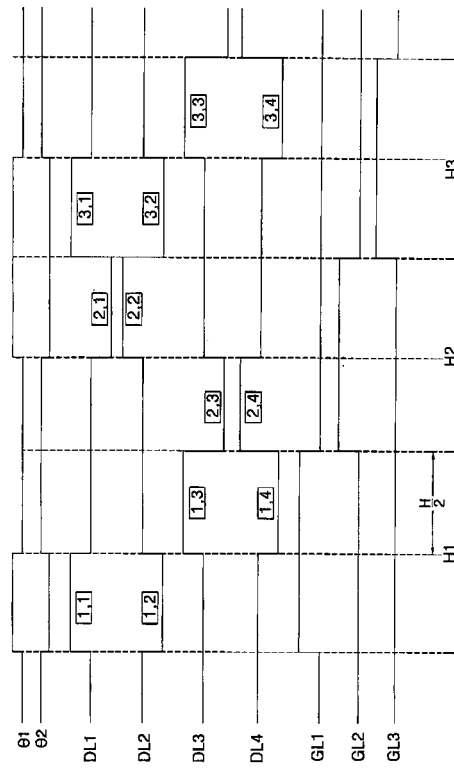
【図 1 4 a】



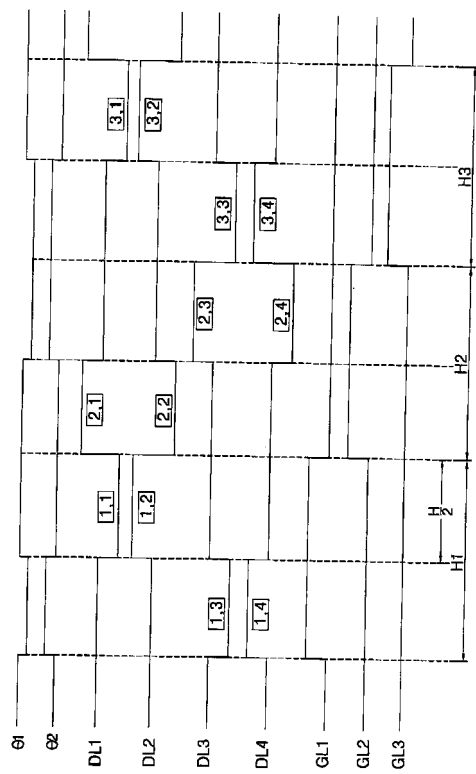
【図 14 b】



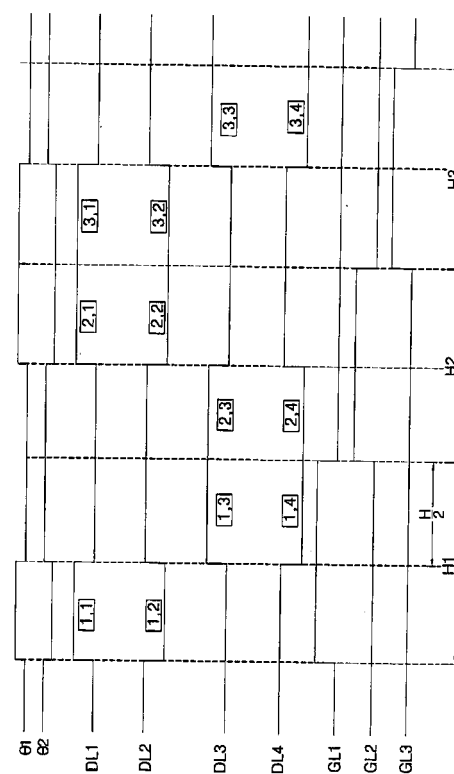
【図 15 a】



【図 15 b】



【図 16 a】



[illegible]

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 2 3 X

(72)発明者 スン・クク・アン

大韓民国、キョンサンブク - ド、クミ - シ、ピサン - ドン、チョンウォン・リビング・フィール
1 3 0 9

審査官 福村 拓

(56)参考文献 特開平 1 0 - 2 6 0 6 6 1 (J P , A)
特開平 1 0 - 3 1 9 9 2 4 (J P , A)
特開平 0 5 - 1 7 3 5 0 6 (J P , A)
特開平 0 4 - 0 5 2 6 8 4 (J P , A)
特開平 1 1 - 1 7 5 0 4 2 (J P , A)
特開平 1 1 - 2 5 9 0 3 6 (J P , A)
特開平 0 9 - 0 2 6 7 6 5 (J P , A)
特開平 1 0 - 1 4 3 1 1 6 (J P , A)
特開平 0 9 - 2 8 1 9 3 0 (J P , A)
特開 2 0 0 1 - 1 0 9 4 3 5 (J P , A)
特開 2 0 0 0 - 1 2 2 6 2 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	液晶显示装置的数据驱动装置和方法		
公开(公告)号	JP4420174B2	公开(公告)日	2010-02-24
申请号	JP2002325520	申请日	2002-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	スンククアン		
发明人	スン・クク・アン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/027 G09G2310/0294 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.E G09G3/20.621.B G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.623.L G09G3/20.623.W G09G3/20.623.X		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA41 2H093/NB07 2H093/NB11 2H093/NC02 2H093/NC13 2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND10 2H093/ND49 2H093/ND54 2H093/ND60 2H193/ZA04 2H193/ZC15 2H193/ZF02 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AF22 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF72 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BF07 5C006/BF11 5C006/BF24 5C006/BF26 5C006/BF42 5C006/EB05 5C006/FA18 5C006/FA23 5C006/FA26 5C006/FA43 5C006/FA52 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD22 5C080/DD25 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	福村 拓		
优先权	1020010069945 2001-11-10 KR 1020020041769 2002-07-16 KR		
其他公开文献	JP2003280616A		
外部链接	Espacenet		

摘要(译)

数据驱动装置和方法技术领域本发明涉及一种用于液晶显示装置的数据驱动装置和方法，其能够通过时分驱动数据线来减少数据驱动器IC的数量。根据本发明的液晶显示装置的数据驱动装置包括：第一多路复用器阵列，用于以时分方式提供输入像素数据;以及第二多路复用器阵列，用于转换时间 - 以及用于将数据线时分地提供给像素电压信号的解复用器阵列。

【 図 2 】

