

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4394114号
(P4394114)

(45) 発行日 平成22年1月6日(2010.1.6)

(24) 登録日 平成21年10月23日(2009.10.23)

(51) Int.Cl.		F I	
GO2F	1/1343	(2006.01)	GO2F 1/1343
GO2F	1/1368	(2006.01)	GO2F 1/1368

請求項の数 4 (全 9 頁)

<p>(21) 出願番号 特願2006-342605 (P2006-342605)</p> <p>(22) 出願日 平成18年12月20日 (2006.12.20)</p> <p>(65) 公開番号 特開2007-249178 (P2007-249178A)</p> <p>(43) 公開日 平成19年9月27日 (2007.9.27)</p> <p>審査請求日 平成18年12月20日 (2006.12.20)</p> <p>(31) 優先権主張番号 095109332</p> <p>(32) 優先日 平成18年3月17日 (2006.3.17)</p> <p>(33) 優先権主張国 台湾 (TW)</p>	<p>(73) 特許権者 504011210 エーユー オプトロニクス コーポレイション AU Optronics Corp. 台湾 シンチュウ, サイエンス-ベイスト インダストリアル パーク, リーシン ロード 2, ナンバー 1</p> <p>(74) 代理人 100102842 弁理士 葛和 清司</p> <p>(72) 発明者 逸・洪孟 台湾新竹科学工業園區新竹市力行二路1號</p> <p>審査官 金高 敏康</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 液晶表示装置及びその画素電極アレイ

(57) 【特許請求の範囲】

【請求項 1】

上部基板、画素アレイを有する下部基板、及び前記上部基板と前記下部基板の間に配置された液晶層を備える液晶表示装置であって、

前記画素アレイは、少なくとも1つの第1の画素電極、少なくとも1つの第2の画素電極及び複数のスイッチ素子を有し、

前記第1の画素電極は、複数の画素領域の基板上に配置され、少なくとも2つの第1のサブ画素電極を有し、該第1のサブ画素電極は、隣り合う前記画素領域上にそれぞれ配置され、前記第1のサブ画素電極の隣り合う対角が接続されて前記第1の画素電極が構成され、

前記第2の画素電極は、少なくとも2つの第2のサブ画素電極を有し、該第2のサブ画素電極は、隣り合う前記画素領域上にそれぞれ配置され、前記第2のサブ画素電極の隣り合う対角が接続されて前記第2の画素電極が構成され、

前記第2の画素電極と前記第1の画素電極とは電位極性が反対で、前記第1の画素電極と前記第2の画素電極とが交互に配列され、前記画素領域上に、それぞれ少なくとも前記第1のサブ画素電極の1つと前記第2のサブ画素電極の1つとが配置され、

前記スイッチ素子は、対応する各画素領域の中にそれぞれ配置され、前記第1の画素電極及び前記第2の画素電極をそれぞれ制御することを特徴とする液晶表示装置。

【請求項 2】

前記第1のサブ画素電極及び前記第2のサブ画素電極を配列してパターンの最小重複ユ

10

20

ニットを形成し、2つの前記第1のサブ画素電極は、それぞれ平行四辺形の2つの一方の対角上に配置され、2つの前記第2のサブ画素電極は、それぞれ前記平行四辺形の2つの他方の対角上に配置されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

上部基板、画素アレイを有する下部基板、及び前記上部基板と前記下部基板の間に配置された液晶層を備える液晶表示装置であって、

前記画素アレイは、少なくとも1つの第1の画素電極、少なくとも1つの第2の画素電極及び複数のスイッチ素子を有し、

前記第1の画素電極は、複数の画素領域を有する基板上に配置され、少なくとも2つの第1のサブ画素電極を有し、該第1のサブ画素電極は、前記画素領域が共有する一角の2つの前記画素領域上に配置され、前記第1のサブ画素電極の隣り合う対角が接続されて前記第1の画素電極が構成され、

10

前記第2の画素電極は、少なくとも2つの第2のサブ画素電極を有し、該第2のサブ画素電極は、前記画素領域が共有する一角の2つの前記画素領域上に配置され、前記第2のサブ画素電極の隣り合う対角が互いに接続されて前記第2の画素電極が構成され、

前記第2の画素電極と前記第1の画素電極とは電位極性が反対であり、前記第1の画素電極と前記第2の画素電極とは交互に配列され、前記画素領域上に、それぞれ少なくとも前記第1のサブ画素電極の1つと前記第2のサブ画素電極の1つとが配置され、

前記スイッチ素子は、対応する各画素領域の中にそれぞれ配置され、前記第1の画素電極及び前記第2の画素電極をそれぞれ制御することを特徴とする液晶表示装置。

20

【請求項4】

前記第1のサブ画素電極及び前記第2のサブ画素電極を配列してパターンの最小重複ユニットを形成し、2つの前記第1のサブ画素電極は、それぞれ平行四辺形の2つの一方の対角上に配置され、2つの前記第2のサブ画素電極は、それぞれ前記平行四辺形の2つの他方の対角上に配置されていることを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特にサブ画素電極(sub-pixel electrode)を有する液晶表示装置に関する。

30

【背景技術】

【0002】

MVA(multi-domain vertical alignment)型液晶表示装置は、広視野角や高画質などの長所を有するため、非常に注目されている。従来のMVA型液晶表示装置は、2つの透明基板の内表面上に複数の突起又はスリットを形成することにより、突起又はスリットの箇所とその周囲にある液晶分子の配向方向を、平坦箇所にある液晶分子の配列方向に対して傾け、液晶表示装置の視野角を向上させていた。

【0003】

特許文献1では、MVA型液晶表示装置の透明基板の内表面上にあるスリットに印加する横電界を増大させるために、スリットの箇所にある液晶分子の配列方向の傾き角度を増大させ、液晶分子の応答時間(response time)を短縮し、1つの画素電極を2つのサブ画素電極へ分割していた。その後、それら2つのサブ画素電極の電位を等しくするとともに電極を反転させて1つのスリットで隔離し、スリット上に横電界を形成させて液晶分子の応答時間を短縮していた。

40

【0004】

しかし、この特許文献1では、2つのサブ画素電極の駆動素子にするために、2つのサブ画素電極をスイッチ素子にそれぞれ接続しなければならなかった。そのため、各画素電極の駆動素子の数は元の2倍となり、サブ画素電極の間を交差させてコンタクトホールを配置しなければ、それぞれの信号を送ることはできなかった。また、1つの画素電極を複数のサブ画素電極に分割した場合、極性が同じサブ画素電極は、さらに導線で接続して同

50

一のスイッチ素子を駆動素子にしなければならなかった。そのため、これら導線のために回路及び製造工程は複雑となった。

【0005】

【特許文献1】米国特許第6922183号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の第1の目的は、画素電極の駆動スイッチ素子の数を増やす必要のないサブ画素電極を有する液晶表示装置を提供することにある。

本発明の第2の目的は、既存の信号線とスイッチ素子だけで隣り合うサブ画素電極の極性が反対のサブ画素電極を有する液晶表示装置を提供することにある。

本発明の第3の目的は、画面表示の応答時間が短いサブ画素電極を有する液晶表示装置を提供することにある。

【課題を解決するための手段】

【0007】

本発明の一態様は、上部基板、画素アレイを有する下部基板、及び前記上部基板と前記下部基板の間に配置された液晶層を備える液晶表示装置であって、前記画素アレイは、少なくとも1つの第1の画素電極、少なくとも1つの第2の画素電極及び複数のスイッチ素子を有し、前記第1の画素電極は、複数の画素領域の基板上に配置され、少なくとも2つの第1のサブ画素電極を有し、該第1のサブ画素電極は、隣り合う前記画素領域上にそれぞれ配置され、前記第1のサブ画素電極の隣り合う対角が接続されて前記第1の画素電極が構成され、前記第2の画素電極は、少なくとも2つの第2のサブ画素電極を有し、該第2のサブ画素電極は、隣り合う前記画素領域上にそれぞれ配置され、前記第2のサブ画素電極の隣り合う対角が接続されて前記第2の画素電極が構成され、前記第2の画素電極と前記第1の画素電極とは電位極性が反対で、前記第1の画素電極と前記第2の画素電極とが交互に配列され、前記画素領域上に、それぞれ少なくとも前記第1のサブ画素電極の1つと前記第2のサブ画素電極の1つとが配置され、前記スイッチ素子は、対応する各画素領域の中にそれぞれ配置され、前記第1の画素電極及び前記第2の画素電極をそれぞれ制御することを特徴とする液晶表示装置に関する。

【0008】

本発明の一態様は、液晶表示装置であって、前記第1のサブ画素電極及び前記第2のサブ画素電極を配列してパターンの最小重複ユニットを形成し、2つの前記第1のサブ画素電極は、それぞれ平行四辺形の2つの一方の対角上に配置され、2つの前記第2のサブ画素電極は、それぞれ前記平行四辺形の2つの他方の対角上に配置されていることを特徴とする。

【0009】

本発明の一態様は、上部基板、画素アレイを有する下部基板、及び前記上部基板と前記下部基板の間に配置された液晶層を備える液晶表示装置であって、前記画素アレイは、少なくとも1つの第1の画素電極、少なくとも1つの第2の画素電極及び複数のスイッチ素子を有し、前記第1の画素電極は、複数の画素領域を有する基板上に配置され、少なくとも2つの第1のサブ画素電極を有し、該第1のサブ画素電極は、前記画素領域が共有する一角の2つの前記画素領域上に配置され、前記第1のサブ画素電極の隣り合う対角が接続されて前記第1の画素電極が構成され、前記第2の画素電極は、少なくとも2つの第2のサブ画素電極を有し、該第2のサブ画素電極は、前記画素領域が共有する一角の2つの前記画素領域上に配置され、前記第2のサブ画素電極の隣り合う対角が互いに接続されて前記第2の画素電極が構成され、前記第2の画素電極と前記第1の画素電極とは電位極性が反対であり、前記第1の画素電極と前記第2の画素電極とは交互に配列され、前記画素領域上に、それぞれ少なくとも前記第1のサブ画素電極の1つと前記第2のサブ画素電極の1つとが配置され、前記スイッチ素子は、対応する各画素領域の中にそれぞれ配置され、前記第1の画素電極及び前記第2の画素電極をそれぞれ制御することを特徴とする液晶表

10

20

30

40

50

示装置に関する。

【0010】

本発明の一態様は、液晶表示装置であって、前記第1のサブ画素電極及び前記第2のサブ画素電極を配列してパターンの最小重複ユニットを形成し、2つの前記第1のサブ画素電極は、それぞれ平行四辺形の2つの一方の対角上に配置され、2つの前記第2のサブ画素電極は、それぞれ前記平行四辺形の2つの他方の対角上に配置されていることを特徴とする。

【発明の効果】

【0011】

本発明の液晶表示装置及びその画素電極アレイは、画素電極が複数のサブ画素電極に分割されているが、構造上切断されていないため、1つの画素は1つの駆動スイッチ素子だけを使用する。第1の画素電極と第2の画素電極が交互に配列されているため、信号線及び駆動スイッチ素子の数を増やさずに、隣り合う第1の画素電極と第2の画素電極の電位を等しくして電極を反転させるだけで、各画素領域上に極性が反対である少なくとも1つの第1のサブ画素電極と少なくとも1つの第2のサブ画素電極とを形成することができる。

【発明を実施するための最良の形態】

【0012】

本発明の液晶表示装置は、各画素電極が複数のサブ画素電極に分割され、同一の画素の中にある隣り合うサブ画素電極の極性が反転されている。そして、既存の信号線及びスイッチ素子を使用するため、画素電極の駆動スイッチ素子の数は増やす必要がなく、同一画素の中にある隣り合うサブ画素電極の極性を反転させて液晶表示装置の画面表示の応答時間を短縮させることができる。

【0013】

(第1実施形態)

図1は、本発明の第1実施形態による液晶表示装置の画素アレイを示す平面図である。図1に示すように、画素アレイ100は、2つのサブ画素電極110a、110bを含む画素電極110から構成される。サブ画素電極110a、110bは、隣り合う2つの画素領域120上にそれぞれ配置され、サブ画素電極110aとサブ画素電極110bの間が連結領域110cにより接続されている。同様に、画素電極115は、2つのサブ画素電極115a、115bを含み、これらサブ画素電極115a、115bは、それぞれ隣り合う2つの画素領域120上に配置され、サブ画素電極115aとサブ画素電極115bの間が連結領域115cにより接続されている。

【0014】

上述の画素領域120は、走査線130とデータ線140との交差により画定された領域である。その上、各画素領域120の隅にはスイッチ素子150が1つ配置されている。本実施形態のスイッチ素子150は薄膜トランジスタであり、そのゲート、ソース及びドレインは、それぞれ走査線130、データ線140により、サブ画素電極110b又はサブ画素電極115bに接続されている。

【0015】

上述のように、図1に示す画素電極110、115は、スイッチ素子基板上で交互に配置されており、隣り合う画素電極110、115の極性を反対にして、同一の画素領域120上に、正負極が反対の2つのサブ画素電極115a、110bが設けられている。サブ画素電極115a、110bは、2つの異なる画素電極115、110に属するが、画素電極110又は画素電極115の2つのサブ画素電極110a、110b又はサブ画素電極115a、115bが互いに接続されているため、1つの画素電極110又は画素電極115に、1つのスイッチ素子150を配置するだけで画素電極110、115を駆動させることができる。なお隣り合う画素電極110、115の極性を反転させる方法は、従来のドット反転(dot inversion)駆動などの適当な方法でもよい。

【0016】

(第2実施形態)

図2は、第1実施形態の変形態様である第2実施形態による液晶表示装置の画素アレイを示す平面図である。図2に示すように、画素アレイ200は、3つのサブ画素電極210a、210b、210cに分割された画素電極210から構成される。サブ画素電極210a、210b、210cは、隣り合う2つの画素領域220上に配置され、サブ画素電極210a、210b、210cの間は切断された状態でなく、連結領域210d、210eにより接続された状態である。同様に、画素電極215は、3つのサブ画素電極215a、215b、215cに分割され、これらサブ画素電極215a、215b、215cは、隣り合う2つの画素領域220上に配置され、サブ画素電極215a、215b、215cの間は切断された状態でなく、連結領域215d、215eにより接続された状態である。

10

【0017】

上述の画素領域220は、走査線230とデータ線240との交差により画定された領域である。その上、各画素領域220の隅にはスイッチ素子250が1つ配置されている。本実施形態のスイッチ素子250は薄膜トランジスタであり、そのゲート、ソース及びドレインは、それぞれ走査線230、データ線240により、サブ画素電極210c又はサブ画素電極215cに接続されている。

【0018】

上述したように、図2に示す画素電極210、215は、スイッチ素子基板上に交互に配置されて隣り合う画素電極210、215の極性が反転され、同一の画素領域220上に、正負極が反対の3つのサブ画素電極210a、215b、210cが設けられる。サブ画素電極210a、215b、210cは、2つの異なる画素電極210、215に属するが、画素電極210又は画素電極215のサブ画素電極210a、210b、210c又はサブ画素電極215a、215b、215cの間が接続されているため、1つの画素電極210又は画素電極215には、スイッチ素子250を1つだけ配置すれば十分である。隣り合う画素電極210、215の極性を反転させる方法は、従来のドット反転(dot inversion)駆動などの適当な方法でもよい。

20

【0019】

(第3実施形態)

図3は、本発明の第3実施形態による液晶表示装置の画素アレイを示す平面図である。図3に示すように、画素アレイ300は、2つのサブ画素電極310a、310bに分割された画素電極310から構成される。第1実施形態及び第2実施形態と異なり、第3実施形態のサブ画素電極は、形状が四角形でなく三角形であり、サブ画素電極310a、310bがそれぞれ共有する一角である2つの画素領域320上に配置されている。サブ画素電極310aとサブ画素電極310bとの間には、切断された状態でなく、連結領域310cにより接続された状態である。同様に、画素電極315は、2つのサブ画素電極315a、315bに分割されている。これらサブ画素電極315a、315bは、それぞれ共有する一角である2つの画素領域320上に配置され、サブ画素電極315aとサブ画素電極315bの間は、切断された状態でなく、連結領域315cにより接続された状態である。

30

40

【0020】

上述の画素領域320は、走査線330とデータ線340との交差により画定された領域である。その上、各画素領域320の隅には1つのスイッチ素子350が配置されている。本実施形態のスイッチ素子350は薄膜トランジスタであり、そのゲート、ソース及びドレインは、それぞれ走査線330、データ線340により、サブ画素電極310a又はサブ画素電極315aに接続されている。

【0021】

上述したように、図3に示す画素電極310、315は、スイッチ素子基板上に交互に配置されてから、画素電極310、315の極性を反転させるだけで、同一の画素領域320上に、正負極が反対の2つのサブ画素領域310b、315a又はサブ画素領域31

50

5 b、3 1 0 aを配置させることができる。同様にサブ画素電極3 1 0 b、3 1 5 a又はサブ画素電極3 1 5 b、3 1 0 aは、2つの異なる画素電極3 1 0、3 1 5に属するが、画素電極3 1 0又は画素電極3 1 5の2つのサブ画素電極3 1 0 a、3 1 0 b又はサブ画素電極3 1 5 a、3 1 5 bの間が互いに接続された状態であるため、1つの画素電極(3 1 0又は3 1 5)にはスイッチ素子3 5 0を1つ配置するだけで十分である。隣り合う画素電極3 1 0、3 1 5の極性を反転させる方法は、従来のドット反転(dot inversion)駆動などの適当な方法で行ってもよい。

【0022】

上述の画素アレイ構造は、平面表示装置(例えば液晶表示装置)に適用することができる。図4は、一般の液晶表示装置を示す断面図である。図4に示すように、液晶表示装置400は、下部基板410、上部基板420、及びそれらの間に配置された液晶層430を備える。液晶表示装置400の下部基板410及び上部基板420には、様々な態様がある。その第1の態様は、下部基板410が制御回路基板であり、上部基板420がカラーフィルタ板である態様である。第2の態様は、下部基板410上に制御回路及びカラーフィルタ層が配置され、上部基板420が1層の共通電極だけを有する態様である。この場合、制御回路とカラーフィルタ層との上下関係により、COA(color filter on array)構造とAOC(array on color filter)構造の二種類がある。上述の液晶表示装置の様々な態様は、当該施術を熟知する者であれば分かるため、ここでは詳しく述べず、図4でも省略されている。

【0023】

上述したことから分かるように、本発明の液晶表示装置の画素アレイは、画素電極が複数のサブ画素電極に分割されているが、その構造は切断されていないため、1つの画素は1つの駆動スイッチ素子だけを使用することができる。また、極性が異なる画素電極が交互に配列されているため、信号線及び駆動スイッチ素子を増やさずに、各画素領域上に極性が反対である少なくとも2つのサブ画素電極を配置させることができる。

【0024】

当該施術を熟知するものが理解できるように、本発明の好適な実施形態を前述の通り開示したが、これらは決して本発明を限定するものではない。本発明の主旨と範囲を脱しない範囲内で各種の変更や修正を加えることができる。従って、本出願による特許請求の範囲は、このような変更や修正を含めて広く解釈されるべきである。

【図面の簡単な説明】

【0025】

【図1】本発明の第1実施形態による液晶表示装置の画素アレイを示す平面図である。

【図2】本発明の第2実施形態による液晶表示装置の画素アレイを示す平面図である。

【図3】本発明の第3実施形態による液晶表示装置の画素アレイを示す平面図である。

【図4】一般の液晶表示装置を示す断面図である。

【符号の説明】

【0026】

100 画素アレイ
 200 画素アレイ
 300 画素アレイ
 110 画素電極
 210 画素電極
 310 画素電極
 115 画素電極
 215 画素電極
 315 画素電極

【0027】

110a サブ画素電極
 110b サブ画素電極

10

20

30

40

50

1 1 0 c	連結領域	
1 1 5 a	サブ画素電極	
1 1 5 b	サブ画素電極	
1 1 5 c	連結領域	
1 2 0	画素領域	
2 2 0	画素領域	
3 2 0	画素領域	
1 3 0	走査線	
2 3 0	走査線	
【 0 0 2 8 】		10
3 3 0	走査線	
1 4 0	データ線	
2 4 0	データ線	
3 4 0	データ線	
1 5 0	スイッチ素子	
2 5 0	スイッチ素子	
3 5 0	スイッチ素子	
2 1 0 a	サブ画素電極	
2 1 0 b	サブ画素電極	
2 1 0 c	サブ画素電極	20
2 1 0 d	連結領域	
2 1 0 e	連結領域	
2 1 5 a	サブ画素電極	
2 1 5 b	サブ画素電極	
2 1 5 c	サブ画素電極	
2 1 5 d	連結領域	
2 1 5 e	連結領域	
【 0 0 2 9 】		
3 1 0 a	サブ画素電極	
3 1 0 b	サブ画素電極	30
3 1 0 c	連結領域	
3 1 5 a	サブ画素電極	
3 1 5 b	サブ画素電極	
3 1 5 c	連結領域	
4 0 0	液晶表示装置	
4 1 0	下部基板	
4 2 0	上部基板	
4 3 0	液晶層	

【 図 1 】

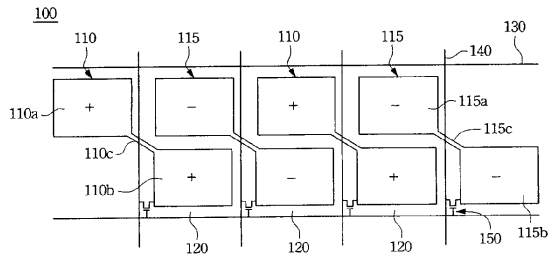


図 1

【 図 2 】

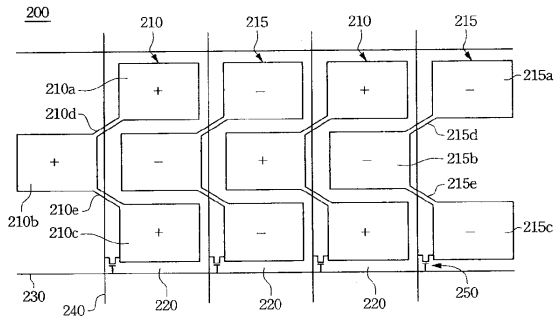


図 2

【 図 3 】

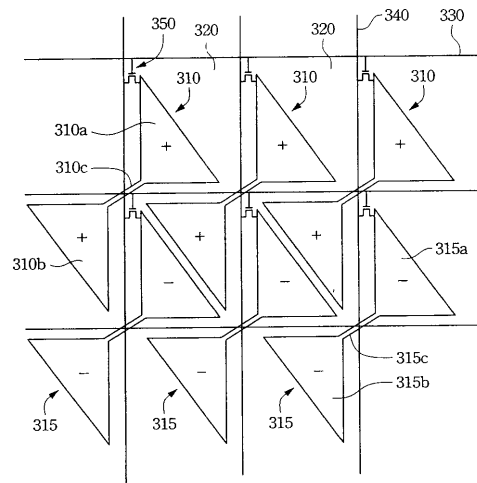


図 3

【 図 4 】

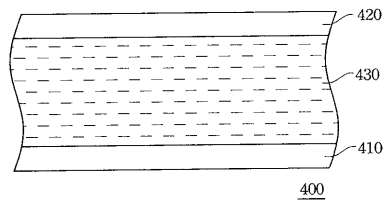


図 4

フロントページの続き

(56)参考文献 国際公開第2005/040904(WO, A1)
米国特許出願公開第2004/85272(US, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

专利名称(译)	液晶显示装置及其像素电极阵列		
公开(公告)号	JP4394114B2	公开(公告)日	2010-01-06
申请号	JP2006342605	申请日	2006-12-20
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	逸洪孟		
发明人	逸·洪孟		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G09G3/3648 G02F2001/134345 G09G3/3614 G09G2300/0426 G09G2300/0443 G09G2300/0447		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/JA24 2H092/JA46 2H092/JB04 2H092/JB05 2H092/JB31 2H092/JB45 2H092/NA01 2H092/NA05 2H092/PA02 2H092/PA06 2H192/AA24 2H192/BC01 2H192/BC13 2H192/EA42 2H192/EA43 2H192/GD61		
优先权	095109332 2006-03-17 TW		
其他公开文献	JP2007249178A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供在屏幕显示中具有快速响应时间的液晶显示器，并提供其像素电极阵列。解决方案：液晶显示器的像素电极阵列设置有第一像素电极110和第二像素电极115。第一像素电极110布置在彼此相邻或共用一个角的两个像素区域120上，并且包括至少第一子像素电极110a和110b，它们彼此相邻并对角连接。第二像素电极115分布在彼此相邻或共用一个角的两个像素区域120上，并包括至少两个彼此相邻且对角连接的第二子像素电极115a和115b。第二像素电极115的极性与第一像素电极110的极性相反，第一像素电极110和第二像素电极115交替排列；第一子像素电极110a和110b中的至少一个，以及第二电极115a和115b中的至少一个布置在每个像素区域120上。

【图 3】

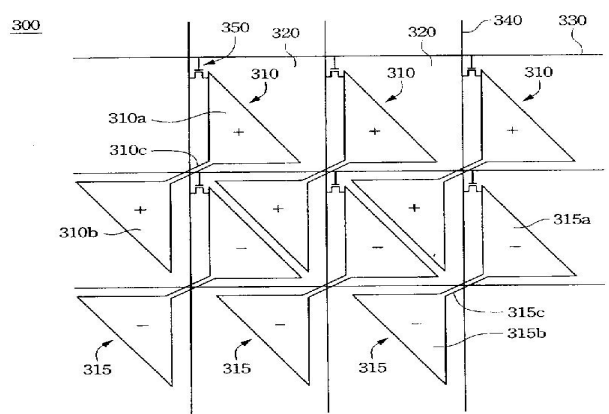


图 3