

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4386102号
(P4386102)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1337 (2006.01) GO2F 1/1337

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2007-170074 (P2007-170074)	(73) 特許権者	304053854 エプソンイメージングデバイス株式会社 長野県安曇野市豊科田沢6925
(22) 出願日	平成19年6月28日(2007.6.28)	(74) 代理人	100095728 弁理士 上柳 雅誉
(65) 公開番号	特開2009-8877 (P2009-8877A)	(74) 代理人	100107261 弁理士 須澤 修
(43) 公開日	平成21年1月15日(2009.1.15)	(74) 代理人	100127661 弁理士 宮坂 一彦
審査請求日	平成20年2月28日(2008.2.28)	(72) 発明者	堀口 正寛 長野県安曇野市豊科田沢6925 エプソ ンイメージングデバイス株式会社内
		(72) 発明者	金子 英樹 長野県安曇野市豊科田沢6925 エプソ ンイメージングデバイス株式会社内 最終頁に続く

(54) 【発明の名称】 横電界方式の液晶表示パネル

(57) 【特許請求の範囲】

【請求項 1】

平行に設けられた複数の走査線及びコモン配線と、前記走査線と交差する方向に設けられた複数の信号線と、前記走査線及び信号線の交差部近傍に設けられたスイッチング素子と、前記走査線及び信号線で区画された領域に形成された第1電極と、前記第1電極上に絶縁膜を介して前記第1電極と重複するように形成され、複数のストライプ状のスリットが形成された第2電極と、を有するFFS方式の液晶表示パネルにおいて、
前記走査線上の絶縁膜の表面には導電性材料からなるシールド電極が形成され、
前記第1電極は前記コモン配線に接続され、
前記第2電極は、前記スイッチング素子の電極上に形成された第1のコンタクトホールを
介して前記スイッチング素子に接続され、
前記シールド電極は、コモン配線上に形成された第2のコンタクトホールを介して前記コ
モン配線と接続されていると共に、隣接する画素の前記第1電極上に形成された第3の
コンタクトホールを介して前記隣接する画素の第1電極と接続されていることを特徴とする
FFS方式の液晶表示パネル。

【請求項 2】

前記シールド電極は前記第2電極と同一の材料で形成されていることを特徴とする請求項1に記載のFFS方式の液晶表示パネル。

【請求項 3】

前記第1電極は前記スイッチング素子の電極上に形成された第1のコンタクトホールを介

10

20

して前記スイッチング素子に接続され、前記シールド電極は前記第 2 電極と同一の材料で前記第 2 電極と一体に形成されていることを特徴とする請求項 1 に記載の F F S 方式 の液晶表示パネル。

【請求項 4】

前記シールド電極は前記走査線の半分以上を被覆していることを特徴とする請求項 1 ~ 3 のいずれかに記載の F F S 方式 の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フリンジ・フィールド・スイッチング (Fringe Field Switching: 以下、「F F S」という。) モード等の横電界方式の液晶表示パネルに関し、特に走査線に印加される電圧に起因する焼き付き防止手段を備えた横電界方式の液晶表示パネルに関する。

【背景技術】

【0002】

液晶表示パネルとしては、T N (Twisted Nematic) モード、V A (Vertical Alignment) モード、M V A (Multi-domain Vertical Alignment) モード等の縦電界方式のものが多く使用されているが、一方の基板にのみ電極を備えた横電界方式の液晶表示パネルも知られている、この横電界方式の液晶表示パネルのうち、I P S (In-Plane Switching) モードの液晶表示パネルの動作原理を図 9 ~ 図 11 を用いて説明する (下記特許文献 1 及び 2 参照)。

【0003】

なお、図 9 は従来例の I P S モードの液晶表示パネルの 1 画素分の模式平面図である。図 10 は図 9 の X - X 線に沿った断面図である。図 11 は図 9 の XI - XI 線に沿った断面図である。

【0004】

この I P S モードの液晶表示パネル 50 は、アレイ基板 A R とカラーフィルタ基板 C F とを備えている。アレイ基板 A R は、第 1 の透明基板 51 の表面にそれぞれ平行に複数の走査線 52 及びコモン配線 53 が設けられ、これら走査線 52 及びコモン配線 53 に交差する方向に複数の信号線 54 が設けられている。そして、各画素の中央部にコモン配線 53 から帯状に、図 9 においては例えば櫛歯状の対向電極 (「共通電極」ともいわれる) 55 が設けられ、この対向電極 55 の周囲を挟むように同じく櫛歯状の画素電極 56 が設けられている。そして、この対向電極 55 及び画素電極 56 の表面は例えば窒化珪素からなる保護絶縁膜 57 及びポリイミド等からなる配向膜 58 によって被覆されている。

【0005】

また、走査線 52 と信号線 54 との交差点近傍にはスイッチング素子としての T F T (Thin Film Transistor: 薄膜トランジスタ) が形成されている。この T F T は、走査線 52 と信号線 54 との間に半導体層 59 が配置され、半導体層 59 上の信号線部分が T F T のソース電極 S を構成し、半導体層 59 の下部の走査線 12 部分がゲート電極 G を構成し、また、半導体層 59 の一部分と重なる導電性層がドレイン電極 D を構成しており、このドレイン電極 D は画素電極 56 に接続されている。

【0006】

また、カラーフィルタ基板 C F は、第二の透明基板 60 の表面にカラーフィルタ層 61、オーバーコート層 62 及び配向膜 63 が設けられた構成を有している。そして、アレイ基板 A R の画素電極 56 及び対向電極 55 とカラーフィルタ基板 C F のカラーフィルタ層 61 側とが互いに対向するようにアレイ基板 A R 及びカラーフィルタ基板 C F を対向させる。次いで、アレイ基板 A R とカラーフィルタ基板 C F の間に液晶 L C を封入すると共に、両基板のそれぞれ外側に偏光板 64 及び 65 を偏光方向が互いに交差する方向となるように配置することにより、I P S モードの液晶表示パネル 50 が形成される。

【0007】

この I P S モードの液晶表示パネル 50 は、図 10 及び図 11 に示したように、画素電

10

20

30

40

50

極 5 6 と対向電極 5 5 との間に電界を形成すると、水平方向に配向していた液晶が水平方向に回転することによりバックライトからの入射光の透過量を制御することができるようになる。この IPS モードの液晶表示パネル 5 0 は、広視野角で、高コントラストであるという長所があるが、対向電極 5 5 がコモン配線 5 3 ないし走査線 5 2 と同じ金属材料で形成されるために開口率及び透過率が低く、又、視角による色変化があるという問題点が存在する。

【 0 0 0 8 】

このような IPS モードの液晶表示パネルの低開口率及び低透過率という問題点を解決するために、 FFS モードの液晶表示パネルが開発されている（下記特許文献 3 及び 4 参照）。この FFS モードの液晶表示パネルの動作原理を図 1 2 ~ 図 1 5 を用いて説明する。

10

【 0 0 0 9 】

なお、図 1 2 は従来例の FFS モードの液晶表示パネルの 1 画素分の模式平面図である。図 1 3 は図 1 2 の XIII - XIII 線に沿った断面図である。図 1 4 は図 1 2 の XIV - XIV 線に沿った断面図である。図 1 5 は画素電極のスリットを傾けた構造とした FFS モードの液晶表示パネルの 1 画素分の模式平面図である。

【 0 0 1 0 】

この FFS モードの液晶表示パネル 7 0 A は、アレイ基板 A R とカラーフィルタ基板 C F とを備えている。アレイ基板 A R は、第 1 の透明基板 7 1 の表面にそれぞれ平行に複数の走査線 7 2 及びコモン配線 7 3 が設けられ、これら走査線 7 2 及びコモン配線 7 3 に交差する方向に複数の信号線 7 4 が設けられている。そして、走査線 7 2 及び信号線 7 4 で区画された領域のそれぞれを覆うようにコモン配線 7 3 に接続された ITO (Indium Tin Oxide) や IZO (indium Zinc Oxide) 等からなる透明材料で形成された共通電極（「対向電極」ともいわれる）7 5 が設けられている。この共通電極 7 5 の表面に絶縁膜 7 6 を介してストライプ状に複数のスリット 7 7 A が形成された ITO 等の透明材料からなる画素電極 7 8 A が設けられている。そして、この画素電極 7 8 A 及び複数のスリット 7 7 A 部の表面は配向膜 8 0 により被覆されている。

20

【 0 0 1 1 】

そして、走査線 7 2 と信号線 7 4 との交差位置の近傍にはスイッチング素子としての TFT が形成されている。この TFT は、走査線 7 2 の表面に半導体層 7 9 が配置され、半導体層 7 9 の表面の一部を覆うように信号線 7 4 の一部が延在されてソース電極 S を構成し、半導体層 7 9 の下部の走査線部分がゲート電極 G を構成し、また、半導体層 7 9 の一部分と重なる導電性層がドレイン電極 D を構成しており、このドレイン電極 D は画素電極 7 8 A に接続されている。

30

【 0 0 1 2 】

また、カラーフィルタ基板 C F は、第二の透明基板 8 2 の表面にカラーフィルタ層 8 3 、オーバーコート層 8 4 及び配向膜 8 5 が設けられた構成を有している。そして、アレイ基板 A R の画素電極 7 8 A 及び共通電極 7 5 とカラーフィルタ基板 C F のカラーフィルタ層 8 3 とが互いに対向するようにアレイ基板 A R 及びカラーフィルタ基板 C F を対向させる。次いで、アレイ基板 A R とびカラーフィルタ基板の間に液晶 LC を封入すると共に、両基板のそれぞれ外側に偏光板 8 6 及び 8 7 を偏光方向が互いに直交する方向となるように配置することにより、 FFS モードの液晶表示パネル 7 0 A が形成される。

40

【 0 0 1 3 】

この FFS モードの液晶表示パネル 7 0 A は、画素電極 7 8 A と共通電極 7 5 の間に電界を形成すると、図 1 3 及び図 1 4 に示したように、この電界は画素電極 7 8 A の両側で共通電極 7 5 に向かう。そのため、スリット 7 7 A に存在する液晶だけでなく画素電極 7 8 A 上に存在する液晶も動くことができる。従って、 FFS モードの液晶表示パネル 7 0 A は、 IPS モードの液晶表示パネル 5 0 よりも広視野角かつ高コントラストであり、更に高透過率であるため明るい表示が可能となるという特徴を備えている。加えて、 FFS モードの液晶表示パネル 7 0 A は、 IPS モードの液晶表示パネル 5 0 よりも平面視で画

50

素電極 78A と共通電極 75 との重複面積が大きいことにより大きな保持容量が副次的に生じ、別途補助容量線を設ける必要がなくなるという長所も存在する。

【0014】

なお、FFSモードの液晶表示パネルにおいては、表示特性上、ラビング方向は信号線と直交するのがよく、また画素電極とラビング方向とは微小角度の傾きを設けた方がよいことから、図15に示したFFSモードの液晶表示パネル70Bのように画素電極78Bに設けるストライプ状のスリット77Bを走査線72ないしコモン配線73に対して傾いた構造とすることが行われている。なお、図15に示したFFSモードの液晶表示パネル70Bは図12に示したFFSモードの液晶表示パネル70Aとは画素電極78Bに設けるスリット77Bの傾きが相違するのみであるので、図12に示したFFSモードの液晶表示パネル70Aと同一の構成部分については同一の参照符号を付与してその詳細な説明は省略する。

10

【特許文献1】特開平10-319371号公報（段落[0005]、[0053]、[0065]～[0077]、図2、図5、図6）

【特許文献2】特開2002-131767号公報（特許請求の範囲、段落[0006]～[0009]、[0018]～[0077]、図1、図3）

【特許文献3】特開2002-14363号公報（特許請求の範囲、段落[0002]～[0010]、[0019]～[0026]、図1、図2）

【特許文献4】特開2002-244158号公報（特許請求の範囲、段落[0002]～[0013]、[0023]～[0032]、図1～図4）

20

【発明の開示】

【発明が解決しようとする課題】

【0015】

上述のように、FFSモードの液晶表示パネルは、IPSモードの液晶表示パネルよりも広視野角かつ高コントラストであると共に、高透過率であるため明るい表示が可能となる。更に、FFSモードの液晶表示パネルは、低電圧駆動ができると共に大きな保持容量が副次的に生じるため、別途補助容量線を設けなくても表示画質が良好となるという特徴を備えている。

【0016】

ところで、液晶表示パネルは長時間使用すると焼き付き現象が生じることが知られており、係る点はIPSモードの液晶表示パネルの場合においてもFFSモードの液晶表示パネルの場合においても同様である。しかしながら、上述のような従来のFFSモードの液晶表示パネルにおいては、焼き付き現象が従来のIPSモードの液晶表示パネルに比べると大きく表れることが見出された。発明者等による各種実験によると、FFSモードとIPSモードとの間の焼き付き現象の差異は、画素電極から液晶へ向かう電気力線の経路と液晶から走査線へ向かう電気力線の経路が、IPSモードの液晶表示パネルの場合は対称であるのに対し、FFSモードの液晶表示パネルの場合は非対称であることから生じるものであると推定された。

30

【0017】

すなわち、IPSモード及びFFSモードの液晶表示パネルにおいては、走査線に印加される電圧は、所定の画素の非選択状態においては例えば約-10Vであり、選択状態においては約+15Vである。しかしながら、所定の画素が選択される時間は非常に短いために、走査線には約-10Vの直流電圧が長時間に亘って印加される。しかも、IPSモードの液晶表示パネルの場合、図11の記載から明らかなように、画素電極56から走査線52に向かう電気力線E1は、画素電極56、保護絶縁膜57及び配向膜58を経て液晶層LCに入り、液晶層LCから配向膜58、保護絶縁膜57を経て走査線52に至る。すなわち、IPSモードの液晶表示パネルでは、画素電極56から液晶層LCへ至るまでの電気力線の経路と液晶層LCから走査線52へ至るまでの電気力線の経路とは対称となっている。

40

【0018】

50

これに対し、FFSモードの液晶表示パネルの場合、図14の記載から明らかなように、画素電極78Aから走査線72に向かう電気力線E2は、画素電極78Aから配向膜80を経て液晶層LCに入り、液晶層LCから配向膜80及び絶縁膜76を経て走査線72に至る。すなわち、FFSモードの液晶表示パネルでは、画素電極78Aから液晶層LCへ至るまでの電気力線の経路と液晶層LCから走査線72へ至るまでの電気力線の経路とは非対称となっている。それ故、FFSモードの液晶表示パネルは、IPSモードの液晶表示パネルの場合よりも、画素電極78Aないしその表面の配向膜80は走査線72に印加される信号に起因する直流電界によって不可逆的影響を受け易くなって、焼き付き現象が大きく表れる原因となっているものと推定される。

【0019】

10

このようなFFSモードの液晶表示パネルの焼き付きの問題点を低減するために、画素電極から液晶層へ至るまでの電気力線の経路と液晶層から走査線へ至るまでの電気力線の経路を対称とすることは、FFSモードの液晶表示パネルの動作原理からして困難である。しかしながら、発明者等は、走査線に印加される高電圧の信号に基づく直流電界がその近傍の液晶に印加されないようにすることによりFFSモードの液晶表示パネルの焼き付き現象を低減させることができることを見出し、本発明を完成するに至ったのである。

【0020】

なお、上記特許文献2には、IPSモードの液晶表示パネルにおいて、信号線（ドレイン信号線）あるいは走査線（ゲート信号線）とそれに隣接して配置される電極との間に生じてしまう電界によって液晶が駆動されることによる光漏れを防止する目的で、信号線あるいは走査線のうちの少なくとも一方の上に部分的に重畳された導電層を設けた例が開示されており、しかも、FFSモードの液晶表示パネルについて部分的に示唆する記載もある（段落【0003】～【0004】参照）。しかしながら、上記特許文献2には、FFSモードの液晶表示パネルの具体例は何も示されていないばかりか、IPSモードの液晶表示パネル及びFFSモードの液晶表示パネルにおける焼き付きの問題点を示唆する記載はない。

20

【0021】

すなわち、本発明は、走査線に印加される電圧に起因する焼き付き防止手段を備えたFFSモードの液晶表示パネル等の横電界方式の液晶表示パネルを提供することを目的とする。

30

【課題を解決するための手段】

【0022】

上記目的を達成するため、本発明のFFS方式の液晶表示パネルは、平行に設けられた複数の走査線及びコモン配線と、前記走査線と交差する方向に設けられた複数の信号線と、前記走査線及び信号線の交差部近傍に設けられたスイッチング素子と、前記走査線及び信号線で区画された領域に形成された第1電極と、前記第1電極上に絶縁膜を介して前記第1電極と重複するように形成され、複数のストライプ状のスリットが形成された第2電極と、を有するFFS方式の液晶表示パネルにおいて、
前記走査線上の絶縁膜の表面には導電性材料からなるシールド電極が形成され、
前記第1電極は前記コモン配線に接続され、
前記第2電極は、前記スイッチング素子の電極上に形成された第1のコンタクトホールを介して前記スイッチング素子に接続され、
前記シールド電極は、コモン配線上に形成された第2のコンタクトホールを介して前記コモン配線と接続されていると共に、隣接する画素の前記第1電極上に形成された第3のコンタクトホールを介して前記隣接する画素の第1電極と接続されていることを特徴とする。

40

【0023】

本発明の横電界方式の液晶表示パネルによれば、走査線上の絶縁膜の表面には導電性材料からなるシールド電極が形成されているため、走査線に印加される高電圧の信号はシールド電極によって遮られる。そのため、本発明の横電界方式の液晶表示パネルは、シール

50

ド電極の上部に位置する液晶には走査線からの直流成分が印加されなくなるのでコントラストが向上すると共に、第2電極ないしその表面の配向膜は走査線からの直流電界による不可逆的影響を受けなくなるので焼き付き現象は大幅に低下する。また、このシールド電極は共通配線上に形成されたコンタクトホールを介して共通配線に接続されており、このコンタクトホールはスイッチング素子と第1電極ないし第2電極との接続のためのコンタクトホール形成時に同時に形成することができるため、特にシールド電極用のコンタクトホール形成のための工数が増えることがない。なお、シールド電極と第2電極は同じ材料で形成しても異なる材料で形成してもよい。

【0024】

また、本発明は、上記横電界方式の液晶表示パネルにおいて、前記第1電極は前記共通配線に接続され、前記第2電極は、前記スイッチング素子の電極上に形成された第1のコンタクトホールを介して前記スイッチング素子に接続され、前記シールド電極は、前記共通配線上に形成された第2のコンタクトホールを介して前記共通配線と接続されていることを特徴とする。

10

【0025】

係る態様の横電界方式の液晶表示パネルは、前記第1電極が共通電極を構成し、前記第2電極が画素電極を構成する。係る態様の横電界方式の液晶表示パネルによれば、簡単な構成でシールド電極と第1電極とを接続することができるようになる。また、共通配線に印加される電圧をシールド電極に印加しようとした場合、共通配線と接続した第1電極のみの領域を介してシールド電極を接続するよりも、共通配線上に形成されたコンタクトホールを介してシールド電極を接続した方が、一画素内を有効に利用することができるので、より表示領域を広く確保することができる。そして、もともと表示に直接関係のない共通配線上にコンタクトホールが形成されるため、コンタクトホール周辺で液晶分子の配向に乱れが生じていたとしても表示への影響は少ないため、コントラストを向上することができる。加えて、第2電極とシールド電極との間隙部分にも電界が発生して液晶分子の配向が規制されるので、実質的に横電界方式の液晶表示パネルの開口度が向上したのと同等となり、明るくコントラストが良好な横電界方式の液晶表示パネルが得られる。

20

【0026】

また、本発明は、上記横電界方式の液晶表示パネルにおいて、前記第1電極は前記共通配線に接続され、前記第2電極は、前記スイッチング素子の電極上に形成された第1のコンタクトホールを介して前記スイッチング素子に接続され、前記シールド電極は、共通配線上に形成された第2のコンタクトホールを介して前記共通配線と接続されていると共に、隣接する画素の前記第1電極上に形成された第3のコンタクトホールを介して前記隣接する画素の第1電極と接続されていることを特徴とする。

30

【0027】

係る態様の横電界方式の液晶表示パネルは、第1電極が共通電極を構成し、第2電極が画素電極を構成する。係る態様の横電界方式の液晶表示パネルによれば、簡単な構成でシールド電極と第1電極とを接続することができる。また、上記と同様の効果に加え、更に、走査線に交差する方向の複数の第1電極を直列接続した状態となるため、実質的に共通配線の抵抗が低くなるので、いわゆる配線遅延が少なくなると第1電極の電位が安定化し、クロストークが少なくなる。

40

【0028】

また、本発明は、上記横電界方式の液晶表示パネルにおいて、前記シールド電極は前記第2電極と同一の材料で形成されていることを特徴とする。

【0029】

係る態様の横電界方式の液晶表示パネルによれば、シールド電極を第2電極と同じ材料で形成したため、第2電極の形成時に同時にシールド電極を形成することができ、特にシールド電極の形成のために工数を増やす必要がなくなる。

【0030】

また、本発明は、上記横電界方式の液晶表示パネルにおいて、前記第1電極は前記スイ

50

タッチング素子の電極上に形成された第1のコンタクトホールを介して前記スイッチング素子に接続され、前記シールド電極は前記第2電極と同一の材料で前記第2電極と一体に形成されていることを特徴とする。

【0031】

係る態様の横電界方式の液晶表示パネルは、前記第1電極が画素電極を構成し、前記第2電極が共通電極を構成する。係る態様の横電界方式の液晶表示パネルによれば、第2電極とシールド電極が同一材料で一体に形成されているため、第2電極の形成時に同時にシールド電極部分も形成することができる。そのため、構成が簡単で、容易に製造することができ、しかも、コントラストが良好な横電界方式の液晶表示パネルが得られる。

【0032】

また、本発明は、上記横電界方式の液晶表示パネルにおいて、前記シールド電極は前記走査線の半分以上を被覆していることを特徴とする。

【0033】

係る態様の横電界方式の液晶表示パネルによれば、シールド電極により走査線の半分以上を被覆するようにしたため、走査線に印加される高電圧の信号に起因する電界が液晶分子、延いては第2電極に影響を及ぼすことが少なくなるので、焼き付き現象が発生し難くなる。このシールド電極による走査線の被覆範囲が半分未満であるとその被覆範囲が狭くなるに従って焼き付き現象が大きくなるので好ましくない。すなわち、シールド電極による走査線の被覆範囲が大きくなるとそれに比例して横電界方式の液晶表示パネルの焼き付き現象が発生し難くなる。

【発明を実施するための最良の形態】

【0034】

以下、図面を参照して本発明の最良の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための横電界方式の液晶表示パネルとしてFFSモードの液晶表示パネルを例示するものであって、本発明をこのFFSモードの液晶表示パネルに特定することを意図するものではなく特許請求の範囲に含まれるその他の実施形態のものにも等しく適応し得るものである。

【0035】

なお、図1は実施例1のFFSモードの液晶表示パネルのカラーフィルタ基板を透視して表した2画素分の概略平面図である。図2は図1のII-II線に沿った断面図である。図3は図1のIII-III線に沿った断面図である。図4は実施例2のFFSモードの液晶表示パネルのカラーフィルタ基板を透視して表した2画素分の概略平面図である。図5は図4のV-V線に沿った断面図である。図6は実施例3のFFSモードの液晶表示パネルのカラーフィルタ基板を透視して表した2画素分の概略平面図である。図7は図5のVII-VII線に沿った断面図である。図8は図5のVIII-VIII線に沿った断面図である。

【実施例1】

【0036】

実施例1のFFSモードの液晶表示パネル10Aのアレイ基板ARを製造工程順に図1～図3を用いて説明する。この実施例1のFFSモードの液晶表示パネル10Aのアレイ基板ARは、ガラス基板等の透明基板11の表面全体に亘って例えば下部がAl金属からなり表面がMo金属からなる2層膜を形成した後、フォトリソグラフィ法及びエッチング法によってMo/Alの2層配線からなる複数の走査線12及び複数のコモン配線13を互いに平行になるように形成する。なお、アルミニウムは抵抗値が小さいという長所を持っているが、その反面、腐食しやすい、ITOやITO等との接触抵抗が高いなどの欠点があるため、アルミニウムをモリブデンで覆った多層構造にすることでそうした欠点を改善できる。そして、コモン配線13は、走査線12に沿って設けられており、それぞれの画素毎に後述するコンタクトホール形成部分に部分的に幅が広がった部分13₁が形成されている。

【0037】

また、実施例1においては、隣接する前段の画素の走査線12の側に沿って形成してい

10

20

30

40

50

る。そして、コンタクトホールが形成される部分 13₁ は、自画素側において幅が広くなっており、また後述する T F T が形成される位置（ゲート電極 G）とはちょうど対称となる位置に設けられている。なお、コモン配線 13 は自画素の走査線 12 の側に設けてもよいし、前段の画素の走査線 12 と自画素の走査線 12 との中間位置に設けてもよい。

【0038】

次いで、走査線 12 及びコモン配線 13 を形成した透明基板 11 の表面全体に亘って例えば I T O や I Z O 等からなる透明導電性層を被覆し、同じくフォトリソグラフィー法及びエッチング法によって第 1 電極 14 を形成する。この第 1 電極 14 は、コモン配線 13 とは接続されているが、走査線 12 ないしゲート電極 G とは接続されていない。従って、実施例 1 の F F S モードの液晶表示パネル 10 A においては第 1 電極 14 が共通電極となる。なお、図 3 には走査線 12 の一方の側の第 1 電極 14 がコモン配線 13 上に形成されている例が示されているが、第 1 電極 14 とコモン配線 14 とが電氣的に接続されていれば良く、このような構成とすることは必ずしも必要ではない。

【0039】

更に、この表面全体に窒化硅素層ないしは酸化硅素層からなるゲート絶縁膜 15 を被覆し、次いで、C V D 法によりたとえばアモルファス・シリコン（以下「a - S i」という。）層をゲート絶縁膜 15 の表面全体に亘って被覆した後に、同じくフォトリソグラフィー法及びエッチング法によって、T F T 形成領域に例えば a - S i 層からなる半導体層 16 を形成する。この半導体層 16 が形成されている位置の走査線 12 の領域が T F T のゲート電極 G を形成する。

【0040】

次いで、例えば、M o / A l / M o の 3 層構造の導電性層を半導体層 16 を形成した透明基板 11 の表面全体に亘って被覆し、同じくフォトリソグラフィー法及びエッチング法によって、信号線 17 及びドレイン電極 D を形成する。なお、信号線 17 及びドレイン電極 D の形成材料としては、T i 合金や C r 等も使用できる。この信号線 17 のソース電極 S 部分及びドレイン電極 D 部分は、いずれも半導体層 16 の表面に部分的に重なっている。更に、この基板の表面全体に窒化硅素層からなるパッシベーション膜 18 を被覆する。

【0041】

次いで、ドレイン電極 D に対応する位置のパッシベーション膜 18 にコンタクトホール 19₁ を形成してドレイン電極 D の一部を露出させると共に、コモン配線 13 の部分的に幅が広がった部分 13₁ 上のパッシベーション膜 18 及びゲート絶縁膜 15 にもコンタクトホール 19₂ を形成して第 1 電極 14 ないしコモン配線 13 の一部を露出させる。更に、この表面全体に亘って例えば I T O や I Z O 等からなる透明導電性層を被覆し、同じくフォトリソグラフィー法及びエッチング法によって、図 1 に示したパターンとなるように第 2 電極 21 及びシールド電極 22 を形成する。この第 2 電極 21 は、走査線 12 及び信号線 17 で囲まれた領域のパッシベーション膜 18 上にスリット 20 及び切欠部 20₁ を有するように形成される。また、シールド電極 22 は、走査線 12 上のパッシベーション膜 18 の表面に、第 2 電極 21 との間にそれぞれ隙間 23₁ が生じるように形成される。

【0042】

なお、第 2 電極 21 に形成されるスリット 20 は、実施例では両端が塞がった形状のスリットとなっているが、これに限定されるものではない。例えば、スリットの片側が開放されている形状でもよい。また実施例 1 ではスリット 29 は、どれも同じ方向（右上に向う方向）に傾斜しているが、これに限定されるものではない。例えば第 2 電極 21 を二つの領域に分けるようにして、一方の領域は右上に向う方向のスリット、他方の領域は左上に向う方向のスリットとしてもよい。

【0043】

また、第 2 電極 21 に形成される切欠部 20₁ は、コモン配線 13 の部分的に幅が広がった部分 13₁ と平面視の際に重ならないように、幅広の部分 13₁ を回避するように形成されている。なお画素において、幅広の部分 13₁ をその画素の T F T が形成される

位置（ゲート電極 G）と対向する位置に設けておくことで、第 2 電極 2 1 に形成されるスリット 2 0 をその画素において効率よく形成することができる。

【 0 0 4 4 】

この第 2 電極 2 1 はコンタクトホール 1 9₁ を介してドレイン電極 D と接続されており、シールド電極 2 2 はコンタクトホール 1 9₂ を介して第 1 電極 1 4 及びコモン配線 1 3 と接続されている。従って、実施例 1 の F F S モードの液晶表示パネル 1 0 A においては第 2 電極 2 1 が画素電極となる。なお、T F T の動作特性に影響を与えないようにするため、シールド電極 2 2 は半導体層 1 6 の表面を覆わないようにした方がよい。また、シールド電極 2 2 は第 2 電極 2 1 の形成材料とは異なる材料、例えばアルミニウム等の導電性金属で形成してもよい。

10

【 0 0 4 5 】

さらに、この表面全体に亘り所定の配向膜（図示せず）を形成することによりアレイ基板 A R が完成される。そして、このようにして製造されたアレイ基板 A R と別途製造されたカラーフィルタ基板とを対向させ、周囲をシール材でシールして両基板間に液晶を注入することにより実施例 1 に係る F F S モードの液晶表示パネル 1 0 A が得られる。なお、カラーフィルタ基板の構成は上述した従来例のものと実質的に差異はないので、その詳細な説明は省略する。

【 0 0 4 6 】

このようにして得られた実施例 1 の F F S モードの液晶表示パネル 1 0 A は、走査線 1 2 の表面の少なくとも一部が導電性のシールド電極 2 2 で被覆されているため、走査線 1 2 に印加される高電圧の信号によって生じる直流電界によって液晶が駆動されることがなくなるのでコントラストが向上する。更に、第 2 電極 2 1 ないしその表面の配向膜は、走査線 1 2 からの直流電界による不可逆的影響を受けなくなるので、F F S モードの液晶表示パネル 1 0 A の焼き付き現象は大幅に減少する。また、このシールド電極 2 2 と第 1 電極 1 4 ないしコモン配線 1 3 との接続のためのコンタクトホール 1 9₂ は T F T のドレイン電極 D と第 1 電極 1 8 との接続のためのコンタクトホール 1 9₁ の形成時に同時に形成することができる。そのため、特にシールド電極 2 2 用のコンタクトホール 1 9₂ の形成のための工数が増えることがない。

20

【 0 0 4 7 】

また、コモン配線 1 3 に印加される電圧をシールド電極 2 2 に印加しようとした場合、第 1 電極 1 8 が形成されている領域を介してシールド電極 2 2 を接続すると、第 1 電極を表示として有効に使えない領域が増えてしまうが、コモン配線 1 3 上に形成されたコンタクトホール 1 9₂ を介してシールド電極を接続すれば、もともと表示として寄与しない領域を利用することができるので、表示領域を広く確保することができる。またコンタクトホール 1 9₂ 周辺で液晶分子の配向に乱れが生じていたとしてもコモン配線 1 3 によって遮光されている状態となるため、コントラストを向上することができる。

30

【 0 0 4 8 】

加えて、シールド電極 2 2 と第 2 電極 2 1 との間に隙間 2 3₁ が生じるが、このシールド電極 2 2 はコモン配線 1 3 に接続されているから、この隙間 2 3₁ にも電界が発生して液晶分子の配向が規制される。そのため、実施例 1 の F F S モードの液晶表示パネル 1 0 A は、実質的に横電界方式の液晶表示パネルの開口度が向上したのと同等となり、明るい表示画像が得られる。なお、隙間 2 3₁ での液晶分子の配向について、表示に寄与しなくてもよいということであれば、コモン配線 1 3 の幅広の部分 1 3₁ を大きく形成して、遮光させるようにしてもよい。

40

【 実施例 2 】

【 0 0 4 9 】

実施例 2 の F F S モードの液晶表示パネル 1 0 B を製造工程順に図 4 及び図 5 を用いて説明する。なお、図 4 及び図 5 においては図 1 ～図 3 に示した実施例 1 の F F S モードの液晶表示パネル 1 0 A と同一の構成部分については同一の参照符号を付与して説明することとする。また、実施例 2 の液晶表示パネル 1 0 B においては、図 1 の II - II 線に対応す

50

る部分の断面図は、図 2 と実質的に同一であるので、必要に応じて図 2 を援用して説明することとする。

【 0 0 5 0 】

この実施例 2 の F F S モードの液晶表示パネル 1 0 B のアレイ基板 A R は、ガラス基板等の透明基板 1 1 の表面全体に亘って例えば下部がアルミニウム金属 A l からなり表面がモリブデン M o 金属からなる 2 層膜を形成した後、フォトリソグラフィ法及びエッチング法によって M o / A l の 2 層配線からなる複数の走査線 1 2 及び複数のコモン配線を互いに平行になるように形成する。このコモン配線 1 3 は、走査線 1 2 に沿って設けられており、それぞれの画素毎に後述するコンタクトホール形成部分に部分的に幅が広がった部分 1 3₁ が形成されている。

10

【 0 0 5 1 】

次いで、走査線 1 2 及びコモン配線を形成した透明基板 1 1 の表面全体に亘って例えば I T O や I Z O 等からなる透明導電性層を被覆し、同じくフォトリソグラフィ法及びエッチング法によって第 1 電極 1 4 を形成する。この第 1 電極 1 4 はコモン配線 1 3 とは接続されているが、走査線 1 2 ないしゲート電極 G とは接続されていない。なお、図 5 には走査線 1 2 の一方の側の第 1 電極 1 4 がコモン配線 1 3 上に形成されている例が示されているが、このような構成とすることは必ずしも必要ではない。従って、実施例 2 の F F S モードの液晶表示パネル 1 0 B においては第 1 電極 1 4 が共通電極となる。

【 0 0 5 2 】

更に、この表面全体に窒化硅素層ないしは酸化硅素層からなるゲート絶縁膜 1 5 を被覆し、次いで、C V D 法によりたとえば a - S i 層をゲート絶縁膜 1 5 の表面全体に亘って被覆した後に、同じくフォトリソグラフィ法及びエッチング法によって、T F T 形成領域に a - S i 層からなる半導体層 1 6 を形成する。この半導体層 1 6 が形成されている位置の走査線 1 2 の領域が T F T のゲート電極 G を形成する。

20

【 0 0 5 3 】

次いで、例えば M o / A l / M o の 3 層構造の導電性層を半導体層 1 6 を形成した透明基板 1 1 の表面全体に亘って被覆し、同じくフォトリソグラフィ法及びエッチング法によって、ソース電極 S 部分を有する信号線 1 7 及びドレイン電極 D を形成する。この信号線 1 7 のソース電極 S 部分及びドレイン電極 D 部分は、いずれも半導体層 1 6 の表面に部分的に重なっている。更に、この基板の表面全体に窒化硅素層からなるパッシベーション膜 1 8 を被覆する。

30

【 0 0 5 4 】

次いで、ドレイン電極 D に対応する位置のパッシベーション膜 1 8 にコンタクトホール 1 9₁ を形成してドレイン電極 D の一部を露出させると共に、後述する第 2 電極の切り欠き部 2 0₁ 及び 2 0₂ に対応する位置のパッシベーション膜 1 8 ないしゲート絶縁膜 1 5 にコンタクトホール 1 9₂ 及び 1 9₃ を形成して走査線 1 2 を挟んだ両側の第 1 電極 1 4 の一部を露出させる。更に、この表面全体に亘って例えば I T O や I Z O 等からなる透明導電性層を被覆し、フォトリソグラフィ法及びエッチング法によって、図 4 に示したパターンとなるように第 2 電極 2 1 及びシールド電極 2 2 を形成する。この第 2 電極 2 1 は、走査線 1 2 及び信号線 1 7 で囲まれた領域のパッシベーション膜 1 8 上にスリット 2 0 を有すると共に走査線 1 2 の両側に隣接する側の角部にそれぞれ切り欠き部 2 0₁ 及び 2 0₂ を有するように形成される。また、シールド電極 2 2 は、走査線 1 2 の表面から両側の切り欠き部 2 0₁ 及び 2 0₂ に跨って、第 2 電極 2 1 との間にそれぞれ隙間 2 3₁ 及び 2 3₂ が生じるように形成される。

40

【 0 0 5 5 】

この第 2 電極 2 1 はコンタクトホール 1 9₁ を介してドレイン電極 D と接続されており、シールド電極 2 2 はコンタクトホール 1 9₂ 及び 1 9₃ を介して走査線 1 2 の両側の第 1 電極 1 4 と接続されている。従って、実施例 2 の F F S モードの液晶表示パネル 1 0 B においては、第 2 電極 2 1 が画素電極となり、また、走査線 1 2 の両側の第 1 電極 1 4 は走査線 1 2 を跨ってシールド電極 2 2 により互いに接続されている。この場合も、T F T

50

の動作特性に影響を与えないようにするため、シールド電極 22 は半導体層 16 の表面を覆わないようにした方がよい。また、シールド電極 22 は第 2 電極 21 の形成材料とは異なる材料、例えばアルミニウム等の導電性金属で形成してもよい。

【0056】

さらに、この表面全体に亘り所定の配向膜（図示せず）を形成することによりアレイ基板 AR が完成される。そして、このようにして製造されたアレイ基板 AR と別途製造されたカラーフィルタ基板とを対向させ、周囲をシール材でシールして両基板間に液晶を注入することにより実施例 2 に係る FFS モードの液晶表示パネル 10B が得られる。なお、カラーフィルタ基板の構成は上述した従来例のものと実質的に差異はないので、その詳細な説明は省略する。

10

【0057】

このようにして得られた実施例 2 の FFS モードの液晶表示パネル 10B は、走査線 12 の表面の少なくとも一部が導電性のシールド電極 22 で被覆されているため、走査線 12 に印加される高電圧の信号によって生じる直流電界によって液晶が駆動されることがなくなるのでコントラストが向上する。更に、第 2 電極ないしその表面の配向膜は、走査線からの直流電界による不可逆的影響を受けなくなるので、FFS モードの液晶表示パネル 10B の焼き付き現象は大幅に減少する。また、このシールド電極 22 と第 1 電極 14 ないしコモン配線 13 との接続のためのコンタクトホール 19₂、シールド電極 22 と走査線 12 を挟んだ反対側の第 1 電極 14 との接続のためのコンタクトホール 19₃ は TFT のドレイン電極 D と第 1 電極 18 との接続のためのコンタクトホール 19₁ の形成時に同時に形成することができる。そのため、特にシールド電極 22 用のコンタクトホール 19₂ 及び 19₃ の形成のための工数が増えることがない。

20

【0058】

また、シールド電極 22 はコンタクトホール 19₂ 及び 19₃ を介して走査線 12 の両側に位置する第 1 電極 14 と接続されているから、走査線に交差する方向の複数の第 1 電極 14 は互いに直列接続された状態となる。そのため、実施例 2 の FFS モードの液晶表示パネル 10B は、実質的にコモン配線の抵抗が低くなるので、いわゆる配線遅延が少なくなつて第 1 電極 14 の電位が安定化し、クロストークが少なくなると共に、第 1 電極 14 の電位が安定しているために外部からの電界の影響を受け難くなる。

【0059】

30

更に、この FFS モードの液晶表示パネル 10B によれば、切り欠き部 20₁ 及び 20₂ における第 2 電極 21 とシールド電極 22 との間に隙間 23₁ 及び 23₂ が生じるが、このシールド電極 22 はコモン配線 13 に接続されているから、隙間 23₁ 及び 23₂ にも電界が発生して液晶分子の配向が規制される。そのため、これらの隙間 23₁ 及び 23₂ は、実質的に第 2 電極 21 に設けられたスリット 20 と同等の作用を奏し、この隙間 23₁ 及び 23₂ の部分も有効な表示領域となるので、実施例 2 の FFS モードの液晶表示パネル 10B は、実質的に横電界方式の液晶表示パネルの開口度が向上したのと同等となり、明るい表示画像が得られる。

【実施例 3】

【0060】

40

実施例 3 の FFS モードの液晶表示パネル 10C を製造工程順に図 6 ~ 図 8 を用いて説明する。なお、図 6 ~ 図 8 においては図 1 ~ 図 3 に示した実施例 1 の FFS モードの液晶表示パネル 10A と同一の構成部分については同一の参照符号を付与して説明することとする。

【0061】

この実施例 3 の FFS モードの液晶表示パネル 10C のアレイ基板 AR は、ガラス基板等の透明基板 11 の表面全体に亘って例えば下部がアルミニウム金属 A1 からなり表面がモリブデン Mo 金属からなる 2 層膜を形成した後、フォトリソグラフィ法及びエッチング法によって例えば Mo / A1 の 2 層配線からなる複数の走査線 12 及び複数のコモン配線を互いに平行になるように形成する。このコモン配線 13 は、走査線 12 に沿って設け

50

られており、それぞれの画素毎に後述するコンタクトホール形成部分に部分的に幅が広くなった部分 13₁ が形成されている。

【0062】

次いで、走査線 12 及びコモン配線 13 を形成した透明基板 11 の表面全体に亘って例えば ITO や IZO 等からなる透明導電性層を被覆し、同じくフォトリソグラフィー法及びエッチング法によって第 1 電極 14 を形成する。この第 1 電極 14 は、実施例 1 及び 2 の FFS モードの液晶表示パネル 10A 及び 10B とは異なり、コモン配線 13 とは接続されておらず、また、走査線 12 ないしゲート電極 G とも接続されていない。

【0063】

更に、この表面全体に窒化硅素層ないしは酸化硅素層からなるゲート絶縁膜 15 を被覆し、次いで、CVD 法によりたとえば a-Si 層をゲート絶縁膜 15 の表面全体に亘って被覆した後に、同じくフォトリソグラフィー法及びエッチング法によって、TFT 形成領域に a-Si 層からなる半導体層 16 を形成する。この半導体層 16 が形成されている位置の走査線 12 の領域が TFT のゲート電極 G を形成する。次いで、ゲート絶縁膜 15 の後述する TFT のドレイン電極 D と第 1 電極との接続部分に第 1 のコンタクトホール 19₁ を形成する。

【0064】

次いで、例えば Mo/Al/Mo の 3 層構造の導電性層をコンタクトホール 19₁ を形成した透明基板 11 の表面全体に亘って被覆し、同じくフォトリソグラフィー法及びエッチング法によって、ソース電極 S 部分を有する信号線 17 及びドレイン電極 D を形成する。この信号線 17 のソース電極 S 部分及びドレイン電極 D 部分は、いずれも半導体層 16 の表面に部分的に重なっている。また、ドレイン電極 D は第 1 のコンタクトホール 19₁ を介して第 1 電極 14 と接続されている。従って、実施例 3 の FFS モードの液晶表示パネル 10B においては第 1 電極 14 が画素電極となる。更に、この基板の表面全体に窒化硅素層からなるパッシベーション膜 18 を被覆する。

【0065】

次いで、コモン配線 13 の部分的に幅が広くなった部分 13₁ 上のパッシベーション膜 18 及びゲート絶縁膜 15 にコンタクトホール 19₂ を形成してコモン配線 13 の一部を露出させる。更に、この表面全体に亘って例えば ITO や IZO 等からなる透明導電性層を被覆し、フォトリソグラフィー法及びエッチング法によって、図 6 に示したパターンとなるように、第 2 電極 21 を形成する。この第 2 電極 21 は、走査線 12 及び信号線 17 で囲まれた領域のパッシベーション膜 18 上にスリット 20 及び切欠部 20₁ を有するように形成されると共に、走査線 12 上のパッシベーション膜 18 の表面の少なくとも一部を被覆するように延在され、第 2 のコンタクトホール 19₂ を介してコモン配線 13 の部分的に幅が広くなった部分 13₁ に接続されている。従って、実施例 3 の FFS モードの液晶表示パネル 10B においては第 2 電極 21 が共通電極となり、第 2 電極 21 の走査線 12 上に位置する部分がシールド電極 22 を兼ねたものとなっている。

【0066】

さらに、この表面全体に亘り所定の配向膜 24 を形成することにより実施例 3 の FFS モードの液晶表示パネル 10B のアレイ基板 AR が完成される。このようにして製造されたアレイ基板 AR と別途製造されたカラーフィルタ基板とを対向させ、周囲をシールド材でシールドして両基板間に液晶を注入することにより実施例 3 に係る FFS モードの液晶表示パネル 10C が得られる。なお、カラーフィルタ基板の構成は上述した従来例のものと実質的に差異はないので、その詳細な説明は省略する。

【0067】

このようにして得られた実施例 3 の FFS モードの液晶表示パネル 10C は、走査線 12 の表面の少なくとも一部を被覆する第 2 電極 21 がシールド電極 22 を兼ねたものとなっているため、走査線 12 に印加される高電圧の信号によって生じる直流電界によって液晶が駆動されることがなくなるのでコントラストが向上する。更に、第 2 電極 21 ないしその表面の配向膜は、走査線 12 からの直流電界による不可逆的影響を受けなくなるので

10

20

30

40

50

、実施例 3 の F F S モードの液晶表示パネル 1 0 C の焼き付き現象は大幅に減少する。

【図面の簡単な説明】

【 0 0 6 8 】

【図 1】実施例 1 の F F S モードの液晶表示パネルのカラーフィルタ基板を透視して表した 2 画素分の概略平面図である。

【図 2】図 1 の II - II 線に沿った断面図である。

【図 3】図 1 の III - III 線に沿った断面図である。

【図 4】実施例 2 の F F S モードの液晶表示パネルのカラーフィルタ基板を透視して表した 2 画素分の概略平面図である。

【図 5】図 4 の V - V 線に沿った断面図である。

10

【図 6】実施例 3 の F F S モードの液晶表示パネルのカラーフィルタ基板を透視して表した 2 画素分の概略平面図である。

【図 7】図 5 の VII - VII 線に沿った断面図である。

【図 8】図 5 の VIII - VIII 線に沿った断面図である。

【図 9】従来例の I P S モードの液晶表示パネルの 1 画素分の模式平面図である。

【図 1 0】図 9 の X - X 線に沿った断面図である。

【図 1 1】図 9 の XI - XI 線に沿った断面図である。

【図 1 2】従来例の F F S モードの液晶表示パネルの 1 画素分の模式平面図である。

【図 1 3】図 1 2 の XIII - XIII 線に沿った断面図である。

【図 1 4】図 1 2 の XIV - XIV 線に沿った断面図である。

20

【図 1 5】画素電極のスリットを傾けた構造とした F F S モードの液晶表示パネルの 1 画素分の模式平面図である。

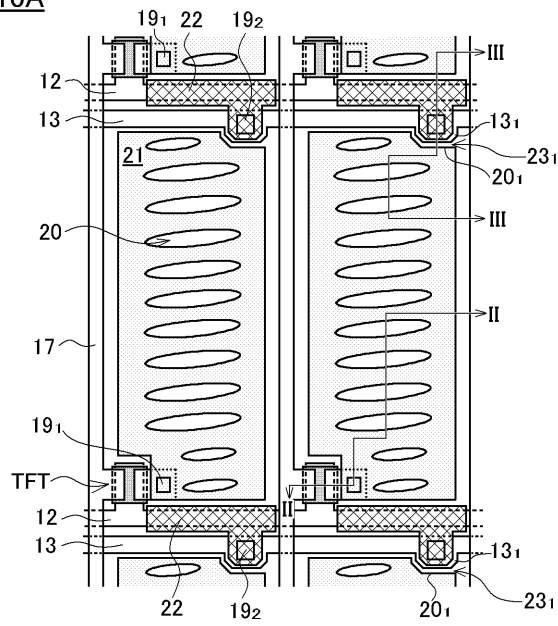
【符号の説明】

【 0 0 6 9 】

1 0 A ~ 1 0 C : F F S モードの液晶表示パネル 1 1 : 透明基板 1 2 : 走査線 1 3 : コモン配線 1 4 : 第 1 電極 1 5 : ゲート絶縁膜 1 6 : 半導体層 1 7 : 信号線 1 8 : パッシベーション膜 1 9 ₁、1 9 ₂、1 9 ₃ : コンタクトホール 2 0 : スリット 2 0 ₁、2 0 ₂ : 切り欠き部 2 1 : 第 2 電極 2 2 : シールド電極 2 3 ₁、2 3 ₂ : 隙間

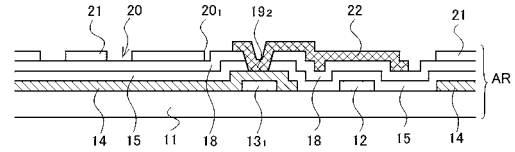
【図 1】

10A



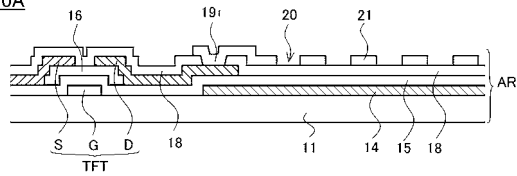
【図 3】

10A



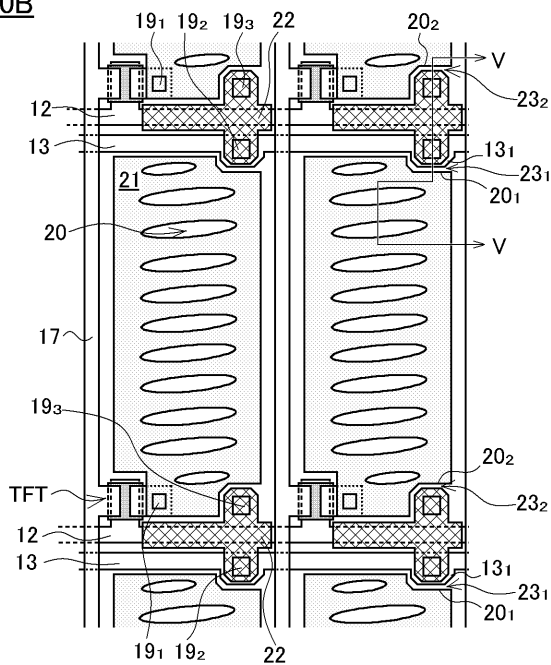
【図 2】

10A



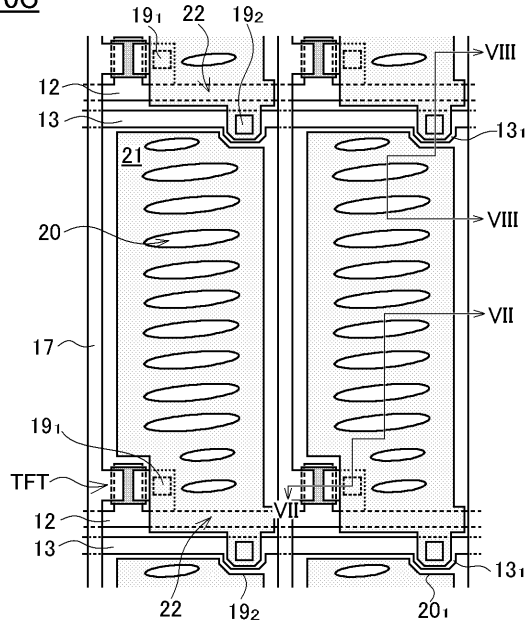
【図 4】

10B



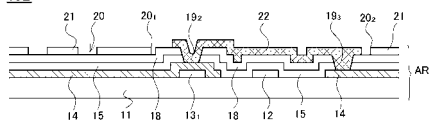
【図 6】

10C



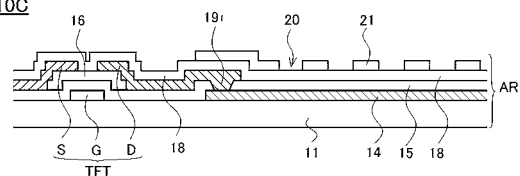
【図 5】

10B

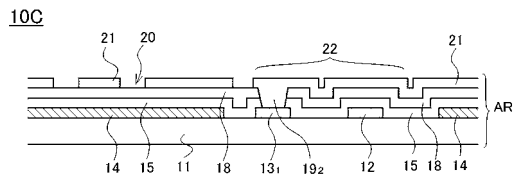


【図 7】

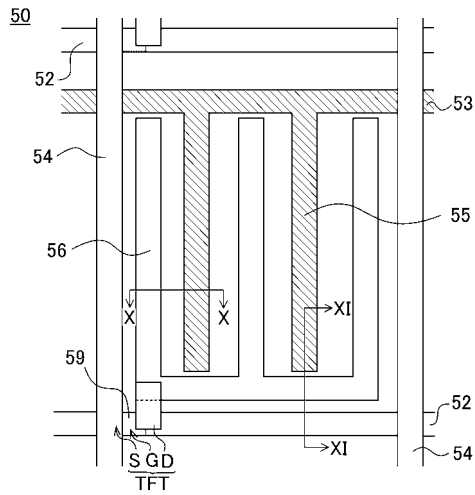
10C



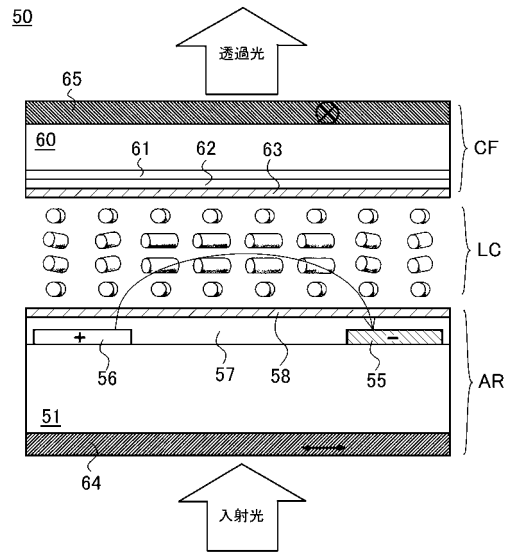
【図 8】



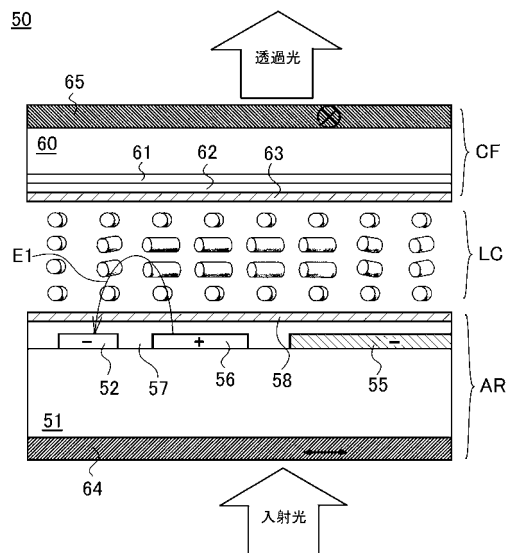
【図 9】



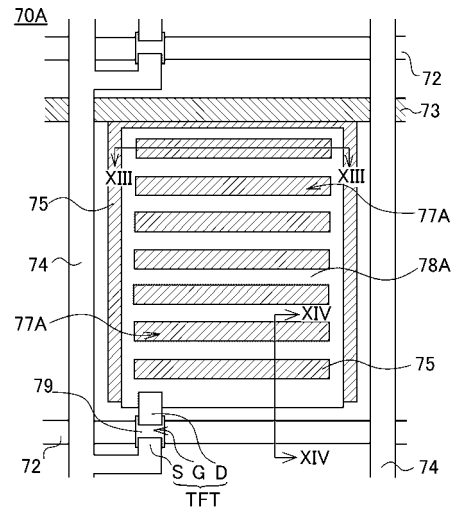
【図 10】



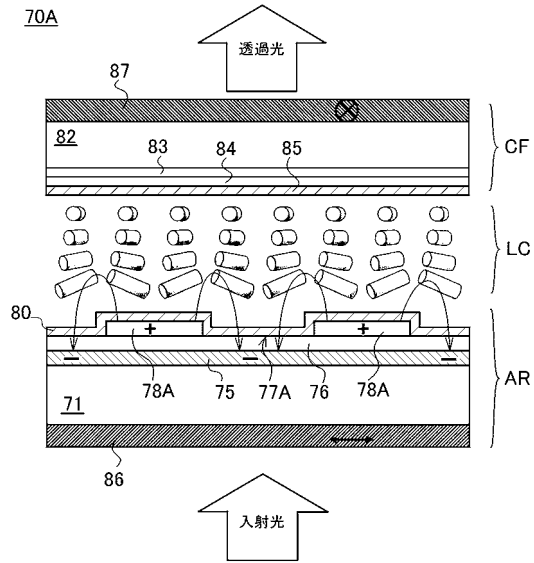
【図 11】



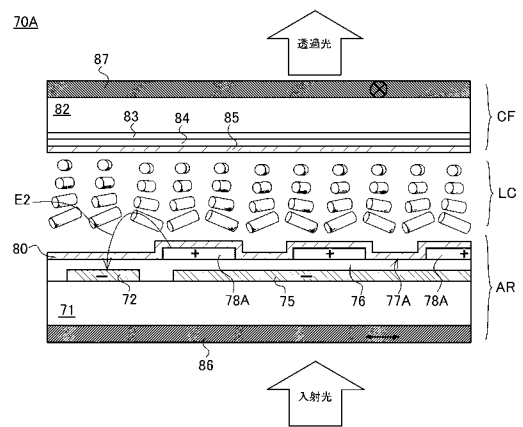
【図 12】



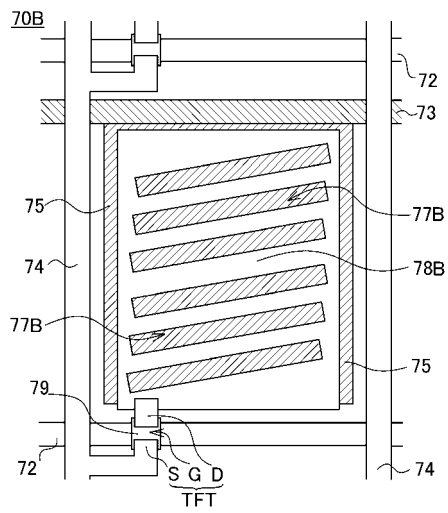
【図 13】



【図 14】



【図 15】



フロントページの続き

審査官 金高 敏康

(56)参考文献 特開 2 0 0 5 - 2 4 1 9 2 3 (J P , A)
特開 2 0 0 2 - 0 1 4 3 6 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 3 7

专利名称(译)	面内切换式液晶显示面板		
公开(公告)号	JP4386102B2	公开(公告)日	2009-12-16
申请号	JP2007170074	申请日	2007-06-28
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	堀口正寛 金子英樹		
发明人	堀口 正寛 金子 英樹		
IPC分类号	G02F1/1368 G02F1/1337		
CPC分类号	G02F1/134363 G02F2001/136218		
FI分类号	G02F1/1368 G02F1/1337		
F-TERM分类号	2H090/KA18 2H090/LA04 2H090/MA02 2H092/GA13 2H092/GA17 2H092/GA29 2H092/GA64 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB38 2H092/MA05 2H092/MA07 2H092/MA12 2H092/MA35 2H092/NA25 2H192/AA24 2H192/BB12 2H192/BB13 2H192/BB66 2H192/BB73 2H192/BB82 2H192/BB86 2H192/BC31 2H192/CB05 2H192/CC32 2H192/CC72 2H192/EA43 2H192/GA03 2H192/JA33 2H290/AA73 2H290/BA04 2H290/BB63 2H290/BF13 2H290/CA46		
代理人(译)	须泽 修 宫坂和彦		
其他公开文献	JP2009008877A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供诸如FFS（边缘场切换）模式的面内切换系统的液晶显示面板，包括防止由施加到扫描线的电压引起的老化的装置。

ŽSOLUTION：面内切换系统的液晶显示面板包括多条扫描线12和公共布线13，它们彼此平行设置；多条信号线17设置在与扫描线12交叉的方向上；开关元件TFT设置在扫描线12和信号线17之间的交叉点附近；第一电极14形成在由扫描线12和信号线17限定的区域中；第二电极21通过绝缘膜形成在第一电极上，以与第一电极重叠，并具有多个条状狭缝20。在绝缘表面上形成由导电材料形成的屏蔽电极22在扫描线12上的薄膜，并且屏蔽电极22通过形成在公共布线13上的接触孔19 2 连接到公共布线13。

【图 1】

