

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4363619号
(P4363619)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月28日(2009.8.28)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 525
G09G 3/20 (2006.01)	G02F 1/133 550
	G09G 3/20 611A
	G09G 3/20 611J
	請求項の数 17 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2003-35189(P2003-35189)
 (22) 出願日 平成15年2月13日(2003.2.13)
 (65) 公開番号 特開2004-4556(P2004-4556A)
 (43) 公開日 平成16年1月8日(2004.1.8)
 審査請求日 平成18年1月6日(2006.1.6)
 (31) 優先権主張番号 2002-009732
 (32) 優先日 平成14年2月23日(2002.2.23)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 110000051
 特許業務法人共生国際特許事務所

(72) 発明者 朴相鎬
 大韓民国京畿道水原市八達区靈通洞105
 3-25番地鳳谷マウル碧山アパート22
 2棟601号

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ型液晶表示装置のソースドライバ回路及び方法

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタ型液晶表示装置のソースドライバ回路において、
 メインクロック信号にตอบสนองしてカラーデータを受信して保存し、所定の第1信号にตอบสนองして保存された前記カラーデータを出力するデータラッチ部と、
 前記データラッチ部から出力される前記カラーデータを受信し所定の第2信号にตอบสนองして前記カラーデータをパネルに印加するスイッチバッファ部と、
 前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号、及び第1クロック信号にตอบสนองして前記第1信号及び前記第2信号を発生する出力制御部と、を備え、

前記第1信号は、

前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして所定時間の間活性化され、

前記極性反転信号の位相が変わらない場合は、前記第1クロック信号が前記第1信号として発生され

前記第2信号は、前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され前記第1クロック信号の立ち上がりエッジにตอบสนองして活性化され、

前記極性反転信号の位相が変わらない場合は、現在の状態を維持することを特徴とする薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 2】

前記出力制御部は、

前記メインクロック信号に応答して前記極性反転信号を受信し所定時間遅らせて出力する遅延部と、

第 1 クロック信号に응答して前記極性反転信号を受信し、前記極性反転信号の位相が反転される度に活性化され、前記極性反転信号の位相が変わらない場合は、前記第 1 クロック信号を前記第 1 信号として発生する第 1 信号発生部と、

前記極性反転信号、前記遅延部の出力信号、及び所定の遅延第 1 クロック信号を受信して、前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジに응答して非活性化され前記第 1 クロック信号の立ち上がりエッジに응答して活性化され、前記極性反転信号の位相が変わらない場合は、現在の状態を維持する前記第 2 信号を発生する第 2 信号発生部と

10

を備えることを特徴とする請求項 1 に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 3】

前記第 2 信号発生部は、

前記メインクロック信号に응答して前記第 1 クロック信号を受信し所定時間遅らせて前記遅延第 1 クロック信号を発生する遅延クロック部をさらに備えることを特徴とする請求項 2 に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

20

【請求項 4】

前記遅延部は、

複数個のフリップフロップを備えることを特徴とする請求項 2 に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 5】

前記第 1 信号発生部は、

第 1 クロック信号に응答して前記極性反転信号を受信し遅らせて出力する第 1 及び第 2 フリップフロップと、

前記第 1 フリップフロップの出力及び前記第 2 フリップフロップの出力信号を受信して排他的論理和演算する第 2 排他的論理和手段と、

前記第 2 排他的論理和手段の出力を反転して出力する第 2 インバータと、

30

前記第 2 インバータの出力及び前記第 1 クロック信号を論理積演算する論理積手段と、

前記遅延部のフリップフロップのうち一番目のフリップフロップの反転出力信号を反転した信号及び三番目のフリップフロップの出力信号を排他的論理和演算する第 3 排他的論理和手段と、

前記第 3 排他的論理和手段及び前記論理積手段の出力を論理和演算して前記第 1 信号として出力する論理和手段と、を備えることを特徴とする請求項 2 に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 6】

前記第 2 信号発生部は、

前記極性反転信号及び前記遅延部の出力信号を受信して排他的論理和演算する第 1 排他的論理和手段と、

40

前記第 1 排他的論理和手段の出力及び前記遅延第 1 クロック信号を受信して出力する S R ラッチと、

前記 S R ラッチの出力を反転して前記第 2 信号として発生する第 1 インバータと、

を備えることを特徴とする請求項 2 に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 7】

薄膜トランジスタ型液晶表示装置のソースドライバ回路においてパネルに印加されるカラーデータの出力が所望の値になるまでの時間を調節する方法において、

(a) メインクロック信号に응答してカラーデータを受信して保存し、所定の第 1 信号に

50

応答して保存された前記カラーデータを出力する段階と、

(b) 前記出力されるカラーデータを受信し所定の第2信号に応答して前記カラーデータをパネルに印加する段階と、を含み、

前記(a)段階は、

(a1) 前記メインクロック信号に応答して前記カラーデータを受信して保存する段階と

、
(a2) 前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号、及び第1クロック信号に応答して前記第1信号を発生する段階と

、
(a3) 前記第1信号に応答して前記カラーデータを出力する段階と、を含み、

前記(a2)段階は、

(a21) 前記第1クロック信号に応答して前記極性反転信号を受信し、前記極性反転信号を相異なる時間の間遅らせた二つの信号を排他的論理和演算する段階と、

(a22) 前記(a21)段階の出力を反転して出力する段階と、

(a23) 前記(a22)段階の出力及び前記第1クロック信号を論理積演算する段階と

、
(a24) メインクロック信号に応答して前記極性反転信号を受信し、前記極性反転信号を前記相異なる時間の間遅らせた前記二つの信号を排他的に論理和演算する段階と、

(a25) 前記(a23)段階と前記(a24)段階の出力を論理和演算して前記第1信号を発生する段階と、

を含むことを特徴とするパネルに印加されるカラーデータの出力が所望の値になるまでの時間を調節する方法。

【請求項8】

前記(b)段階は、

(b1) 前記出力されるカラーデータを受信し前記カラーデータがそれぞれ一定した電圧を表示するようデコーディングする段階と、

(b2) 前記デコーディングされたカラーデータを受信しバッファリングして出力する段階と、

(b3) 前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号に応答して前記第2信号を発生する段階と、

(b4) 前記第2信号に応答して前記カラーデータを前記パネルに印加する段階と、
を含むことを特徴とする請求項7に記載のパネルに印加されるカラーデータの出力が所望の値になるまでの時間を調節する方法。

【請求項9】

前記(b3)段階は、

(b31) メインクロック信号に応答して前記極性反転信号を受信し、前記極性反転信号及び前記極性反転信号を遅らせた信号を受信して排他的論理和演算する段階と、

(b32) 前記(b31)段階の出力及び前記第1クロック信号を遅らせた遅延第1クロック信号を受信しラッチする段階と、

(b33) 前記(b32)段階の出力を反転して前記第2信号を発生する段階と、
を含むことを特徴とする請求項8に記載のパネルに印加されるカラーデータの出力が所望の値になるまでの時間を調節する方法。

【請求項10】

前記第1信号は、

前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジに応答して所定時間の間活性化され、

前記極性反転信号の位相が変わらない場合は、前記第1クロック信号が前記第1信号として発生されることを特徴とする請求項7に記載のパネルに印加されるカラーデータの出力が所望の値になるまでの時間を調節する方法。

【請求項11】

10

20

30

40

50

前記第 2 信号は、

前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され、前記第 1 クロック信号の立ち上がりエッジにตอบสนองして活性化され、

前記極性反転信号の位相が変わらない場合は、現在の状態を維持することを特徴とする請求項 7 に記載のパネルに印加されるカラーデータの出力が所望の値になるまでの時間を調節する方法。

【請求項 1 2】

薄膜トランジスタ型液晶表示装置のソースドライバ回路において、

メインクロック信号にตอบสนองしてカラーデータを受信して保存し、所定の第 1 信号にตอบสนองして保存された前記カラーデータを出力するデータラッチ部と、

前記データラッチ部から出力される前記カラーデータを受信し所定の第 2 信号にตอบสนองして前記カラーデータをパネルに印加するスイッチバッファ部と、を備え、

前記第 1 信号は、

前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号、及び第 1 クロック信号にตอบสนองして発生され、

前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして所定時間の間活性化され、

前記極性反転信号の位相が変わらない場合は、前記第 1 クロック信号が前記第 1 信号として発生され、

前記第 2 信号は、

前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号、及び第 1 クロック信号にตอบสนองして発生され、

前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され前記第 1 クロック信号の立ち上がりエッジにตอบสนองして活性化され、

前記極性反転信号の位相が変わらない場合は、現在の状態を維持することを特徴とする薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 1 3】

薄膜トランジスタ型液晶表示装置のソースドライバにおいて、

メインクロック信号にตอบสนองしてカラーデータを受信して保存する第 1 データラッチ部と、前記第 1 データラッチ部から出力される前記カラーデータを受信して保存した後所定の第 1 信号にตอบสนองして保存された前記カラーデータを出力する第 2 データラッチ部と、

所定の電圧制御信号にตอบสนองして前記第 2 データラッチ部から出力される前記カラーデータがそれぞれ一定電圧を表示するようにするデコーディング部と、

前記デコーディング部から出力される前記カラーデータを受信しバッファリングして出力する出力バッファ部と、

所定の第 2 信号にตอบสนองして前記出力バッファ部から出力される前記カラーデータをパネルに印加したり遮断したりする出力スイッチ部と、

前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号、及び第 1 クロック信号にตอบสนองして前記第 1 信号及び前記第 2 信号を発生する出力制御部と、を備え、

前記出力制御部は、

前記メインクロック信号にตอบสนองして前記極性反転信号を受信し所定時間遅らせて出力する遅延部と、

第 1 クロック信号にตอบสนองして前記極性反転信号を受信し、前記極性反転信号の位相が反転される毎に活性化され、前記極性反転信号の位相が変わらない場合前記第 1 クロック信号を前記第 1 信号として発生する第 1 信号発生部と、

前記極性反転信号、前記遅延部の出力信号、及び所定の遅延第 1 クロック信号を受信して、前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され

10

20

30

40

50

前記第 1 クロック信号の立ち上がりエッジにตอบสนองして活性化され、前記極性反転信号の位相が変わらない場合は、現在の状態を維持する前記第 2 信号を発生する第 2 信号発生部と

を備えることを特徴とする薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 1 4】

前記第 2 信号発生部は、

前記メインクロック信号にตอบสนองして前記第 1 クロック信号を受信し所定時間遅らせて前記遅延第 1 クロック信号を発生する遅延クロック部をさらに備えることを特徴とする請求項 1 3に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 1 5】

前記遅延部は、

複数のフリップフロップを備えることを特徴とする請求項 1 3に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 1 6】

前記第 1 信号発生部は、

第 1 クロック信号にตอบสนองして前記極性反転信号を受信し遅らせて出力する第 1 及び第 2 フリップフロップと、

前記第 1 フリップフロップの出力及び前記第 2 フリップフロップの出力信号を受信して排他的論理和演算する第 2 排他的論理和手段と、

前記第 2 排他的論理和手段の出力を反転して出力する第 2 インバータと、

前記第 2 インバータの出力及び前記第 1 クロック信号を論理積演算する論理積手段と、

前記遅延部のフリップフロップのうち一番目のフリップフロップの反転出力信号を反転した信号及び三番目のフリップフロップの出力信号を排他的論理和演算する第 3 排他的論理和手段と、

前記第 3 排他的論理和手段及び前記論理積手段の出力を論理和演算して前記第 1 信号として出力する論理和手段と、を備えることを特徴とする請求項 1 3に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【請求項 1 7】

前記第 2 信号発生部は、

前記極性反転信号及び前記遅延部の出力信号を受信して排他的論理和演算する第 1 排他的論理和手段と、

前記排他的論理和手段の出力及び前記遅延第 1 クロック信号を受信して出力する S R ラッチと、

前記 S R ラッチの出力を反転して前記第 2 信号として発生する第 1 インバータと、

を備えることを特徴とする請求項 1 3に記載の薄膜トランジスタ型液晶表示装置のソースドライバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ型液晶表示装置に係り、特にスルーレートを減少させうる薄膜トランジスタ型液晶表示装置のソースドライバ回路に関する。

【0002】

【従来の技術】

一般に、液晶表示装置はパネルのゲートラインを駆動するためのゲートドライバとパネルのソースラインを駆動するためのソースドライバを具備する。ゲートドライバがパネルに高電圧を印加してパネルを導通状態にした後に、ソースドライバがそれぞれのソースラインに色を表示するための階調電圧(ソースドライバ出力信号)を印加することによってパネルに画面を表示する。

【0003】

さらに詳しく説明すると、ソースドライバはパネルにディスプレイされる 1 画素当たり 6

10

20

30

40

50

ビットのカラーデータをプロセッサから1画素ずつ入力される。ソースドライバにはパネルのゲートラインの1ライン分の画素についてのカラーデータが入力されラッチされる。パネルのゲートラインの1ライン分に相当するカラーデータを全てラッチした後に、最後にそのライン分の各画素のカラーデータをまとめて、カラーを表示する電圧をパネルに1ラインずつ同時に印加する。この際、ゲートドライバはゲートラインのうち1ラインだけに高い電圧を印加してソースラインに印加されたカラーデータが該当ゲートラインに保存されるようトランジスタをターンオンさせ電圧が貯蔵されカラーが表示できるようにする。

【0004】

図1は従来の薄膜トランジスタ型液晶表示装置のソースドライバ回路を示すブロック図である。

10

【0005】

図2は図1のソースドライバ回路の動作を示すタイミング図である。

【0006】

図1を参照すれば、従来のソースドライバ回路100はシフトレジスタ110、第1データラッチ部120、第2データラッチ部130、デコーダ140及び出力バッファ部150を備える。

【0007】

シフトレジスタ110はメインクロック信号MCLKを受信して第1データラッチ部120に印加する。メインクロック信号MCLKにตอบสนองしてカラーデータDATAが第1データラッチ部120に入力されラッチされる。第2データラッチ部130は第1データラッチ部120からカラーデータDATAを受信し第1クロック信号CLK1にตอบสนองして出力する。デコーダ140は第2データラッチ部130から出力されるカラーデータDATAを受信し電圧制御信号VGMAにตอบสนองしてカラーデータDATAが一定電圧レベルを有するようにする。出力バッファ部150は一定した電圧レベルを有するカラーデータDATAを受信し所定の基準電圧を基準にして基準電圧より高い電圧であるか低い電圧であるかを表示する極性反転信号POLにตอบสนองしてカラーデータYDATAの極性を表示してパネル160に出力する。

20

【0008】

ところが、ソースドライバ回路100において出力バッファ部150から出力されるカラーデータYDATAはスルーレート(Slew Rate)が重要な要素の一つである。特に、UXGA(Ultra Extended Graphics Array)級パネル以上では水平同期区間が $13\mu s \sim 15\mu s$ ほどにしかならないため、出力バッファ部150から出力されるカラーデータYDATAのスルーレートが $3\mu s$ 以上の場合は良好な画質駆動が困難である。

30

【0009】

出力バッファ部150から出力されるカラーデータYDATAのスルーレートはパネル160の高負荷によってさらに制約を受けるため、ソースドライバ回路100の外部のパネル160上の抵抗やキャパシタによって矩形波のような駆動ができない。

【0010】

図2を参照すると、出力バッファ部150から出力されるカラーデータYDATAは第1クロック信号CLK1にตอบสนองして出力される。極性反転信号POLの位相が変わる度にカラーデータYDATAの極性が基準電圧VCOMを基準にして変わることが分かる。

40

【0011】

カラーデータYDATAが第1クロック信号CLK1にตอบสนองして出力されるが、第1クロック信号CLK1は第2データラッチ部130に印加される信号なので出力バッファ部150から出力されるカラーデータYDATAのスルーレートには第2データラッチ部130から出力バッファ部150までの移動時間が含まれる。図2においても長いスルーレートによってカラーデータYDATAの出力曲線が緩やかに変わることが分かる。

【0012】

このようにスルーレートが延びる(カラーデータの出力が所望の値となるまでに時間がか

50

かる) ことによってソースドライバ回路における電流消費が多くなり、高い負荷及び高解像度を有するパネルの特性が不安定になる問題点がある。

【0013】

【発明が解決しようとする課題】

本発明は前述した問題点を解決するために案出されたもので、その目的はカラーデータをパネルに印加する信号が入力される前に予めカラーデータをソースドライバ回路の出力バッファ部に印加してパネルに印加されるカラーデータのスルーレートを減らせる(カラーデータの出力が所望の値になるまでの時間を減少させる)ソースドライバ回路を提供するところにある。

【0014】

本発明がなそうとする他の技術的課題は、カラーデータをパネルに印加する信号が入力される前に予めカラーデータをソースドライバ回路の出力バッファ部に印加してパネルに印加されるカラーデータのスルーレートを調節する方法を提供するところにある。

【0015】

【課題を解決するための手段】

前述した技術的課題を達成するための本発明の好適な第1の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路は、データラッチ部、スイッチバッファ部及び出力制御部を備えることを特徴とする。

【0016】

データラッチ部はメインクロック信号にตอบสนองしてカラーデータを受信して保存し、所定の第1信号にตอบสนองして保存された前記カラーデータを出力する。

【0017】

スイッチバッファ部は前記データラッチ部から出力される前記カラーデータを受信し所定の第2信号にตอบสนองして前記カラーデータをパネルに印加する。

【0018】

出力制御部は前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号にตอบสนองして前記第1信号及び前記第2信号を発生する。

【0019】

望ましくは、前記第1信号は前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして所定時間の間活性化され、前記極性反転信号の位相が変わらない場合は、前記第1クロック信号が前記第1信号として発生することを特徴とする。

【0020】

また、前記第2信号は前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され前記第1クロック信号の立ち上がりエッジにตอบสนองして活性化され、前記極性反転信号の位相が変わらない場合は現在の状態を維持することを特徴とする。

【0021】

望ましくは、前記出力制御部は前記メインクロック信号にตอบสนองして前記極性反転信号を受信し所定時間遅らせて出力する遅延部、第1クロック信号にตอบสนองして前記極性反転信号を受信し、前記極性反転信号の位相が反転される度に活性化され、前記極性反転信号の位相が変わらない場合は、前記第1クロック信号を前記第1信号として発生する第1信号発生部及び前記極性反転信号、前記遅延部の出力信号、及び所定の遅延第1クロック信号を受信して、前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され前記第1クロック信号の立ち上がりエッジにตอบสนองして活性化され、前記極性反転信号の位相が変わらない場合は、現在の状態を維持する前記第2信号を発生する第2信号発生部を備えることを特徴とする。前記第2信号発生部は前記メインクロック信号にตอบสนองして前記第1クロック信号を受信し所定時間遅らせて前記遅延第1クロック信号を発生する遅延クロック部をさらに備える。

10

20

30

40

50

【0022】

前記遅延部は複数個のフリップフロップを備えることを特徴とする。前記第1信号発生部は第1クロック信号にตอบสนองして前記極性反転信号を受信し遅らせて出力する第1及び第2フリップフロップ、前記第1フリップフロップの出力及び前記第2フリップフロップの出力信号を受信して排他的論理和演算する第2排他的論理和手段、前記第2排他的論理和手段の出力を反転して出力する第2インバータ、前記第2インバータの出力及び前記第1クロック信号を論理積演算する論理積手段、前記遅延部のフリップフロップのうち一番目のフリップフロップの反転出力信号を反転した信号及び三番目のフリップフロップの出力信号を排他的論理和演算する第3排他的論理和手段及び前記第3排他的論理和手段及び前記論理積手段の出力を論理和演算して前記第1信号として出力する論理和手段を備えることを特徴とする。

10

【0023】

前記第2信号発生部は前記極性反転信号及び前記遅延部の出力信号を受信して排他的論理和演算する第1排他的論理和手段、前記第1排他的論理和手段の出力及び前記遅延第1クロック信号を受信して出力するSRラッチ及び該SRラッチの出力を反転して前記第2信号として発生する第1インバータを備えることを特徴とする。

【0024】

前述した技術的課題を達成するための本発明の好適な第2の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路はデータラッチ部及びスイッチバッファ部を備えることを特徴とする。

20

【0025】

データラッチ部はメインクロック信号にตอบสนองしてカラーデータを受信して保存し、所定の第1信号にตอบสนองして保存された前記カラーデータを出力する。スイッチバッファ部は前記データラッチ部から出力される前記カラーデータを受信し所定の第2信号にตอบสนองして前記カラーデータをパネルに印加する。

【0026】

望ましくは、前記第1信号は前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号にตอบสนองして発生され、前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして所定時間の間活性化され、前記極性反転信号の位相が変わらない場合は前記第1クロック信号が前記第1信号として発生されることを特徴とする。また前記第2信号は前記メインクロック信号、パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号にตอบสนองして発生され、前記極性反転信号の位相が反転される度に前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され前記第1クロック信号の立ち上がりエッジにตอบสนองして活性化され、前記極性反転信号の位相が変わらない場合は現在の状態を維持することを特徴とする。

30

【0027】

前述した技術的課題を達成するための本発明の好適な第3の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路は、第1データラッチ部、第2データラッチ部、デコーディング部、出力バッファ部、出力スイッチ部及び出力制御部を備えることを特徴とする。

40

【0028】

第1データラッチ部はメインクロック信号にตอบสนองしてカラーデータを受信して保存する。第2データラッチ部は前記第1データラッチ部から出力される前記カラーデータを受信して保存した後所定の第1信号にตอบสนองして保存された前記カラーデータを出力する。デコーディング部は所定の電圧制御信号にตอบสนองして前記第2データラッチ部から出力される前記カラーデータがそれぞれ一定した電圧を表示するようになる。出力バッファ部は前記デコーディング部から出力される前記カラーデータを受信しバッファリングして出力する。出力スイッチ部は所定の第2信号にตอบสนองして前記出力バッファ部から出力される前記カラーデータをパネルに印加したり遮断したりする。

50

【 0 0 2 9 】

出力制御部は前記メインクロック信号、パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号にตอบสนองして前記第1信号及び前記第2信号を発生する。

【 0 0 3 0 】

望ましくは、前記出力制御部は前記メインクロック信号にตอบสนองして前記極性反転信号を受信し所定時間遅らせて出力する遅延部、第1クロック信号にตอบสนองして前記極性反転信号を受信し、前記極性反転信号の位相が反転される度に活性化され、前記極性反転信号の位相が変わらない場合前記第1クロック信号を前記第1信号として発生する第1信号発生部及び前記極性反転信号、前記遅延部の出力信号及び所定の遅延第1クロック信号を受信して、前記極性反転信号の立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され前記第1クロック信号の立ち上がりエッジにตอบสนองして活性化され、前記極性反転信号の位相が変わらない場合は現在の状態を維持する前記第2信号を発生する第2信号発生部を備える。

10

【 0 0 3 1 】

第2信号発生部は前記メインクロック信号にตอบสนองして前記第1クロック信号を受信し所定時間遅らせて前記遅延第1クロック信号を発生する遅延クロック部をさらに備える。前記遅延部は複数個のフリップフロップを備える。前記第1信号発生部は第1クロック信号にตอบสนองして前記極性反転信号を受信し遅らせて出力する第1及び第2フリップフロップ、前記第1フリップフロップの出力及び前記第2フリップフロップの出力信号を受信して排他的論理和演算する第2排他的論理和手段、該第2排他的論理和手段の出力を反転して出力する第2インバータ、該第2インバータの出力及び前記第1クロック信号を論理積演算する論理積手段、前記遅延部のフリップフロップのうち一番目のフリップフロップの反転出力信号を反転した信号及び三番目のフリップフロップの出力信号を排他的論理和演算する第3排他的論理和手段及び前記第3排他的論理和手段及び前記論理積手段の出力を論理和演算して前記第1信号として出力する論理和手段を備える。

20

【 0 0 3 2 】

前記第2信号発生部は前記極性反転信号及び前記遅延部の出力信号を受信して排他的論理和演算する第1排他的論理和手段、該排他的論理和手段の出力及び前記遅延第1クロック信号を受信して出力するSRラッチ、該SRラッチの出力を反転して前記第2信号として発生する第1インバータを備える。

30

【 0 0 3 3 】

前述した他の技術的課題を達成するための本発明の好適な第1の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路においてパネルに印加されるカラーデータの出力が所望の値になるまでの時間を調節する方法は、(a)メインクロック信号にตอบสนองしてカラーデータを受信して保存し、所定の第1信号にตอบสนองして保存された前記カラーデータを出力する段階、及び(b)前記出力されるカラーデータを受信し所定の第2信号にตอบสนองして前記カラーデータをパネルに印加する段階を備えることを特徴とする。

【 0 0 3 4 】

前記(a)段階は、(a1)前記メインクロック信号にตอบสนองして前記カラーデータを受信して保存する段階、(a2)前記メインクロック信号、パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号にตอบสนองして前記第1信号を発生する段階、及び(a3)前記第1信号にตอบสนองして前記カラーデータを出力する段階を備えることを特徴とする。前記(a2)段階は、(a21)前記第1クロック信号にตอบสนองして前記極性反転信号を受信し、前記極性反転信号を相異なる時間の間遅らせた二つの信号を排他的論理和演算する段階、(a22)前記(a21)段階の出力を反転して出力する段階、(a23)前記(a22)段階の出力及び前記第1クロック信号を論理積演算する段階、(a24)メインクロック信号にตอบสนองして前記極性反転信号を受信し、前記極性反転信号を前記相異なる時間の間遅らせた前記二つの信号を排他的に論理和演算する段階、(a25)前記(a23)段階と前記(a24)段階の出力を論理和演算して前記第1信号を発生する段階と、を含むこ

40

50

とを特徴とする。

【0035】

前記(b)段階は、(b1)前記出力されるカラーデータを受信し前記カラーデータがそれぞれ一定した電圧を表示するようデコーディングする段階、(b2)前記デコーディングされたカラーデータを受信しバッファリングして出力する段階、(b3)前記メインクロック信号、前記パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号にตอบสนองして前記第2信号を発生する段階、及び(b4)前記第2信号にตอบสนองして前記カラーデータを前記パネルに印加する段階を備えることを特徴とする。前記(b3)段階は(b31)メインクロック信号にตอบสนองして前記極性反転信号を受信し、前記極性反転信号及び前記極性反転信号を遅らせた信号を受信して排他的論理和演算する段階、(b32)前記(b31)段階の出力及び前記第1クロック信号を遅らせた遅延第1クロック信号を受信しラッチする段階、及び(b33)前記(b32)段階の出力を反転して前記第2信号を発生する段階と、
を含むことを特徴とする。

10

【0036】

従って、本発明に係るソースドライバ回路及び方法は半導体チップの外部から別の信号を作らず既存の信号を用いてパネルに印加されるカラーデータの出力が所望の値になるまでの時間を減らせる長所がある。また本発明に係るソースドライバ回路はソースドライバ回路の内部のシフトレジスタと出力バッファ部が同時にスイッチングされながら発生されるスイッチング電流を分散させることによって消費電流の減少が可能であり、カラーデータの出力が所望の値になるまでの時間を減らすために出力バッファ部に使用されるドライビングトランジスタを小さくすることもできるため、チップ面積及び消費電流の減少が可能であるという長所がある。

20

【0037】

【発明の実施の形態】

本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分理解するためには本発明の望ましい実施形態を例示する添付した図面及び図面に記載された内容を参照すべきである。

【0038】

以下、添付した図面に基づき本発明の望ましい実施形態を説明することによって本発明を詳述する。各図面に示された同一な参照符号は同様な構成要素を示す。

30

【0039】

図3は本発明の好適な第1の実施形態に係る薄膜トランジスタ型液晶表示装置のソースドライバ回路を示す図である。

【0040】

図4は図3のソースドライバ回路300の動作を示すタイミング図である。

【0041】

図5は図3の出力制御部395を示す回路図である。

【0042】

図3、図4及び図5を参照すれば、本発明の好適な第1の実施形態に係る薄膜トランジスタ型液晶表示装置のソースドライバ回路300はデータラッチ部380、スイッチバッファ部390及び出力制御部395を備えることを特徴とする。

40

【0043】

データラッチ部380は、メインクロック信号MCLKにตอบสนองしてカラーデータDATAを受信して保存し、所定の第1信号CTRLS1にตอบสนองして保存されたカラーデータDATAを出力する。

【0044】

スイッチバッファ部390は、データラッチ部380から出力されるカラーデータDATAを受信し所定の第2信号CTRLS2にตอบสนองしてカラーデータYDATAをパネル370に印加する。

50

【 0 0 4 5 】

出力制御部 3 9 5 は、メインクロック信号 M C L K、パネル 3 7 0 に出力されるカラーデータ Y D A T A の電圧の極性を制御する極性反転信号 P O L 及び第 1 クロック信号 C L K 1 に応答して第 1 信号 C T R L S 1 及び第 2 信号 C T R L S 2 を発生する。望ましくは、第 1 信号 C T R L S 1 は極性反転信号 P O L の位相が反転される度に極性反転信号 P O L の立ち上がりエッジまたは立ち下がりエッジに応答して所定時間の間活性化され、極性反転信号 P O L の位相が変わらない場合、第 1 クロック信号 C L K 1 が第 1 信号 C T R L S 1 として発生されることを特徴とする。

【 0 0 4 6 】

また、第 2 信号 C T R L S 2 は極性反転信号 P O L の位相が反転される度に極性反転信号 P O L の立ち上がりエッジまたは立ち下がりエッジに応答して非活性化され第 1 クロック信号 C L K 1 の立ち上がりエッジに応答して活性化され、極性反転信号 P O L の位相が変わらない場合は現在の状態を維持することを特徴とする。

10

【 0 0 4 7 】

望ましくは、図 5 に示すように、出力制御部 3 9 5 はメインクロック信号 M C L K に応答して極性反転信号 P O L を受信し所定時間遅らせて出力する遅延部 5 1 0、第 1 クロック信号 C L K 1 に応答して極性反転信号 P O L を受信し、極性反転信号 P O L の位相が反転される度に活性化され、極性反転信号 P O L の位相が変わらない場合第 1 クロック信号 C L K 1 を第 1 信号 C T R L S 1 として発生する第 1 信号発生部 5 2 0 及び極性反転信号 P O L、遅延部 5 1 0 の出力信号及び所定の遅延第 1 クロック信号 C L K 1 _ D を受信して、極性反転信号 P O L の立ち上がりエッジまたは立ち下がりエッジに応答して非活性化され第 1 クロック信号 C L K 1 の立ち上がりエッジに応答して活性化され、極性反転信号 P O L の位相が変わらない場合は現在の状態を維持する第 2 信号 C T R L S 2 を発生する第 2 信号発生部 5 3 0 を備えることを特徴とする。

20

【 0 0 4 8 】

第 2 信号発生部 5 3 0 はメインクロック信号 M C L K に応答して第 1 クロック信号 C L K 1 を受信し所定時間遅らせて遅延第 1 クロック信号 C L K 1 _ D を発生する遅延クロック部 5 3 6 をさらに備える。

【 0 0 4 9 】

遅延部 5 1 0 は複数個のフリップフロップを備えることを特徴とする。第 1 信号発生部 5 2 0 は第 1 クロック信号 C L K 1 に応答して極性反転信号 P O L を受信し遅らせて出力する第 1 及び第 2 フリップフロップ 5 2 1、5 2 2、第 1 フリップフロップ 5 2 1 の出力及び第 2 フリップフロップ 5 2 2 の出力信号を受信して排他的論理和演算する第 2 排他的論理和手段 5 2 3、第 2 排他的論理和手段 5 2 3 の出力を反転して出力する第 2 インバータ 5 2 4、第 2 インバータ 5 2 4 の出力及び第 1 クロック信号 C L K 1 を論理積演算する論理積手段 5 2 5、遅延部 5 1 0 のフリップフロップのうち一番目のフリップフロップ 5 1 1 の反転出力信号を反転した信号及び三番目のフリップフロップ 5 1 3 の出力信号を排他的論理和演算する第 3 排他的論理和手段 5 2 7、及び第 3 排他的論理和手段 5 2 7 及び論理積手段 5 2 5 の出力を論理和演算して第 1 信号 C T R L S 1 として出力する論理和手段 5 2 5 を備えることを特徴とする。

30

40

【 0 0 5 0 】

第 2 信号発生部 5 3 0 は極性反転信号 P O L 及び遅延部 5 1 0 の出力信号を受信して排他的論理和演算する第 1 排他的論理和手段 5 3 1、第 1 排他的論理和手段 5 3 1 の出力及び遅延第 1 クロック信号 C L K 1 _ D を受信して出力する S R ラッチ 5 3 2、及び S R ラッチ 5 3 2 の出力を反転して第 2 信号 C T R L S 2 として発生する第 1 インバータ 5 3 5 を備えることを特徴とする。

【 0 0 5 1 】

以下、図 3、図 4 及び図 5 を参照して本発明の好適な第 1 の実施形態によるソースドライバ回路の動作を詳述する。

【 0 0 5 2 】

50

図3に示すように、データラッチ部380はメインクロック信号MCLKにตอบสนองしてカラーデータDATAを受信して保存し、所定の第1信号CTRLS1にตอบสนองして保存されたカラーデータDATAを出力する。

【0053】

さらに詳述すれば、メインクロック信号MCLKはデータラッチ部380の内部のシフトレジスタ310によって第1データラッチ部320に入力され、カラーデータDATAはメインクロック信号MCLKに同期されデータラッチ部380内部の第1データラッチ部320に印加される。第1データラッチ部320にラッチされたカラーデータDATAは第2データラッチ部330に入力され第1信号CTRLS1にตอบสนองして出力される。

【0054】

図4のタイミング図を見れば、第1信号CTRLS1は極性反転信号POLの反転位相が反転される度に極性反転信号POLの立ち上がりエッジまたは立ち下がりエッジにตอบสนองして所定時間の間活性化され、極性反転信号POLの位相が変わらない場合は、第1クロック信号CLK1が第1信号CTRLS1として発生される。

【0055】

このように働く第1信号CTRLS1は出力制御部395から発生される。出力制御部395の構成及び機能は後述する。

【0056】

第1信号CTRLS1にตอบสนองしてカラーデータDATAはデータラッチ部380からスイッチバッファ部390の出力バッファ部350に伝達される。図4から分かるように、第1信号CTRLS1の活性区間、すなわち論理ハイレベル区間内ではカラーデータAMP OUTは出力バッファ部350から出力される。この際、出力バッファ部350から出力されるカラーデータAMP OUTの極性は極性反転信号POLに応じて基準電圧VCOMを基準に変わることが分かる。極性反転信号POLの位相が変わらない場合(i)、(i)には第1クロック信号CTRLS1が第1信号CTRLS1として使用され、第1クロック信号CTRLS1にตอบสนองしてカラーデータAMP OUTが出力バッファ部350から出力される。

【0057】

スイッチバッファ部390はデータラッチ部380から出力されるカラーデータDATAを受信し所定の第2信号CTRLS2にตอบสนองしてカラーデータYDATAをパネル370に印加する。

【0058】

さらに詳述すれば、データラッチ部380から出力されたカラーデータDATAはスイッチバッファ部390内部のデコーディング部340で電圧制御信号VCM Aにตอบสนองして一定電圧レベルを有する。そして、カラーデータDATAは出力バッファ部350に印加され出力される。カラーデータDATAが出力バッファ部350まで印加され出力されることは第1信号CTRLS1によってなされる。第2信号CTRLS2はスイッチバッファ部390内部の出力スイッチ部360を制御してカラーデータYDATAをパネルに出力する。出力スイッチ部360は第2信号CTRLS2が活性化されればターンオンされ、非活性化されればターンオフされる複数個のスイッチを備える。

【0059】

第2信号CTRLS2は極性反転信号POLの位相が反転される毎に極性反転信号POLの立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され第1クロック信号CLK1の立ち上がりエッジにตอบสนองして活性化され、極性反転信号POLの位相が変わらない場合は現在の状態を維持する。

【0060】

このような機能を果たす第2信号CTRLS2は出力制御部395から発生される。出力制御部395の構成及び機能は後述する。

【0061】

第1信号CTRLS1によってカラーデータDATAが出力スイッチ部360の直前まで

10

20

30

40

50

至っており、このときに第2信号CTRLS2がハイレベルに活性化されれば出力スイッチ部360がターンオンされながらカラーデータYDATAがパネルに出力される。第2信号CTRLS2がハイレベルに活性化される間、第1信号CTRLS1はローレベルに非活性化される。すなわち、第2信号CTRLS2によって出力スイッチ部360からカラーデータYDATAがパネルに出力される間はデータラッチ部380に印加されるカラーデータDATAは第2データラッチ部380に保存されており、出力スイッチ部360からパネル370にカラーデータYDATAが全て出力されれば、すなわち第2信号CTRLS2がローレベルに非活性化されれば第1信号CTRLS1がハイレベルに活性化され、第2データラッチ部380に保存されていたカラーデータDATAは出力バッファ部340に印加される。

10

【0062】

また、第2信号CTRLS2がハイレベルに活性化される時間は第1クロック信号がハイレベルに活性化される時間と同様である。すなわち、スイッチバッファ部390の出力スイッチ部360からカラーデータYDATAがパネル370に印加される時間は従来のソースドライバ回路100と同一でありながらデータラッチ部380のカラーデータDATAは第1クロック信号CLK1が印加される前に出力バッファ部340に転送される。従って、第1クロック信号CLK1がハイレベルに発生されれば、すなわち第2信号CTRLS2がハイレベルに発生されればカラーデータYDATAは出力スイッチ部360からパネルに直ちに出力される。

【0063】

20

従来のソースドライバ回路100では第1クロック信号CLK1が発生された後カラーデータDATAが第1及び第2データラッチ部380、デコーディング部340及び出力バッファ部340を通過する時間がパネル370に出力されるカラーデータYDATAのスルーレートに全て含まれる。しかし、本発明によれば第1クロック信号CLK1が発生する前にカラーデータDATAが予め出力バッファ部340に転送されているため、出力スイッチ部360からパネル370に出力されるカラーデータYDATAのスルーレート(カラーデータの出力が所望の値になるまでの時間に対応する)は極めて減少する。

【0064】

第1信号CTRLS1と第2信号CTRLS2を発生する出力制御部395について説明する。

30

【0065】

出力制御部395はメインクロック信号MCLK、パネル370に出力されるカラーデータYDATAの電圧の極性を制御する極性反転信号POL及び第1クロック信号CLK1にตอบสนองして第1信号CTRLS1及び第2信号CTRLS2を発生する。

【0066】

望ましくは、出力制御部395は遅延部510、第1信号発生部520及び第2信号発生部530を備える。

【0067】

遅延部510はメインクロック信号MCLKにตอบสนองして極性反転信号POLを受信し所定時間遅らせて出力する。遅延部510は複数個のフリップフロップ511、512、513、514を備えることを特徴とする。

40

【0068】

第1信号発生部520は第1クロック信号CLK1にตอบสนองして極性反転信号POLを受信し、極性反転信号POLの位相が反転される毎に活性化され、極性反転信号POLの位相が変わらない場合第1クロック信号CLK1を第1信号CTRLS1として発生する。このため、第1信号発生部520は第1及び第2フリップフロップ521、522、排他的論理和手段523、527、インバータ524、526、論理積手段525及び論理和手段528を備える。

【0069】

第1及び第2フリップフロップ521、522は第1クロック信号CLK1にตอบสนองして動

50

作され、極性反転信号 P O L を受信し遅らせて第 2 排他的論理和手段 5 2 3 に印加する。また第 1 フリップフロップ 5 2 1 も極性反転信号 P O L を遅らせて第 2 排他的論理和手段 5 2 3 に印加する。第 2 排他的論理和手段 5 2 3 の出力は第 2 インバータ 5 2 4 を経て論理積手段 5 2 5 に入力される。論理積手段 5 2 5 としては第 1 クロック信号 C L K 1 も印加される。

【 0 0 7 0 】

第 2 インバータ 5 2 4 の出力がハイレベルなら第 2 排他的論理和手段 5 2 3 の出力はローレベルであり、これは第 2 排他的論理和手段 5 2 3 の二つの入力互いに同一な論理レベルを有することを意味する。すなわち、極性反転信号 P O L が第 1 フリップフロップ 5 2 1 及び第 2 フリップフロップ 5 2 2 によって遅延され出力された信号の論理レベルが同一であるという意味なので、これは極性反転信号の論理レベルが所定時間の間に変化しないということを示す。この際論理積手段 5 2 5 に入力される第 2 インバータ 5 2 4 の出力がハイレベルなので、論理積手段 5 2 5 の出力は第 1 クロック信号 C L K 1 と同様な信号になる。

10

【 0 0 7 1 】

第 1 クロック信号 C L K 1 に同期される極性反転信号 P O L の論理レベルが所定時間の間に変化しないため、遅延部 5 1 0 の三番目のフリップフロップ 5 1 3 の出力と一番目のフリップフロップ 5 1 1 の反転出力をインバータ 5 2 6 を通して受信する第 3 排他的論理和手段 5 2 7 の出力もローレベルになる。メインクロック信号 M C L K の周期は第 1 クロック信号 C L K 1 の周期に比べて相当に短いため、第 1 クロック信号 C L K 1 に同期される極性反転信号 P O L の論理レベルが変わらなければメインクロック信号 M C L K に同期される極性反転信号の論理レベルも変わらないからである。ここで、第 3 排他的論理和手段 5 2 7 の入力には必ず遅延部 5 1 0 の一番目及び三番目のフリップフロップ 5 1 1、5 1 3 の出力である必要はなく、極性反転信号 P O L が遅延される程が相異なる二つの入力であれば良い。第 3 排他的論理和手段 5 2 7 は極性反転信号 P O L の論理レベルが変わるかどうかを感知する機能を果たすからである。

20

【 0 0 7 2 】

従って、第 3 排他的論理和手段 5 2 7 の出力がローレベルなので論理和手段 5 2 8 の出力である第 1 信号 C T R L S 1 は論理積手段 5 2 5 の出力と同様になり、論理積手段 5 2 5 の出力は第 1 クロック信号 C L K 1 と同様なので、結局極性反転信号 P O L の論理レベルが変わらない場合は第 1 クロック信号 C L K 1 が第 1 信号 C T R L S 1 として発生される。これは、図 4 の (i) 及び (i i) 部分に該当する。図 4 のタイミング図の (i) 及び (i i) 部分は第 1 クロック信号 C L K 1 が第 1 信号 C T R L S 1 として発生されるため、出力バッファ部 3 4 0 の出力及び出力スイッチ部 3 6 0 の出力も従来のソースドライバ回路 1 0 0 と同様な形態に出力される。

30

【 0 0 7 3 】

極性反転信号 P O L の論理レベルが変われば、第 3 排他的論理和手段 5 2 7 の出力はハイレベルになり、よって論理和手段 5 2 8 は論理積手段 5 2 5 の出力の論理レベルを問わず第 1 信号 C T R L S 1 をハイレベルで出力する。すなわち、第 1 信号 C T R L S 1 は極性反転信号 P O L の論理レベルが変われば極性反転信号 P O L の立ち上がりエッジまたは立ち下がりエッジに反応して所定時間の間活性化される。

40

【 0 0 7 4 】

第 2 信号発生部 5 3 0 は極性反転信号 P O L、遅延部 5 1 0 の出力信号及び所定の遅延第 1 クロック信号 C L K 1 _ D を受信して、極性反転信号 P O L の立ち上がりエッジまたは立ち下がりエッジに反応して非活性化され第 1 クロック信号 C L K 1 の立ち上がりエッジに反応して活性化され、極性反転信号 P O L の位相が変わらない場合は現在の状態を維持する第 2 信号 C T R L S 2 を発生する。このため、第 2 信号発生部 5 3 0 は第 1 排他的論理和手段 5 3 1、S R ラッチ 5 3 2 及び第 1 インバータ 5 3 5 を備える。第 2 信号発生部 5 3 0 はメインクロック信号 M C L K に反応して第 1 クロック信号 C L K 1 を受信し所定時間遅らせて遅延第 1 クロック信号 C L K 1 _ D を発生する遅延クロック部 5 3 6 をさら

50

に備える。

【0075】

極性反転信号POLの論理レベルが変われば第1排他的論理和手段531の出力はハイレベルになり、SRラッチ532の動作特性上SRラッチ532の出力もハイレベルになる。従って、第1インバータ535の出力である第2信号CTRLS2はローレベルになる。すなわち、極性反転信号POLの論理レベルが変わる毎に第2信号CTRLS2はローレベルで出力される。極性反転信号POLの論理レベルが変わらなければ第1排他的論理和手段531の出力はローレベルになり、次いで第1クロック信号CLK1が所定時間だけ遅延された遅延第1クロック信号CLK1がハイレベルになればSRラッチ532の出力はローレベルになる。従って、第1インバータ535の出力である第2信号CTRLS2はハイレベルになる。第2信号CTRLS2は極性反転信号POLの位相が変わるまでハイレベルを維持してしてから極性反転信号POLの位相が変わればローレベルに落ちる。

10

【0076】

図4のタイミング図から分かる通り、第1信号CTRLS1は極性反転信号POLの立ち上がりエッジまたは立ち下がりエッジにตอบสนองして遅延部510の一番目のフリップフロップ511と三番目のフリップフロップ513による遅延時間間ハイレベルに活性化された後ローレベルに落ちる。勿論、極性反転信号POLの論理レベルが変わらない場合は第1クロック信号CLK1が第1信号CTRLS1として発生される。

【0077】

第2信号CTRLS2は極性反転信号POLの立ち上がりエッジまたは立ち下がりエッジにตอบสนองしてローレベルに落ち、第1クロック信号CLK1の立ち上がりエッジにตอบสนองしてハイレベルに活性化される。第1クロック信号CLK1の立ち上がりエッジよりやや後ハイレベルに活性化されることは遅延クロック部536による遅延時間のためである。

20

【0078】

第1信号CTRLS1と第2信号CTRLS2はハイレベルに活性化される区間が重複されない。従って、第1信号CTRLS1が活性化されデータラッチ部380に印加されたカラーデータDATAがスイッチバッファ部390の出力バッファ部340まで転送された後第1信号CTRLS1がローレベルに非活性化されれば、第2信号CTRLS2がハイレベルに活性化され出力スイッチ部360をターンオンさせ、出力スイッチ部360から出力されるカラーデータYDATAをパネル370に印加する。

30

【0079】

そして、第2信号CTRLS2がローレベルに非活性化されれば、再び第1信号CTRLS1がハイレベルに活性化されデータラッチ部380のカラーデータDATAをスイッチバッファ部390に印加する。従って、従来のソースドライバ回路100で第1クロック信号CLK1が発生される時間と同一な時間にパネル370にカラーデータYDATAが印加されるが、出力スイッチ部360からパネル370に印加されるカラーデータYDATAのスルーレートは従来のソースドライバ回路100より減少されうる。

【0080】

本発明の好適な実施形態に係るソースドライバ回路300は半導体チップの外部から別に信号を作らず既存の信号を用いてパネルに印加されるカラーデータYDATAのスルーレート(カラーデータの出力が所望の値になるまでの時間に対応する)が減らせる。また、本発明はドット反転型ソースドライバ回路以外もN-ライン反転型のモジュールにも適用できる。

40

【0081】

本発明はソースドライバ回路内部のレベルシフターと出力バッファ部が同時にスイッチングされながら発生するスイッチング電流を分散させ消費電流の節減が可能であり、スルーレートを減らすために出力バッファ部に使われるドライビングトランジスタを小さくすることもできるため、チップ面積及び消費電流の節減が可能である。

【0082】

50

ここで、第1信号CTRLS1及び第2信号CTRLS2の活性化レベルをハイレベルにし、非活性化レベルをローレベルに定義して説明したが、回路を構成するによっては活性化レベルをローレベルにし非活性化レベルをハイレベルにすることができることは当然である。

【0083】

本発明の好適な第2の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路300はデータラッチ部380及びスイッチバッファ部390を備えることを特徴とする。

【0084】

データラッチ部380はメインクロック信号MCLKにตอบสนองしてカラーデータDATAを受信して保存し、所定の第1信号CTRLS1にตอบสนองして保存されたカラーデータDATAを出力する。

【0085】

スイッチバッファ部390はデータラッチ部380から出力されるカラーデータDATAを受信し所定の第2信号CTRLS2にตอบสนองしてカラーデータYDATAをパネル370に印加する。

【0086】

望ましくは、第1信号CTRLS1は極性反転信号POLの位相が反転される毎に極性反転信号POLの立ち上がりエッジまたは立ち下がりエッジにตอบสนองして所定時間の間活性化され、極性反転信号POLの位相が変わらない場合は、第1クロック信号CLK1が第1信号CTRLS1として発生される。

【0087】

また、第2信号CTRLS2は極性反転信号POLの位相が反転される毎に極性反転信号POLの立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され第1クロック信号CLK1の立ち上がりエッジにตอบสนองして活性化され、極性反転信号POLの位相が変わらない場合は現在の状態を維持する。

【0088】

当業者であれば、本発明の好適な第2の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路の動作は第1実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路300の動作から理解できよう。従って、この動作に対する詳細な説明は略する。

【0089】

本発明の好適な第3の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路300は第1データラッチ部320、第2データラッチ部330、デコーディング部340、出力バッファ部350、出力スイッチ部360及び出力制御部395を備えることを特徴とする。

【0090】

第1データラッチ部320はメインクロック信号MCLKにตอบสนองしてカラーデータDATAを受信して保存する。第2データラッチ部330は第1データラッチ部320から出力されるカラーデータDATAを受信して保存した後所定の第1信号CTRLS1にตอบสนองして保存されたカラーデータDATAを出力する。デコーディング部340は所定の電圧制御信号VGMにตอบสนองして第2データラッチ部330から出力されるカラーデータDATAがそれぞれ一定した電圧を表示するようにする。出力バッファ部350はデコーディング部340から出力されるカラーデータDATAを受信しバッファリングしてカラーデータAMPOUTとして出力する。出力スイッチ部360は所定の第2信号CTRLS2にตอบสนองして出力バッファ部350から出力されるカラーデータAMPOUTをパネル370にカラーデータYDATAとして印加したり遮断したりする。

【0091】

出力制御部395はメインクロック信号MCLK、パネル370に出力されるカラーデータYDATAの電圧の極性を制御する極性反転信号POL及び第1クロック信号CLK1

10

20

30

40

50

にตอบสนองして第1信号CTRLS1及び第2信号CTRLS2を発生する。

【0092】

出力制御部395はメインクロック信号MCLKにตอบสนองして極性反転信号POLを受信し所定時間遅らせて出力する遅延部510、第1クロック信号CLK1にตอบสนองして極性反転信号POLを受信し、極性反転信号POLの位相が反転される時毎に活性化され、極性反転信号POLの位相が変わらない場合第1クロック信号CLK1を第1信号CTRLS1として発生する第1信号発生部520及び極性反転信号POL、遅延部510の出力信号及び所定の遅延第1クロック信号CLK1_Dを受信して、極性反転信号POLの立ち上がりエッジまたは立ち下がりエッジにตอบสนองして非活性化され第1クロック信号CLK1の立ち上がりエッジにตอบสนองして活性化され、極性反転信号POLの位相が変わらない場合は現在の状態を維持する第2信号CTRLS2を発生する第2信号発生部530を備える。

10

【0093】

第2信号発生部530はメインクロック信号MCLKにตอบสนองして第1クロック信号CLK1を受信し所定時間遅らせて遅延第1クロック信号CLK1を発生する遅延クロック部536をさらに備える。遅延部510は複数のフリップフロップ511、512、513、514を備える。第1信号発生部520は第1クロック信号CLK1にตอบสนองして極性反転信号POLを受信し遅らせて出力する第1及び第2フリップフロップ521、522、第1フリップフロップ521の出力及び第2フリップフロップ522の出力信号を受信して排他的論理和演算する第2排他的論理和手段523、第2排他的論理和手段523の出力を反転して出力する第2インバータ524、第2インバータ524の出力及び第1クロック信号CLK1を論理積演算する論理積手段525、遅延部510のフリップフロップのうち一番目のフリップフロップ511の反転出力信号を反転した信号及び三番目のフリップフロップ513の出力信号を排他的論理和演算する第3排他的論理和手段527、及び第3排他的論理和手段527及び論理積手段525の出力を論理和演算して第1信号CTRLS1として出力する論理和手段528を備える。

20

【0094】

第2信号発生部530は極性反転信号POL及び遅延部510の出力信号を受信して排他的論理和演算する第1排他的論理和手段531、第1排他的論理和手段531の出力及び遅延第1クロック信号CLK1_Dを受信して出力するSRラッチ532、SRラッチ532の出力を反転して第2信号CTRLS2として発生する第1インバータ535を備える。

30

【0095】

当業者であれば、本発明の好適な第3の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路の動作は第1実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路300の動作から理解できよう。従って、この動作に対する詳細な説明は省略される。

【0096】

図6は本発明の好適な第1の実施形態によるパネルに印加されるカラーデータのスルーレートを調節する方法を示すフローチャートである。

【0097】

図7は図6の第610段階を説明するフローチャートである。

40

【0098】

図8は図7の第720段階を説明するフローチャートである。

【0099】

図9は図6の第620段階を説明するフローチャートである。

【0100】

図10は図9の第930段階を説明するフローチャートである。

【0101】

図6～図10を参照すれば、本発明の好適な第1の実施形態による薄膜トランジスタ型液晶表示装置のソースドライバ回路においてパネルに印加されるカラーデータのスルーレ

50

トを調節する方法 600 は、メインクロック信号に応答してカラーデータを受信して保存し、所定の第 1 信号に応答して保存されたカラーデータを出力する段階(第 610 段階)、及びこの出力されるカラーデータを受信し所定の第 2 信号に応答してカラーデータをパネルに印加する段階(第 620 段階)と、を含むことを特徴とする。

【0102】

さらに詳述すると、メインクロック信号に応答してカラーデータを受信して保存する段階(第 710 段階)、メインクロック信号、パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第 1 クロック信号に応答して第 1 信号を発生する段階(第 720 段階)、及び第 1 信号に応答してカラーデータを出力する段階(第 730 段階)を含むことを特徴とする。第 720 段階は第 1 クロック信号に応答して極性反転信号を受信し、極性反転信号を相異なる時間の間遅らせた二つの信号を排他的論理和演算する段階(第 810 段階)、第 810 段階の出力を反転して出力する段階(第 820 段階)、第 820 段階の出力及び第 1 クロック信号を論理積演算する段階(第 830 段階)、メインクロック信号に応答して極性反転信号を受信し、極性反転信号を相異なる時間の間遅らせた二つの信号を排他的に論理和演算する段階(第 840 段階)、第 830 段階と第 840 段階の出力を論理和演算して第 1 信号を発生する段階(第 850 段階)を含むことを特徴とする。

10

【0103】

第 620 段階はこの出力されるカラーデータを受信しカラーデータがそれぞれ一定した電圧を表示するようデコーディングする段階(第 910 段階)、デコーディングされたカラーデータを受信しバッファリングして出力する段階(第 920 段階)、メインクロック信号、パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第 1 クロック信号に応答して第 2 信号を発生する段階(第 930 段階)、及び第 2 信号に応答してカラーデータをパネルに印加する段階(第 940 段階)を含むことを特徴とする。

20

【0104】

第 930 段階はメインクロック信号に応答して極性反転信号を受信し、極性反転信号及び極性反転信号を遅らせた信号を受信して排他的論理和演算する段階(第 1010 段階)、該第 1010 段階の出力及び第 1 クロック信号を遅らせた遅延第 1 クロック信号を受信しラッチする段階(第 1020 段階)、及び第 1020 段階の出力を反転して第 2 信号を発生する段階(第 1030 段階)を含むことを特徴とする。

30

【0105】

以下、図 6 ないし図 10 を参照してパネルに印加されるカラーデータのスルーレートを調節する方法を詳述する。

【0106】

パネルに印加されるカラーデータのスルーレートを調節する方法(600)は薄膜トランジスタ型液晶表示装置のソースドライバ回路に係る。このようなソースドライバ回路は図 3 において既に説明されている。

【0107】

薄膜トランジスタ型液晶表示装置のソースドライバ回路はメインクロック信号に応答してカラーデータを受信して保存し、所定の第 1 信号に応答して保存されたカラーデータを出力する(第 610 段階)。

40

【0108】

さらに詳述すると、ソースドライバ回路はメインクロック信号に応答してカラーデータを受信して保存する(第 710 段階)。メインクロック信号はソースドライバ回路内部のシフトレジスタに入力され、シフトレジスタは入力されたメインクロック信号をシフトさせ出力する。カラーデータはシフトレジスタから出力されたメインクロック信号に同期されソースドライバ回路に入力され保存される。

【0109】

ソースドライバ回路はメインクロック信号、パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第 1 クロック信号に応答して第 1 信号を発生する(第 720 段階)。具体的に、第 1 信号は極性反転信号の位相が反転される毎に極性反転信号の立

50

ち上がりエッジまたは立ち下がりエッジに反応して所定時間の間活性化され、極性反転信号の位相が変わらない場合は第1クロック信号が第1信号として発生される。

【0110】

ソースドライバ回路は第1信号に応じてカラーデータをパネルに出力する直前まで移動させ、後述する第2信号に応じてカラーデータをパネルに出力する。

【0111】

このような第1信号は次のような方法によって発生される。すなわち、ソースドライバ回路は第1クロック信号に反応して極性反転信号を受信し、極性反転信号を相異なる時間の間遅らせた二つの信号を排他的論理和演算する(第810段階)。第810段階の出力を反転して出力する(第820段階)。第820段階の出力及び第1クロック信号を論理積演算する(第830段階)。

10

【0112】

メインクロック信号に反応して極性反転信号を受信し、極性反転信号を相異なる時間の間遅らせた二つの信号を排他的に論理和演算する(第840段階)。第1信号は第830段階と第840段階の出力を論理和演算して発生される(第850段階)。

【0113】

ソースドライバ回路は前述した過程を経て発生された第1信号に反応してカラーデータを出力する(第730段階)。従来は第1クロック信号に反応してカラーデータがパネルに印加されることによってパネルに印加されるカラーデータのスルーレートにはカラーデータがソースドライバ回路に入力された後再びソースドライバ回路から出力されるまでの時間が全て含まれる。しかし、本発明の好適な実施形態に係る方法(600)によれば、第1クロック信号より先に第1信号を発生させカラーデータをソースドライバ回路からパネルに出力される直前の状態にし、後述する第2信号に反応してカラーデータをパネルに印加する。第2信号は従来のソースドライバ回路からパネルにカラーデータを印加する際発生する第1クロック信号と同一なタイミングに発生する。従って、カラーデータが従来のソースドライバ回路と同一なタイミングでパネルに出力されながらも、パネルに出力されるカラーデータのスルーレート(カラーデータの出力が所望の値になるまでの時間に対応する)は極めて減少する。

20

【0114】

ソースドライバ回路はこの出力されるカラーデータを受信し、所定の第2信号に反応してカラーデータをパネルに印加する(第620段階)。

30

【0115】

さらに具体的に説明すれば、ソースドライバ回路はこの出力されるカラーデータを受信しカラーデータがそれぞれ一定した電圧を表示するようデコーディングし、デコーディングされたカラーデータを受信しバッファリングして出力する(第910段階、第920段階)。

【0116】

ソースドライバ回路はメインクロック信号、パネルに出力されるカラーデータの電圧の極性を制御する極性反転信号及び第1クロック信号に反応して第2信号を発生する(第930段階)。第2信号は極性反転信号の位相が反転される毎に極性反転信号の立ち上がりエッジまたは立ち下がりエッジに反応して非活性化され第1クロック信号の立ち上がりエッジに反応して活性化され、極性反転信号の位相が変わらない場合は現在の状態を維持する。

40

【0117】

このような第2信号は次のような方法によって発生される。すなわち、ソースドライバ回路はメインクロック信号に反応して極性反転信号を受信し、極性反転信号及び極性反転信号を遅らせた信号を受信して排他的論理和演算する(第1010段階)。第1010段階の出力及び第1クロック信号を遅らせた遅延第1クロック信号を受信しラッチする(第1020段階)。第2信号は第1020段階の出力を反転して発生される(第1030段階)。

【0118】

50

ソースドライバ回路は前述した過程を経て発生された第2信号にตอบสนองしてソースドライバ回路から出力される直前の状態になっているカラーデータをパネルに印加する(第940段階)。従って、カラーデータのスルーレートは減少する。

【0119】

第1信号と第2信号は活性化される区間が重複しない。従って、第1信号が活性化されソースドライバ回路に印加されたカラーデータがパネルに出力される直前まで転送された後第1信号が非活性化されれば、第2信号が活性化されカラーデータをパネルに印加する。

【0120】

そして、第2信号は非活性化されれば、再び第1信号が活性化されカラーデータをパネルに出力される直前まで転送する。従って、従来のソースドライバ回路で第1クロック信号が発生する時間と同一な時間にパネルにカラーデータが印加されるが、パネルに印加されるカラーデータのスルーレートは従来のソースドライバ回路より減少されうる。

【0121】

以上のように図面と明細書において最適の実施形態が開示された。ここで特定の用語が使用されたが、これは単に本発明を説明するための目的から使用されるものであり、意味の限定や特許請求の範囲に記載された本発明の範囲を制限するために使用されたものではない。従って、当業者であれば、これより多様な変形及び均等な他の実施形態が可能である点を理解できよう。従って、本発明の真の技術的保護範囲は特許請求の範囲の技術的思想によって定められるべきである。

【0122】

【発明の効果】

前述した通り本発明に係るソースドライバ回路及び方法は、半導体チップの外部から別の信号を作らず既存の信号を用いてパネルに印加されるカラーデータのスルーレート(カラーデータの出力が所望の値になるまでの時間に対応する)を減らせるという長所がある。また本発明に係るソースドライバ回路はソースドライバの回路内部のシフトレジスタと出力バッファ部が同時にスイッチングされながら発生されるスイッチング電流を分散させることによって消費電流の節減が可能であり、スルーレートを減らすために出力バッファ部に使われるドライビングトランジスタを小さくすることもできるため、チップ面積及び消費電流の節減が可能であるという長所がある。

【図面の簡単な説明】

【図1】従来の薄膜トランジスタ型液晶表示装置のソースドライバ回路を示すブロック図である。

【図2】図1のソースドライバ回路の動作を示すタイミング図である。

【図3】本発明の好適な第1の実施形態に係る薄膜トランジスタ型液晶表示装置のソースドライバ回路を示す図である。

【図4】図3のソースドライバ回路の動作を示すタイミング図である。

【図5】図3の出力制御部を示す回路図である。

【図6】本発明の好適な第1の実施形態によるパネルに印加されるカラーデータのスルーレートを調節する方法を示すフローチャートである。

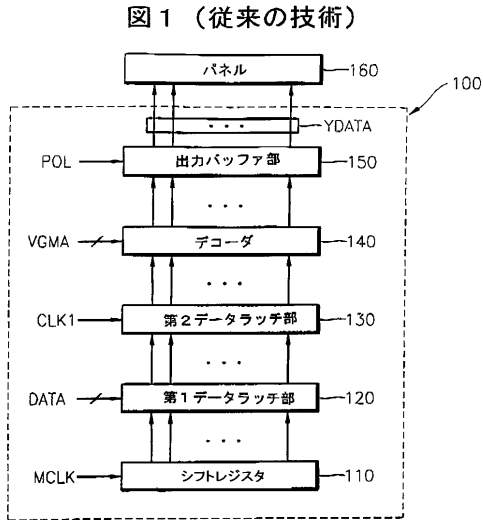
【図7】図6の第610段階を説明するフローチャートである。

【図8】図7の第720段階を説明するフローチャートである。

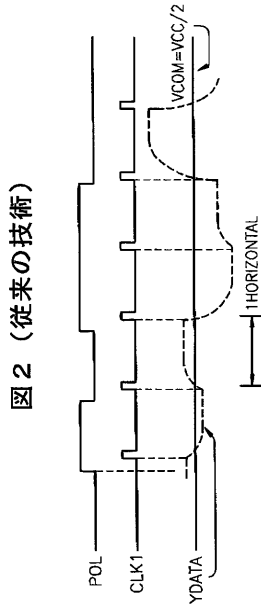
【図9】図6の第620段階を説明するフローチャートである。

【図10】図9の第930段階を説明するフローチャートである。

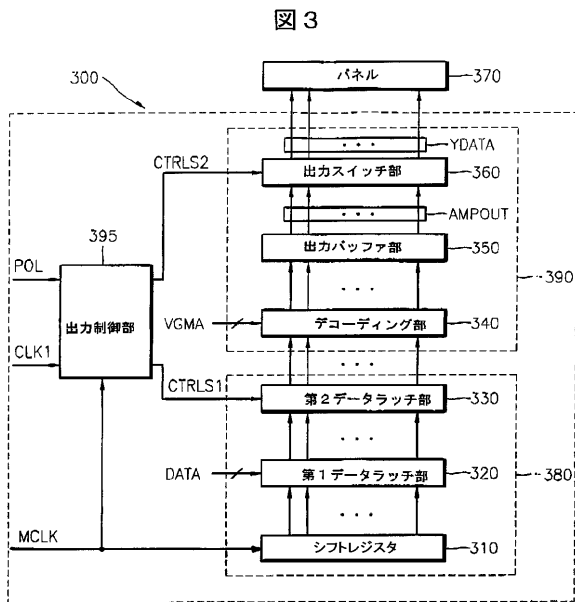
【図1】



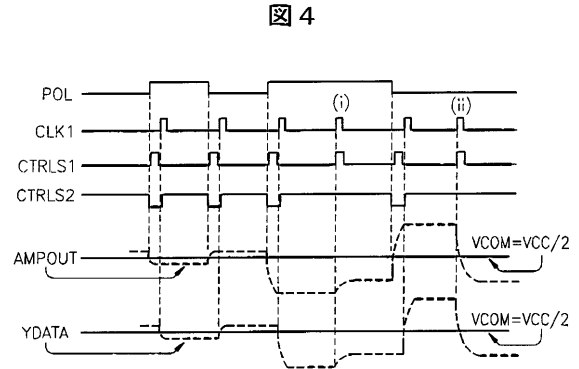
【図2】



【図3】



【図4】



【図5】

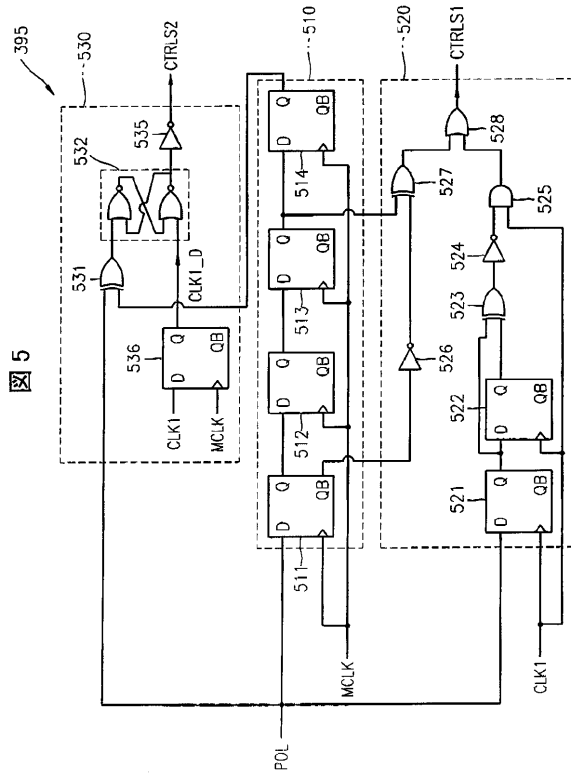
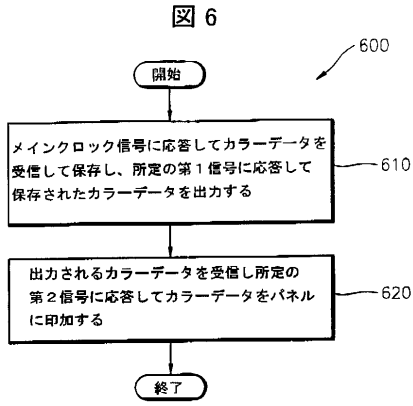
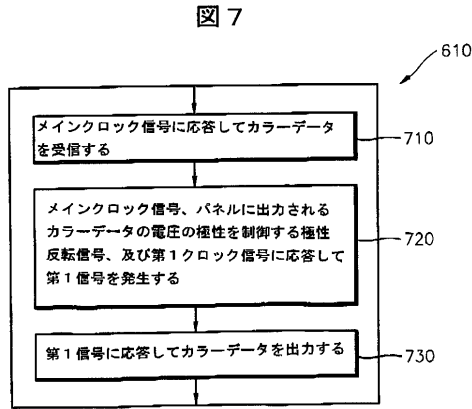


図5

【図6】



【図7】



【図8】

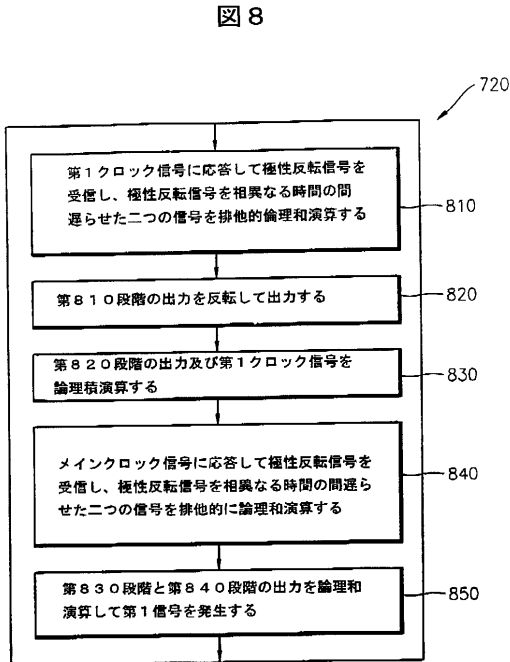


図8

【図9】

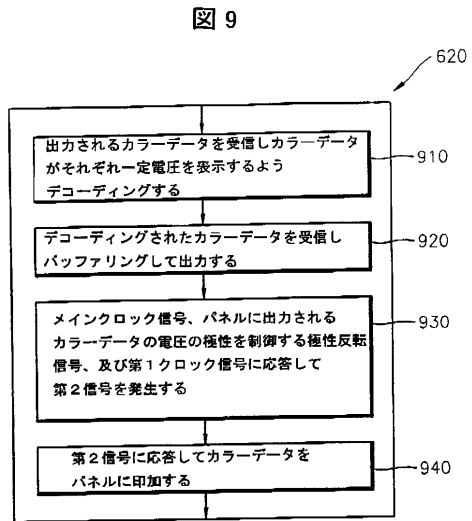
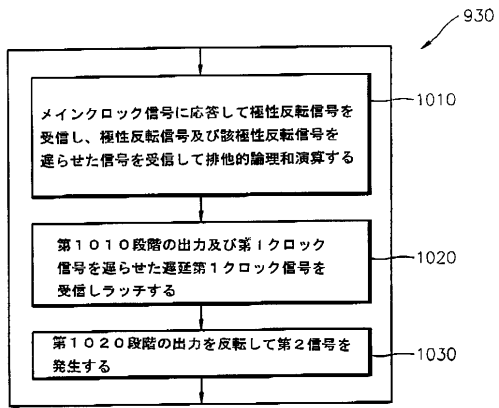


図9

【図10】

図10



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 E
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 2 J

審査官 後藤 亮治

(56)参考文献 特開平 1 1 - 0 7 3 1 6 3 (J P , A)
特開平 1 0 - 0 6 2 7 4 4 (J P , A)
特開 2 0 0 0 - 1 3 7 2 0 7 (J P , A)
特開平 1 0 - 1 8 7 1 0 0 (J P , A)
特開平 0 8 - 3 3 5 0 5 9 (J P , A)
米国特許第 0 6 3 3 5 7 2 1 (U S , B 1)

(58)調査した分野(Int.Cl. , D B名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	薄膜晶体管型液晶显示装置的源极驱动电路和方法		
公开(公告)号	JP4363619B2	公开(公告)日	2009-11-11
申请号	JP2003035189	申请日	2003-02-13
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴相鎬		
发明人	朴相鎬		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/18		
CPC分类号	G09G3/3688 G09G3/3685 G09G5/18 G09G2320/0252		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G09G3/20.611.A G09G3/20.611.J G09G3/20.621.B G09G3/20.623.D G09G3/20.623.E G09G3/20.623.G G09G3/20.623.R G09G3/20.624.B G09G3/20.641.C G09G3/20.642.J		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NC11 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC28 2H093/NC34 2H093/ND10 2H093/ND32 2H093/ND36 2H193/ZA04 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AF42 5C006/AF50 5C006/AF64 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BF06 5C006/BF26 5C006/BF27 5C006/FA14 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
优先权	1020020009732 2002-02-23 KR		
其他公开文献	JP2004004556A		
外部链接	Espacenet		

摘要(译)

(经修改) 要解决的问题: 提供一种薄膜晶体管型液晶显示器件的源极驱动器电路和方法, 其降低转换速率(转换速率)。数据锁存单元响应于主时钟信号接收并存储颜色数据, 并响应于预定的第一信号输出存储的颜色数据。开关缓冲器单元接收从数据锁存单元输出的颜色数据, 并响应于预定的第二信号将颜色数据施加到面板。输出控制单元响应于主时钟信号产生第一信号和第二信号, 用于控制输出到面板的颜色数据的电压的极性的极性反转信号, 以及第一时钟信号。因此, 彩色数据的转换速率施加(输出彩色数据对应的时间, 直到所期望的值), 以使用现有的信号的面板而不从半导体芯片Herase的外部产生的另一信号有一个优点。点域

