

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4223712号
(P4223712)

(45) 発行日 平成21年2月12日 (2009. 2. 12)

(24) 登録日 平成20年11月28日 (2008. 11. 28)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 611A

G09G 3/20 623G

G09G 3/20 623H

請求項の数 4 (全 10 頁)

(21) 出願番号 特願2001-359844 (P2001-359844)
 (22) 出願日 平成13年11月26日 (2001. 11. 26)
 (65) 公開番号 特開2002-221951 (P2002-221951A)
 (43) 公開日 平成14年8月9日 (2002. 8. 9)
 審査請求日 平成16年7月30日 (2004. 7. 30)
 (31) 優先権主張番号 2001-000843
 (32) 優先日 平成13年1月6日 (2001. 1. 6)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100086368

弁理士 萩原 誠

(72) 発明者 康 彰 植

大韓民国京畿道龍仁市器興邑農書里山7-1番地

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ型液晶表示装置ドライバー

(57) 【特許請求の範囲】

【請求項 1】

多数のトランジスタ及びキャパシタより構成されるパネルのゲートラインを駆動するためのゲートドライバーと、

前記パネルのソースラインを駆動するためのソースドライバーと、を具備し、

前記ソースドライバーは、

外部クロックを分周した信号がクロック信号として入力され、入出力端が直列接触された第1ないし第nフリップフロップを具備し、前記第1フリップフロップの入力信号として駆動パルス信号が前記クロック信号に应答して印加される、シフトレジスター部と、

前記対応する第1ないし第nフリップフロップで前記クロック信号の第1エッジに应答して生じる第1ないし第n中間駆動パルス信号と前記対応する第1ないし第nフリップフロップで前記クロック信号の第2エッジに应答して生じる第1ないし第n出力信号の反転信号とを論理積して、第1ないし第nラッチクロック信号を生じる第1ないし第n論理積手段を具備する、ラッチクロック信号発生部と、

データ信号を各々受信し、前記対応する第1ないし第nラッチクロック信号に各々应答して前記データ信号をラッチして出力する第1ないし第nラッチを具備するデータラッチ部と、を具備し、

前記第1エッジが前記クロック信号の上昇エッジの場合前記第2エッジは前記クロック信号の下降エッジであり、前記第1エッジが前記クロック信号の下降エッジの場合前記第2エッジは前記クロック信号の上昇エッジである、ことを特徴とする薄膜トランジスタ型

10

20

液晶表示装置ドライバー。

【請求項 2】

前記クロック信号が、前記第 1 ないし第 n フリップフロップのうち奇数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第 1 ないし第 n フリップフロップのうち偶数番目のフリップフロップに入力される、ことを特徴とする請求項 1 に記載の薄膜トランジスタ型液晶表示装置ドライバー。

【請求項 3】

前記クロック信号が、前記第 1 ないし第 n フリップフロップのうち偶数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第 1 ないし第 n フリップフロップのうち奇数番目のフリップフロップに入力される、ことを特徴とする請求項 1 に記載の薄膜トランジスタ型液晶表示装置ドライバー。

10

【請求項 4】

前記クロック信号は、前記外部クロックの 2 分周信号である、ことを特徴とする請求項 1 に記載の薄膜トランジスタ型液晶表示装置ドライバー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ(Thin Film Transistor: TFT)型液晶表示装置(Liquid Crystal Display: LCD)に係り、より詳細には、薄膜トランジスタ型液晶表示装置のパネルを駆動するための薄膜トランジスタ型液晶表示装置ドライバーで消費される電流を減らしうる薄膜トランジスタ型液晶表示装置ドライバーに関する。

20

【0002】

【従来の技術】

一般にTFT型LCDのパネルを駆動するためにTFT型LCDドライバーは、薄膜トランジスタのゲートライン(またはロー(row)ラインと称する)を駆動するためのゲートドライバー及び、薄膜トランジスタのソースライン(またはカラム(column)ラインと称する)を駆動するためのソースドライバーを具備する。ゲートドライバーがTFT型LCDに高電圧を印加して薄膜トランジスタをターンオン状態にすれば、ソースドライバーは、各ソースラインに色を表示するためのソース駆動信号を印加することによって、液晶表示装置に画面を表示する。このようなソースドライバー及びゲートドライバーは、順次に信号を印加するために多数のシフトレジスターを内蔵している。

30

【0003】

TFT型LCDのパネルを駆動させるためのゲートドライバーは、同一のゲートラインに該当する画素を駆動するために走査ラインを通じて選択パルスを印加し、ソースドライバーは、所定の信号ラインを通じてターンオンされた薄膜トランジスタに映像信号を印加する。この時、各々の信号ラインを通じて薄膜トランジスタに順次に映像信号を印加するためには、ソースドライバーの内部にシフトレジスターを具備し、入力されたデータを外部クロック信号に応答して順次にラッチする。

例えば、6ビット300チャンネルのTFT型LCDのソースドライバーにおいて、1ポートの映像信号を処理する場合には、100個のフリップフロップより構成されたシフトレジスターが内蔵される。

40

【0004】

ところが、大部分のTFT型LCDのソースドライバーは、一般にノートブックコンピュータなど携帯用装置に搭載されるように具現されているので、消費電流を減らすことは非常に重要な問題である。ソースドライバーの内部に備わったシフトレジスターは、多数のフリップフロップより構成されたシフトレジスターが、一つのクロック信号に応答して動作するために、シフトレジスターで消費される電流は、一定に印加されるクロック信号により増加する。また、高周波で駆動する場合、クロック信号の"ハイ"状態や"ロー"状態が維持される時間が短くなるので、有効なクロック信号として認識されず、誤動作が発生し、したがって、フリップフロップが一定の"ハイ"状態または"ロー"状態を認識するためには、充

50

分のバッファリングが確保されねばならないが、これも電流の消費が増加する短所がある。すなわち、高周波で駆動するほど、TFT型LCDドライバーの電流消費は増加するという問題がある。

【 0 0 0 5 】

【発明が解決しようとする課題】

本発明が解決しようとする技術的課題は、外部クロックの2分周信号をクロック信号として使用して、クロックの遷移回数を減らすことによって、TFT型LCDドライバーで消費される電流を減らしうるTFT型LCDドライバーを提供することにある。

【 0 0 0 6 】

【課題を解決するための手段】

前記技術的課題を達成するための本発明によれば、多数のトランジスタ及びキャパシタより構成されるパネルのゲートラインを駆動するためのゲートドライバー及び、前記パネルのソースラインを駆動するためのソースドライバーとを具備する。

【 0 0 0 7 】

前記ソースドライバーは、外部クロックを分周した信号がクロック信号として入力され、入出力端が直列接触された第1ないし第nフリップフロップを具備し、前記第1フリップフロップの入力信号として駆動パルス信号が前記クロック信号に応答して印加されるシフトレジスタ部と、前記対応する第1ないし第nフリップフロップで生じる第1ないし第n中間駆動パルス信号と第1ないし第n出力信号の反転信号とを論理積して、第1ないし第nラッチクロック信号を生じる第1ないし第n論理積手段、を具備するラッチクロック信号発生部と、データ信号を各々受信し、前記対応する第1ないし第nラッチクロック信号に各々応答して前記データ信号をラッチして出力する第1ないし第nラッチを具備するデータラッチ部、とを具備する、ことを特徴とするTFT型LCDドライバーを提供する。

【 0 0 0 8 】

特に、前記クロック信号が、前記第1ないし第nフリップフロップのうち奇数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第1ないし第nフリップフロップのうち偶数番目のフリップフロップに入力されたり、あるいは、前記クロック信号が前記第1ないし第nフリップフロップのうち偶数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第1ないし第nフリップフロップのうち奇数番目のフリップフロップに入力される。

【 0 0 0 9 】

【発明の実施の形態】

本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施例を示す添付図面及び図面に記載された内容を参照しなければならない。

以下、添付した図面を参照して、本発明の望ましい実施例を説明することによって、本発明を詳細に説明する。各図面に示された同じ参照符号は、同じ部材を示す。

【 0 0 1 0 】

図1を参照すれば、本発明に係るTFT型LCDのドライバー100は、多数のトランジスタ及びキャパシタより構成されるパネル110のゲートラインを駆動するためのゲートドライバー120、及びパネル110のソースラインを駆動するためのソースドライバー130、を具備する。

パネル110に接続される基準信号VCOMは、接地と接続でき、その他の電圧とも接続できる。

【 0 0 1 1 】

図1のドライバー100は、ソースドライバー130及びゲートドライバー120の二つの半導体装置に分けられ、ソースドライバー130は、画面にディスプレイされる1画素当たり6ビットの色相データを入力される。ソースドライバー130には、画面の一つのゲートライン(横線)の画素に該当する色相データが入力されてラッチされる。ソースドライバーは、画面の一つのゲートライン(横線)の画素数に該当する色相データを全てラッチ

した後、最後に各画素の色相データにマルチプレックスして、色相を表示させる信号LAT 1 Q, LAT 2 Q, LAT 3 Q, ... LATnQを、パネル 1 1 0 に 1 行ずつ同時に印加する。ここでnは 1 より大きい整数であり、以下で同一である。ソースドライバー 1 3 0 の詳細な動作は、後述する図 2 で詳細に説明される。

【 0 0 1 2 】

ゲートドライバー 1 2 0 は、外部クロックにตอบสนองしてシフティング動作を行うシフトレジスター(図示せず)、シフトレジスター(図示せず)でシフティングされた値にตอบสนองしてレベルをシフトするレベルシフタ(図示せず)及び、シフティングされたレベルをバッファリングし、バッファリングされたレベルを液晶表示装置のパネル 1 1 0 のゲートラインを駆動するための信号GS 1, GS 2, ... GS_nとして出力するバッファ(図示せず)、を具備する。すなわち、ゲートドライバー 1 2 0 は、液晶表示装置のパネル 1 1 0 のゲートラインの 1 行に連結されたトランジスタのゲートに電圧を印加して、トランジスタをターンオンさせる。したがってターンオンされたトランジスタのソースを通じて、キャパシタにソースドライバー 1 3 0 で作られた画素の色相信号LAT 1 Q, LAT 2 Q, LAT 3 Q, ... LATnQが印加されて、キャパシタが充電され、液晶表示装置は、充電された電圧だけターンオンされて色相を表示する。

【 0 0 1 3 】

図 2 を参照すれば、図 1 に示したソースドライバー 1 3 0 は本発明の核心構成要素であって、シフトレジスター部 2 1 0、ラッチクロック信号発生部 2 3 0、データラッチ部 2 5 0、及び分周器 2 7 0 を具備する。

【 0 0 1 4 】

シフトレジスター部 2 1 0 は、外部クロックICLKを分周した信号がクロック信号CLKとして入力され、入出力端が直列接触された第 1 ないし第nフリップフロップF 1 ~ Fnを具備し、第 1 フリップフロップF 1 の入力信号として、駆動パルス信号STARTがクロック信号CLKにตอบสนองして印加される。ここで、クロック信号CLKは、外部クロックICLKをいくつに分周させて使用できるが、図 2 のソースドライバー 1 3 0 では 2 分周信号を使用する。また、図 2 のソースドライバー 1 3 0 で、クロック信号CLKは、第 1 ないし第nフリップフロップF 1 ~ Fnのうち奇数番目のフリップフロップに入力され、クロック信号CLKの位相反転信号は、第 1 ないし第nフリップフロップF 1 ~ Fnのうち偶数番目のフリップフロップに入力されたり、または、クロック信号CLKは、第 1 ないし第nフリップフロップF 1 ~ Fnのうち偶数番目のフリップフロップに入力され、クロック信号CLKの位相反転信号は、第 1 ないし第nフリップフロップF 1 ~ Fnのうち奇数番目のフリップフロップに入力される。

【 0 0 1 5 】

ラッチクロック信号発生部 2 3 0 は、対応する第 1 ないし第nフリップフロップF 1 ~ Fnで生じる第 1 ないし第n中間駆動パルス信号S 1 ~ Snと第 1 ないし第n出力信号Q 1 ~ Qnの反転信号とを論理積して、第 1 ないし第nラッチクロック信号LACK 1 ~ LACKnを生じる第 1 ないし第n論理積手段N 1 ~ Nn、を具備する。クロック信号CLKが 2 分周信号ではない場合には、ラッチクロック信号発生部 2 3 0 の構成は変わりうる。

【 0 0 1 6 】

データラッチ部 2 5 0 は、データ信号DATAを各々受信し、対応する第 1 ないし第nラッチクロック信号LACK 1 ~ LACKnに各々ตอบสนองして、データ信号DATAをラッチして出力する第 1 ないし第nラッチLAT 1 ~ LATn、を具備する。

分周器 2 7 0 は、外部クロックICLKを分周してクロック信号CLKを生じ、図 1 では、2 分周信号がクロック信号CLKとして生じる。

【 0 0 1 7 】

図 3 では、フリップフロップF 1 ~ Fnのうち、第 1 フリップフロップF 1 の構造が代表的に示され、示された第 1 フリップフロップF 1 の構造は、他のフリップフロップF 1 ~ Fnにおいても共通している。第 1 フリップフロップF 1 は、クロック信号を反転させるインバータ 3 0 5 及びクロック信号CLKにตอบสนองして、駆動パルス信号STARTを受信して中間駆動パルス信号S 1 を生じるマスタ段 3 2 5、及び、クロック信号CLKにตอบสนองして中間駆動パルス信

10

20

30

40

50

号S1を受信して出力信号Q1を生じるスレーブ段350、を具備する。マスタ段325は、トランスファゲート310、320、及びインバータ313、316、319、より構成される。スレーブ段350は、トランスファゲート330、340、及びインバータ333、336、339、より構成される。

【0018】

図4では、ラッチLAT1~LATnのうち、第1ラッチLAT1の構造が代表的に示され、示された第1ラッチLAT1の構造は、他のラッチLAT1~LATnにおいても共通している。第1ラッチLAT1は、第1ラッチクロック信号LACK1を反転させるインバータ405と、トランスファゲート410、420、及びインバータ413、416、419、より構成される。以下、図2、図3及び図4を参照して、本発明の実施例に係るソースドライバー130の動作を詳細に説明する。

10

【0019】

シフトレジスタ部210は、駆動パルス信号STARTを入出力端が直列接触されたn個のフリップフロップF1~Fnを通じて順次にラッチし、第1ないし第n中間駆動パルス信号S1~Sn、及び第1ないし第n出力信号Q1~Qn、を生じる。さらに説明すれば、シフトレジスタ部210の第1フリップフロップF1は、駆動パルス信号STARTを受信して第1出力信号Q1を生じ、第1出力信号Q1は、第2フリップフロップF2の入力として印加される。第2フリップフロップF2の出力信号Q2は、第3フリップフロップF3の入力として印加され、同じ方式で第nフリップフロップFnの入力としては、第n-1フリップフロップFn-1の出力信号Qn-1が印加される。すなわち、第1フリップフロップF1の入力として印加された駆動パルス信号STARTは、クロック信号CLKにตอบสนองして出力され、第2フリップフロップF2の入力として印加される。ここで、クロック信号CLKは、外部クロックICLKを分周器170を通じて2分周した信号である。

20

【0020】

クロック信号CLKと、クロック信号CLKの位相が反転された信号とが、第1ないし第nフリップフロップF1~Fnのクロック入力として、交代に入力される。すなわち、奇数番目のフリップフロップにクロック信号CLKが入力されれば、偶数番目のフリップフロップにクロック信号CLKの位相が反転されて入力される。または、偶数番目のフリップフロップにクロック信号CLKが入力されれば、奇数番目のフリップフロップにクロック信号CLKの位相が反転されて入力される。

30

【0021】

図3を参照すれば、クロック信号CLKの立ち下がりエッジで、マスタ段325のトランスファゲート310がターンオンされれば、駆動パルス信号STARTは、トランスファゲート310を通過して、インバータ313、316により、中間駆動パルス信号S1として生じる。二つのインバータ313、316を通過するので、位相はそのまま維持される。クロック信号CLKの立ち上がりエッジで、スレーブ段350のトランスファゲート330がターンオンされれば、中間駆動パルス信号S1は、トランスファゲート330を通過して、インバータ333、336により第1出力信号Q1として生じる。この時、マスタ段325のインバータ313の出力はインバータ319を通過し、ターンオンされているトランスファゲート320を通過して、インバータ313の入力段に連結されてラッチされる。再びクロック信号CLKが論理ローレベルに遷移されれば、スレーブ段350のトランスファゲート340がターンオンされ、インバータ333の出力がラッチされる。

40

【0022】

第2フリップフロップF2のクロック入力としては、クロック信号CLKの位相が反転された信号が入力されるので、前述したフリップフロップの動作と反対のクロック位相で中間駆動パルス信号S2及び出力信号Q2が生じる。したがって、各々の中間駆動パルス信号(Si, i=1~n)、及び出力信号(Qi, i=1~n)が、クロック信号CLKの立ち上がりエッジ及び立ち下がりエッジごとに、すなわち、半周期ごとに一回ずつ論理ハイレベルとして生じて、クロック信号CLKの一周期中に維持された後、論理ローレベルに遷移される。

したがって、外部クロックICLKの2分周信号が使われてクロックの遷移回数が減るが、後

50

述のように、データ信号DATAは、外部クロックICLKに直接応答して動作する場合と同じタイミングでラッチされる。

【0023】

ラッチクロック信号発生部230は、第1ないし第n論理積手段N1～Nnを具備し、第1ないし第nフリップフロップF1～Fnで生じた中間駆動パルス信号S1～Snと対応する出力信号Q1～Qnの位相が反転された信号が、第1ないし第n論理積手段N1～Nnに印加されて、第1ないし第nラッチクロック信号LACK1～LACKnが生じる。クロック信号CLKが2分周信号でない場合には、ラッチクロック信号発生部230の構成は変わりうるが、このような構成は当業者には自明なのでその詳細な説明は省略する。

【0024】

データラッチ部250はデータ信号DATAを各々受信し、対応する第1ないし第nラッチクロック信号LACK1～LACKnに各々応答して、データ信号DATAをラッチし出力する第1ないし第nラッチLAT1～LATn、を具備する。ここで、データ信号DATAは、液晶の画面に色相を表示させる色相データを含む信号である。図4を参照すれば、第1ラッチクロック信号LACK1の論理ハイレベルで、伝送ゲート410がターンオンされてデータ信号DATAを受信した第1ラッチLAT1は、第1ラッチクロック信号LACK1が論理ローレベルに遷移される時に、伝送ゲート420がターンオンされて、データ信号DATAをラッチし続ける。第2ラッチLAT2は、第2ラッチクロック信号LACK2が論理ローレベルに遷移される時に、データ信号DATAをラッチし続ける。同様に第nラッチは、第nラッチクロック信号LACKnが論理ローレベルに遷移される時に、データ信号DATAをラッチし続ける。このようにラッチされたデータ信号DATAは、色相を表示させる信号LAT1Q, LAT2Q, LAT3Q, …, LATnQとして生じて、パネル110に1行ずつ同時に印加される。

【0025】

図5を参照すれば、図2の第1ないし第nフリップフロップF1～Fnの動作は同じ方式で行われるので、図5には第1ないし第3フリップフロップF1～F3の動作に関するタイミング図だけが、代表的に示される。

【0026】

クロック信号CLKの立ち下がりエッジで、駆動パルス信号STARTに응答して第1中間駆動パルス信号S1が論理ハイレベルとして生じ、クロック信号CLKの一周期後に論理ローレベルになる。第2中間駆動パルス信号S2は、図2に示した第2フリップフロップF2が、クロック信号CLKの反転信号に응答して動作するので、第1中間駆動パルス信号S1が生じたクロック信号CLKの立ち下がりエッジから半周期後の立ち上がりエッジで第1出力信号Q1と共に論理ハイレベルとして生じて、クロック信号CLKの一周期中に維持される。第3中間駆動パルス信号S3は、クロック信号CLKが位相の反転なしにそのまま入力されるので、第2中間駆動パルス信号S2が生じたクロック信号CLKの立ち上がりエッジから半周期後の立ち下がりエッジで第2出力信号Q2と共に"ハイ"値として生じて、クロック信号CLKの一周期中に維持される。同じ方式で、クロック信号CLKの半周期ごとに中間駆動パルス信号(Si, i = 1～n)、及び出力信号(Qi, i = 1～n)が、"ハイ"値として一周期中に生じる。

【0027】

第1ないし第3ラッチクロック信号LACK1～LACK3は、第1ないし第3中間駆動パルス信号S1～S3と第1ないし第3出力信号Q1～Q3の反転信号とが論理積されて生じるので、第1ないし第3ラッチクロック信号LACK1～LACK3も、クロック信号CLKの半周期ごとに論理ハイレベルとして生じて半周期中に維持された後、論理ローレベルに遷移される。このような動作は、残りのラッチクロック信号LACK4～LACKnにおいても、同一に行われる。

【0028】

第1ラッチクロック信号LACK1の立ち下がりエッジで、第1データ信号1stDATAがラッチされ、第2ラッチクロック信号LACK2の立ち下がりエッジで、第2データ信号2ndDATAがラッチされ、同じ方式で、第nラッチクロック信号LACKnの立ち下がりエッジで、第nデータ信号nthDATAがラッチされる。データ信号DATAがラッチされるタイミングは、ソース

10

20

30

40

50

ドライバーが外部クロックICLKに直接応答して動作する場合と同一である。すなわち、データ信号DATAのラッチには変化がなく、また外部クロックICLKの2分周信号を使用することによって、クロックの遷移回数が減って電流の消耗が減少でき、またクロック信号CLKの"ハイ"状態や"ロー"状態が維持される時間が、外部クロックICLKが直接使われる場合より長くなるので、誤動作が生じる可能性が少なくなる。

【0029】

【発明の効果】

前述したように、本発明に係るTFT型LCDドライバーは、外部クロックの2分周信号をクロック信号として使用してクロックの遷移回数を減らすことによって、TFT型LCDドライバーの電流消費を減らしうる長所がある。

10

【0030】

以上のように、図面及び明細書で最適の実施例が開示された。ここで特定の用語が使われたが、これは単に本発明を説明するための目的で使われたものであって、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、本技術分野の通常の知識を有する者であれば、これより多様な変形及び均等な他の実施例が可能であるという点が理解できる。そして、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想により決まらねばならない。

【図面の簡単な説明】

【図1】本発明のTFT型LCDのドライバーを説明するためのブロック図である。

【図2】図1に示したソースドライバーを示す回路図である。

20

【図3】図2に示したシフトレジスター部のフリップフロップの構造を示す回路図である。

【図4】図2に示したデータラッチ部のラッチの構造を示す回路図である。

【図5】図2に示したソースドライバーの動作を示すタイミング図である。

【符号の説明】

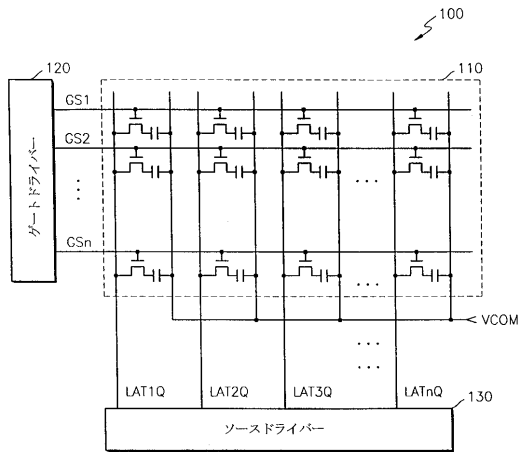
100 ドライバー
 110 パネル
 120 ゲートドライバー
 130 ソースドライバー
 210 シフトレジスター部
 230 ラッチクロック信号発生部
 250 データラッチ部
 270、170 分周器
 325 マスタ段
 350 スレーブ段
 310、320、330、340、410、420、 トランスファゲート
 313、316、319、333、336、339、405、413、416、419、
 インバータ
 ICLK 外部クロック
 CLK クロック信号
 LAT1Q、LAT2Q、LAT3Q、...LATnQ 色相信号
 LAT1～LATn 第1～第nラッチ
 GS1、GS2、...GSn ゲートラインを駆動するための信号
 F1～Fn 第1～第nフリップフロップ
 START 駆動パルス信号
 S1～Sn 第1～第n中間駆動パルス信号
 Q1～Qn 第1～第n出力信号
 LACK1～LACKn 第1～第nラッチクロック信号
 N1～Nn 第1～第n論理積手段
 DATA データ信号

30

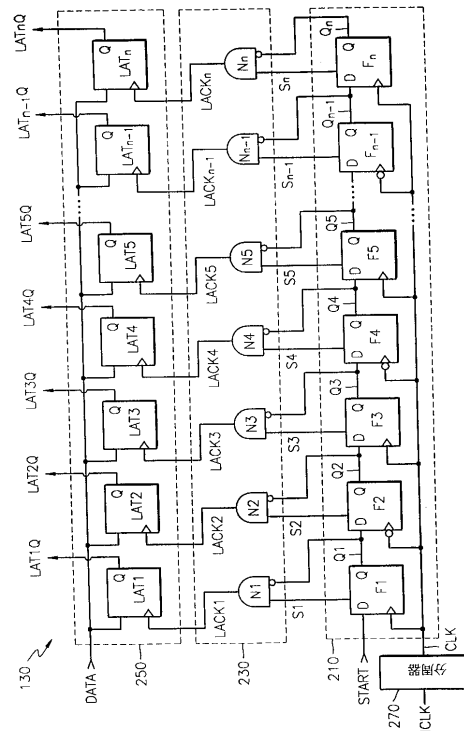
40

50

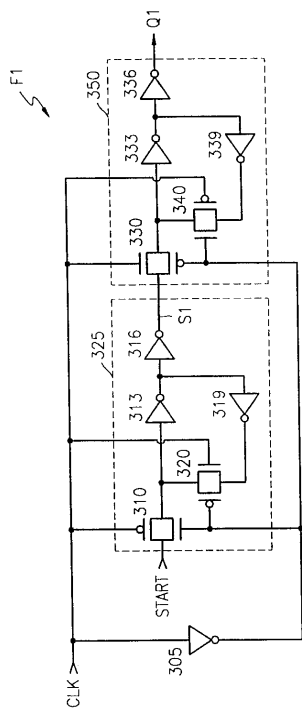
【図 1】



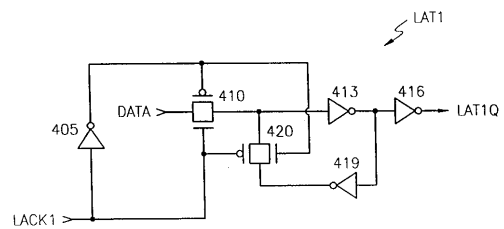
【図 2】



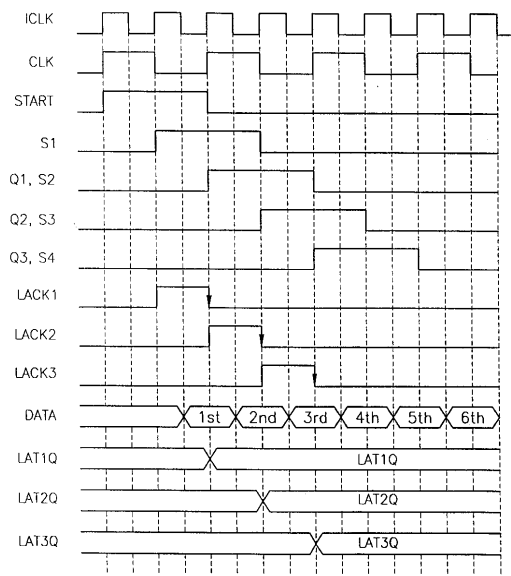
【図 3】



【図 4】



【図 5】



フロントページの続き

審査官 一宮 誠

- (56)参考文献 特開平 1 1 - 3 3 8 4 3 9 (J P , A)
特開平 0 7 - 2 8 4 1 1 6 (J P , A)
特開平 1 1 - 1 0 9 9 2 6 (J P , A)
特開昭 6 4 - 0 2 1 7 9 7 (J P , A)
特開平 1 0 - 0 3 9 2 7 5 (J P , A)
特開昭 6 2 - 1 3 5 8 1 2 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	薄膜晶体管型液晶显示驱动器		
公开(公告)号	JP4223712B2	公开(公告)日	2009-02-12
申请号	JP2001359844	申请日	2001-11-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	康彰植		
发明人	康 彰 植		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C7/10 G11C8/04		
CPC分类号	G11C8/04 G09G3/3688 G11C7/1036		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.623.G G09G3/20.623.H		
F-TERM分类号	2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC27 2H093/ND39 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF26 5C006/BF27 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	萩原诚		
审查员(译)	一宫诚		
优先权	1020010000843 2001-01-06 KR		
其他公开文献	JP2002221951A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供TFT（薄膜晶体管）型LCD（液晶显示器）驱动器，其电流消耗可以降低。解决方案：该源极驱动器由移位寄存器部分，锁存时钟信号产生部分和数据锁存部分构成。然后，通过对外部时钟进行分频获得的信号作为时钟信号输入到移位寄存器部分中，并且移位寄存器具有其输入 - 输出端串联连接的第一至第n触发器和驱动响应于作为第一触发器的输入信号的时钟信号，将脉冲信号施加到第一触发器。锁存时钟信号产生部分通过对在第一至第n触发器中产生的第一至第n中间驱动脉冲和第一至第n输出的反相信号进行“与”运算来产生第一至第n锁存时钟信号。信号。数据锁存部分具有第一至第n锁存器，它们分别接收数据信号并响应于相应的第一至第n锁存时钟信号分别锁存和输出数据信号。结果，可以减少源驱动器中消耗的电流。

【 图 2 】

