

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4104381号
(P4104381)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G02F 1/1345 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
 G02F 1/133 550
 G02F 1/1345
 G09G 3/20 621M
 G09G 3/20 623B

請求項の数 7 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2002-158775 (P2002-158775)
 (22) 出願日 平成14年5月31日(2002.5.31)
 (65) 公開番号 特開2003-122332 (P2003-122332A)
 (43) 公開日 平成15年4月25日(2003.4.25)
 審査請求日 平成16年6月10日(2004.6.10)
 (31) 優先権主張番号 2001-063207
 (32) 優先日 平成13年10月13日(2001.10.13)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 501426046
 エルジー・フィリップス エルシーデー
 カンパニー、リミテッド
 大韓民国 ソウル、ヨンドゥンポーク、ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100091889
 弁理士 藤野 育男

最終頁に続く

(54) 【発明の名称】 液晶表示装置のデータ駆動装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

入力された画素信号を信号バッファリングさせ n 個 (n は正数) ずつデータラインに出力する複数の出力バッファの集積回路と、

前記複数の出力バッファの集積回路と分離して集積化されて、少なくとも 2 個の前記出力バッファの集積回路の入力段に共通に接続されて入力された n 個ずつの画素データをアナログ信号に変換して前記少なくとも 2 個の出力バッファ集積回路に選択的に出力する複数のデジタル - アナログ変換の集積回路と、

前記デジタル - アナログ変換の集積回路のそれぞれを制御するタイミング制御部と、

前記複数のデジタル - アナログ変換の集積回路が実装された印刷回路基板と、

前記データラインが配置された液晶パネルと前記印刷回路基板との間に電氣的に接続されて、前記出力バッファの集積回路各々がそれぞれ実装された複数のテープ・キャリア・パッケージを具備して、

前記複数のデジタル - アナログ変換の集積回路それぞれが、少なくとも 2 個の前記テープ・キャリア・パッケージと共通に接続されたことを特徴とする液晶表示装置のデータ駆動装置。

【請求項 2】

前記デジタル - アナログ変換の集積回路のそれぞれが、

前記タイミング制御部の制御にตอบสนองしてサンプリング信号を順次的に出力するシフト・レジスタ部と、

10

20

前記タイミング制御部の制御と前記サンプリング信号にตอบสนองして前記タイミング制御部から入力される n 個の画素データを順次的にラッチして同時に出力するラッチ部と、

入力ガンマ電圧を利用して前記 n 個の画素データを正極性及び負極性の画素信号に変換して、前記タイミング制御部の極性の制御信号にตอบสนองする前記 n 個の画素信号を出力するデジタル - アナログ変換部と、

前記タイミング制御部の選択制御信号にตอบสนองして前記デジタル - アナログ変換部からの n 個の画素信号を前記少なくとも 2 個の出力バッファに選択的に出力するデマルチプレクサと

を具備することを特徴とする請求項 1 記載の液晶表示装置のデータ駆動装置。

【請求項 3】

前記デジタル - アナログ変換の集積回路のそれぞれが、

前記タイミング制御部からの各種の制御信号と画素データを中継して前記シフト・レジスタ部、ラッチ部、デジタル - アナログ変換部及びデマルチプレクサに供給する信号制御部と、

入力ガンマ基準電圧を細分化して前記ガンマ電圧を発生するガンマ電圧部とを更に具備することを特徴とする請求項 2 記載の液晶表示装置のデータ駆動装置。

【請求項 4】

前記タイミング制御部は前記ラッチ部の出力を制御する出力イネーブル信号の周期毎に選択制御信号の論理状態が反転されるようにして前記 n 個の画素信号が前記少なくとも 2 個の出力バッファの集積回路に順次的に供給されるようにすることを特徴とする請求項 2 記載の液晶表示装置のデータ駆動装置。

【請求項 5】

多数個の画素信号を信号 バッファリング させ多数個のデータラインに出力するための複数の出力バッファの集積回路と、

前記複数の出力バッファの集積回路と分離して集積化されて、少なくとも 2 個の前記出力バッファの集積回路の入力段に共通に接続されて入力された多数個の画素データをアナログの画素信号に変換して時分割して前記少なくとも 2 個の出力バッファの集積回路に出力するための複数のデジタル - アナログ変換の集積回路と、

前記複数のデジタル - アナログ変換の集積回路が実装された印刷回路基板と、

前記データラインが配置された液晶パネルと前記印刷回路基板との間に電氣的に接続されて、前記出力バッファの集積回路各々がそれぞれ実装された複数のテープ・キャリア・パッケージを具備して、

前記複数のデジタル - アナログ変換の集積回路それぞれが、少なくとも 2 個の前記テープ・キャリア・パッケージと共通に接続されたことを特徴とする液晶表示装置のデータ駆動装置。

【請求項 6】

印刷回路基板上に実装された複数のデジタル - アナログ変換の集積回路それぞれで入力された複数の画素データをアナログの画素信号に変換して出力する段階と、

前記複数のデジタル - アナログ変換の集積回路と分離して集積化されて、前記印刷回路基板と電氣的に接続された、多数のテープ・キャリア・パッケージそれぞれ上に実装された前記複数の出力バッファの集積回路であって、前記複数のデジタル - アナログ変換の集積回路それぞれと共通に接続された少なくとも 2 個ずつの前記出力バッファの集積回路が該デジタル - アナログ変換の集積回路からの複数の画素信号を順次に入力して複数のデータラインに供給されるようにする段階と

を含むことを特徴とする液晶表示装置のデータ駆動方法。

【請求項 7】

前記画素信号に変換する段階は順次のサンプリング信号を発生する段階と、

前記サンプリング信号にตอบสนองして前記 n 個の画素データを順次的にサンプリングしてラッチした後に同時に出力する段階と、

前記 n 個の画素データをガンマ電圧を利用して正極性及び負極性の画素信号に変換する

10

20

30

40

50

段階と、

前記正極性及び負極性の画素信号の中のいずれか一つを選択して前記 n 個の画素信号を出力する段階と

を含むことを特徴とする請求項 6 記載の液晶表示装置のデータ駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は液晶表示装置に関するもので、特にデジタル - アナログの変換部と出力バッファ部を分離して集積化することでテープ・キャリア・パッケージの不良による損失を著しく減らすことができるようにする液晶表示装置のデータの駆動装置及び方法に関するものである。また、本発明のデジタル - アナログの変換部を時分割駆動することでデジタル - アナログの変換機能をする集積回路の数を減らすことができるようにする液晶表示装置のデータの駆動装置及び方法に関するものである。

10

【 0 0 0 2 】

【従来の技術】

通常液晶表示装置は、電界を利用して液晶の光透過率を調節することで画像を表示する。このために液晶表示装置は、液晶セルがマトリックス形態で配列された液晶パネルと、この液晶パネルを駆動するための駆動回路とを具備する。液晶パネルには複数のゲートラインとデータラインが交差して配列されて、そのゲートラインとデータラインが交差して設けられる領域に液晶セルが位置する。この液晶パネルには、液晶セルのそれぞれに電界を印加するための複数の画素電極と共通電極が設けられる。画素電極のそれぞれは、スイッチング素子である薄膜トランジスタ (T F T) のソース及びドレイン端子を経由してデータラインの中のいずれか一つに接続される。薄膜トランジスタのゲート端子は画素電圧信号が 1 ライン分ずつの画素電極に印加されるようにするゲートラインの中のいずれか一つに接続される。駆動回路はゲートラインを駆動するためのゲート・ドライバと、データラインを駆動するためのデータ・ドライバと、共通電極を駆動するための共通電圧発生部とを具備する。ゲート・ドライバは走査信号をゲートラインに順次的に供給して液晶パネル上の液晶セルを 1 ライン分ずつ順次的に駆動する。データ・ドライバは、ゲートラインの中のいずれか一つにゲート信号が供給される毎にデータラインのそれぞれに画素電圧信号を供給する。共通電圧発生部は、共通電極に共通電圧信号を供給する。これにより液晶表示装置は、液晶セル別に画素電圧信号により画素電極と共通電極の間に印加される電界により光透過率を調節することで画像を表示する。データ・ドライバとゲート・ドライバは集積回路 (以下「 I C 」という) チップに製作されてテープ・キャリア・パッケージ (以下「 T C P 」という) 上に実装されて T A B (テープ・オートメーテッド・ボンディング) 方式で液晶パネルに接続される。

20

30

【 0 0 0 3 】

図 1 は従来の液晶表示装置のデータ駆動ブロックを概略的に図示したもので、データ駆動ブロックは T C P (6) を通して液晶パネル (2) と接続された複数のデータ駆動 I C (4) と、 T C P (6) を通してデータ駆動 I C (4) と接続されたデータ印刷回路基板 (以下「 P C B 」という) (8) とを具備する。

40

【 0 0 0 4 】

データ P C B (8) は、タイミング制御部 (図示しない) から供給される各種の制御信号及びデータ信号とパワー部 (図示しない) からの駆動電圧信号を入力してデータ駆動 I C (4) に中継する役割をする。 T C P (6) は、液晶パネル (2) の上段部に設けられたデータパッドと電氣的に接続されると共に、データ P C B (8) に設けられた出力パッドと電氣的に接続される。データ駆動 I C (4) はデジタル信号である画素データ信号をアナログ信号である画素電圧信号に変換して液晶パネル (2) 上のデータラインに供給する。

【 0 0 0 5 】

このために、データ駆動 I C (4) のそれぞれは図 2 に図示されたように順次的なサン

50

プリング信号を供給するシフト・レジスタ部(14)と、サンプリング信号に応答して画素データ(VD)を順次的にラッチして同時に出力するラッチ部(16)と、ラッチ部(16)からの画素データ(VD)を画素電圧信号に変換するデジタル・アナログ変換部(以下、DAC部という)(18)と、DAC部(18)からの画素電圧信号をバッファリングして出力する出力バッファ部(26)とを具備する。また、データ駆動IC(4)はタイミング制御部(図示しない)から供給される各種の制御信号と画素データ(VD)とを中継する信号制御部(10)と、DAC部(18)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(12)とを更に具備する。このような構成を有するデータ駆動IC(4)のそれぞれは、n個ずつのデータライン(DL1乃至DLn)を駆動する。

10

【0006】

信号制御部(10)は、タイミング制御部からの各種の制御信号(SSP、SSC、SOE、REV、POLなど)と画素データ(VD)が所定の構成要素に出力されるように制御する。

【0007】

ガンマ電圧部(12)は、ガンマの基準電圧の発生部(図示しない)から入力される多数のガンマ基準電圧をグレイ別に細分化して出力する。

【0008】

シフト・レジスタ部(14)に含まれたシフト・レジスタは、信号制御部(10)からのソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)により順次的にシフトさせサンプリング信号として出力する。

20

【0009】

ラッチ部(16)に含まれたn個のラッチは、シフト・レジスタ部(14)のサンプリング信号に응答して信号の制御部(10)からの画素データ(VD)を順次的にサンプリングしてラッチする。続いて、n個のラッチは、信号制御部(10)からのソース出力イネーブル信号(SOE)に응答してラッチされた画素データ(VD)を同時に出力する。この場合、ラッチ部(16)はデータ反転の選択信号(REV)に응答してトランジションのビット数が減るように変造された画素データ(VD)を復元させて出力する。これはタイミング制御部でデータ電送の際に電磁氣的の干渉(EMI)を最小化するために、トランジションされるビット数が基準値を超える画素データ(VD)はトランジションのビット数が減るように変造して供給するためである。

30

【0010】

DAC部(18)は、ラッチ部(16)からの画素データ(VD)を同時に正極及び負極性の画素電圧信号に変換して出力する。このために、DAC部(18)はラッチ部(16)に共通接続されたPデコーディング部(20)及びNデコーディング部(22)と、Pデコーディング部(20)及びNデコーディング部(22)の出力信号を選択するためのマルチプレクサ(24)とを具備する。

【0011】

Pデコーディング部(20)に含まれるn個のPデコーダは、ラッチ部(16)から同時に入力されるn個の画素データをガンマ電圧部(12)からの正極性のガンマ電圧を利用して正極性の画素電圧信号に変換する。Nデコーディング部(22)に含まれるn個のNデコーダは、ラッチ部(16)から同時に入力されるn個の画素データをガンマ電圧部(12)からの負極性のガンマ電圧を利用して負極性の画素電圧信号に変換する。マルチプレクサ(24)は、信号制御部(10)からの極性制御信号(POL)に응答してPデコーダ(20)からの正極性の画素電圧信号またはNデコーダ(22)からの負極性の画素電圧信号を選択して出力する。

40

【0012】

出力バッファ部(26)に含まれるn個の出力バッファは、n個のデータライン(D1乃至Dn)に直列にそれぞれ接続された電圧追従機で構成される。このような出力バッファはDAC部(18)からの画素電圧信号を信号バッファリングしてデータライン(DL

50

1乃至DLn)に供給する。

【0013】

このように、従来のデータ駆動IC(4)のそれぞれは、n個のデータライン(DL1乃至DLn)を駆動するために、n個ずつのラッチと2n個のデコードとを具備しなければならない。この結果、従来のデータ・ドライバIC(4)はその構成が複雑で製造単価が相対的に高い短所を有する。

【0014】

また、従来のデータ駆動IC(4)のそれぞれは、図1に示されたように一つのチップの形態でTCP(6)に取り付けられており、液晶パネル(2)はデータPCB(8)と接着される。ここで、TCP(6)は断線、短絡のような不良率が相対的に高い。これにより、TCP(6)に不良が発生する場合に、そのTCP(6)上に実装された高価なデータ駆動IC(4)も同じく使用することができないこととなるので、経済的な損失が大きい問題点がある。

10

【0015】

【発明が解決しようとする課題】

従って本発明の目的は、DAC部と出力バッファ部を分離して集積化することでTCP不良による損失を最小化することができる液晶表示装置のデータ駆動装置及び方法を提供することである。

【0016】

本発明のまた異なる目的は、DAC部を時分割駆動することによりDAC・IC数を減らして製造単価を低くすることができる液晶表示装置のデータ駆動装置及び方法を提供することである。

20

【0017】

【課題を解決するための手段】

前記目的を達成するために、本発明の一つ特徴による液晶表示装置のデータ駆動装置は、入力された画素信号を信号バッファリングさせてn個ずつデータラインに出力する出力バッファの集積回路と、少なくとも2個の出力バッファの集積回路の入力段に共通に接続されて入力されたn個ずつの画素データをアナログ信号に変換して少なくとも2個の出力バッファの集積回路に選択的に出力するデジタル・アナログの変換の集積回路と、デジタル・アナログの変換の集積回路のそれぞれを制御すると共にそれらのそれぞれに供給する画素データをn個ずつの画素データに構成する少なくとも2個の区間に時分割して供給するタイミング制御手段とを具備する。

30

【0018】

ここで、前記デジタル・アナログの変換の集積回路は、前記タイミング制御部に接続される印刷回路基板上に実装されて、前記出力バッファの集積回路は前記印刷回路基板と前記データラインが配置された液晶パネルの間に電氣的に接続されたテープ・キャリア・パッケージ上に実装されたことを特徴とする。

【0019】

そして、前記デジタル・アナログの変換の集積回路のそれぞれは、前記タイミング制御部の制御に応答してサンプリング信号を順次的に出力するシフト・レジスタ部と、タイミング制御部の制御と前記サンプリング信号に応答してタイミング制御部から入力されるn個の画素データを順次的にラッチして同時に出力するラッチ部と、入力ガンマ電圧を利用してn個の画素データを正極性及び負極性の画素信号に変換して、タイミング制御部の極性の制御信号に応答するn個の画素信号を出力するデジタル・アナログの変換部と、タイミング制御部の選択制御信号に応答してデジタル・アナログの変換部からのn個の画素信号を前記少なくとも2個の出力バッファに選択的に出力するデマルチプレクサとを具備することを特徴とする。

40

【0020】

また、前記デジタル・アナログの変換の集積回路のそれぞれは、前記タイミング制御部からの各種の制御信号と画素データを中継して前記シフト・レジスタ部、ラッチ部、デジタ

50

ル - アナログの変換部及びデマルチプレクサに供給する信号制御部と、入力ガンマ基準電圧を細分化してガンマ電圧を発生するガンマ電圧部とを更に具備することを特徴とする。

【 0 0 2 1 】

本発明による液晶表示装置のデータ駆動装置では、タイミング制御部からのデジタル - アナログの変換の集積回路に供給される制御信号と画素データの周波数が少なくとも二倍以上増加されたことを特徴とする。

【 0 0 2 2 】

特に、前記タイミング制御部は、前記ラッチ部の出力を制御する出力イネーブル信号の周期毎に選択制御信号の論理状態が反転されるようにして前記 n 個の画素信号が前記少なくとも 2 個の出力バッファの集積回路に順次的に供給されるようにすることを特徴とする。

10

【 0 0 2 3 】

本発明による異なる特徴による液晶表示装置のデータ駆動装置は、多数個の画素信号を信号 バッファリング させて多数個のデータラインに出力するための多数個の出力バッファの集積回路と、少なくとも 2 個の出力バッファの集積回路の入力段に共通に接続されて入力された多数個の画素データをアナログの画素信号に変換して時分割して少なくとも 2 個の出力バッファの集積回路に出力するためのデジタル - アナログの変換の集積回路とを具備することを特徴とする。

【 0 0 2 4 】

そして、多数個のデジタル - アナログの変換の集積回路を制御して画素データが前記多数個のデータラインに順次的に供給されるように、少なくとも 2 個の区間に時分割して供給するタイミング制御手段とを更に具備することを特徴とする。

20

【 0 0 2 5 】

本発明の一つ特徴による液晶表示装置のデータ駆動方法は、液晶パネルに配置されたデータラインを駆動するためのデータ駆動装置の駆動方法において、データ駆動装置は、 n 個ずつのデータラインに接続された出力バッファの集積回路と、少なくとも 2 個の出力バッファの集積回路の入力段に共通接続されたデジタル - アナログの変換の集積回路に構成されて、デジタル - アナログの変換の集積回路のそれぞれに供給される画素データを n 個ずつの画素データに構成される少なくとも 2 個の区間に時分割して供給する段階と、 n 個ずつの画素データをアナログの画素信号に変換する段階と、変換された n 個ずつの画素信号を前記少なくとも 2 個の出力バッファの集積回路に選択的に供給して前記データラインに供給されるようにする段階とを含む。

30

【 0 0 2 6 】

ここで、前記画素信号に変換する段階は、順次のサンプリング信号を発生する段階と、サンプリング信号に応答して n 個の画素データを順次的にサンプリングしてラッチした後、同時に出力する段階と、 n 個の画素データをガンマ電圧を利用して正極性及び負極性の画素信号に変換する段階と、正極性及び負極性の画素信号の中のいずれか一つを選択して前記 n 個の画素信号を出力する段階とを含む。

【 0 0 2 7 】

この場合、前記画素データのサンプリング速度及び前記画素信号への変換速度が少なくとも二倍に増加されたことを特徴とする。

40

【 0 0 2 8 】

本発明の異なる特徴による液晶表示装置のデータ駆動方法は、少なくとも 2 個の画素データをアナログ画素信号に変換する段階と、変換された画素信号を少なくとも 2 個の出力バッファの集積回路に時分割して出力する段階とを含むことを特徴とする。

【 0 0 2 9 】

【作用】

本発明による液晶表示装置のデータ駆動装置及び方法では D A C の機能をする D A C 手段と出力バッファリングの機能をする出力バッファリング手段を分離して別途のチップに集積化することで、不良率の高い T C P 上には単純構成の出力バッファ I C だけを実装することができる。これにより従来の T C P 不良により高価なデータ駆動 I C が使用すること

50

ができなくなることがもたらした損失を大きく減らすことができる。

【0030】

また、本発明による液晶表示装置のデータ駆動装置及び方法では、DAC・ICをより高い周波数を有する駆動信号を利用して時分割駆動して一つのDAC・ICに少なくとも2個の出力バッファICが共通に接続されるようにすることで、DAC・ICの数を減らすことができるようになるので製造単価を低くすることができる。

【0031】

【発明の実施態様】

以下、図3乃至図5を参照して本発明の好ましい実施例について説明する。

図3は本発明の実施例による液晶表示装置のデータ駆動装置の構成を図示したブロック図である。図3に図示されたデータ駆動装置は大きくDAC機能をするDAC手段と出力バッファリング機能をするバッファリング手段とに分離されて別途のチップに集積化される。換言すると、データ駆動装置は、DAC・IC(30)と出力バッファIC(50)に分離されて構成される。特に一つのDAC・IC(30)には少なくとも2個の出力バッファIC(50)が共通に接続される。そしてDAC・IC(30)は少なくとも2個の区間に時分割されてDAC機能を遂行する。ここでは一つのDAC・IC(30)に2個の出力バッファIC(50)が共通に接続された場合を例として説明する。

【0032】

DAC・IC(30)は、順次的なサンプリング信号を供給するシフト・レジスタ部(36)と、サンプリング信号に応答して画素データ(VD)を順次的にラッチして同時に出力するラッチ部(38)と、ラッチ部(38)からの画素データ(VD)を画素信号に変換するDAC部(40)と、DAC部(40)からの画素データ(VD)を画素信号に変換するDAC部(40)と、DAC(40)からの画素信号を2個の出力バッファIC(50)に順次的に供給するデマルチプレクサ(48)とを具備する。また、DAC・IC(30)は、タイミング制御部(図示しない)から供給される各種の制御信号と画素データ(VD)を中継する信号制御部(32)と、DAC部(40)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(34)とを更に具備する。このような構成を有するDAC・IC(30)は、時分割して駆動されて2n個のデータライン(DL11乃至DL1n、DL21乃至DL2n)に供給される画素信号をn個ずつ順次的に出力する。このように、DAC・IC(30)が従来のデータ駆動ICに比べて二倍になるデータラインを駆動するために、駆動信号は従来の二倍になる周波数を有する。

【0033】

信号制御部(32)は、タイミング制御部からの各種制御信号(SSP、SSC、SOE、REV、POLなど)と画素データ(VD)が所定の構成要素に出力されるように制御する。この場合、タイミング制御部は、信号制御部(32)を通して供給される各種制御信号(SSP、SSC、SOE、REV、POLなど)及び画素データ(VD)が従来の対比の二倍の周波数を有するようにする。特に、タイミング制御部は、2n個のデータライン(DL11乃至DL1n、DL21乃至DL2n)に供給される2n個の画素データ(VD)を2個の区間に時分割してn個ずつ順次的に供給する。

【0034】

ガンマ電圧部(34)は、ガンマ基準電圧の発生部(図示しない)から入力される多数個のガンマ基準電圧をグレイ別に細分化して出力する。

【0035】

シフト・レジスタ部(36)に含まれるシフト・レジスタは、信号制御部(32)からのソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)により順次的にシフトさせてサンプリング信号として出力する。この場合、シフト・レジスタ部(36)は、周波数が二倍に増加されたソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)に응答して従来の二倍速度でサンプリング信号を出力する。

【0036】

ラッチ部(38)に含まれたn個のラッチは、シフト・レジスタ部(36)のサンプリング信号にตอบสนองして信号の制御部(32)からの画素データ(VD)を順次的にサンプリングしてラッチする。続いて、ラッチは、信号制御部(32)からのソース出力イネーブル信号(SOE)にตอบสนองしてラッチされた画素データ(VD)を同時に出力する。この場合、ラッチはデータ反転の選択信号(REV)にตอบสนองしてトランジションのビット数を減らすように変造された画素データ(VD)を復元させて出力する。これはタイミング制御部で、データ電送の際に電磁氣的の干渉(EMI)を最小化するために、トランジションされるビット数が基準値を超える画素データ(VD)はトランジションのビット数が減るように変造して供給するためである。

【0037】

10

ここで、シフト・レジスタ部(36)及びラッチ部(38)に供給されるソース・サンプリング・クロック信号(SSC)とソース出力イネーブル信号(SOE)は、図4a及び図4bに"NSSC"と"NSOE"で示したように、図2に示された従来のシフト・レジスタ部(14)及びラッチ部(16)に供給される"SSC"及び"SOE"と対比して二倍の周波数を有して供給される。

【0038】

DAC部(40)は、ラッチ部(38)からの画素データを同時に正極及び負極性の画素電圧信号に変換して出力する。このために、DAC部(40)はラッチ部(38)に共通接続されたPデコーディング部(42)及びNデコーディング部(44)と、Pデコーディング部(42)及びNデコーディング部(44)の出力信号を選択するためのマルチプレクサ(46)とを具備する。

20

【0039】

Pデコーディング部(42)に含まれるn個のPデコーダはラッチ部(38)から同時に入力されるn個の画素データをガンマ電圧部(34)からの正極性のガンマ電圧を利用して正極性の画素電圧信号に変換する。Nデコーディング部(44)に含まれるn個のNデコーダはラッチ部(38)から同時に入力されるn個の画素データをガンマ電圧部(34)からの負極性のガンマ電圧を利用して負極性の画素電圧信号に変換する。マルチプレクサ(46)は、信号制御部(32)からの極性制御信号(POL)にตอบสนองしてPデコーダ(42)からの正極性の画素電圧信号またはNデコーダ(44)からの負極性の画素電圧信号を選択してn個ずつ出力する。このような構成を有するDAC部(40)は、従来のDAC部(18)と対比して二倍の速度でn個ずつの画素データを画素信号に変換することができる。

30

【0040】

デマルチプレクサ(48)は、マルチプレクサ(46)から入力されるn個の画素信号を、図4cに示されたように信号制御部(32)から入力される選択制御信号(SEL)にตอบสนองして第1出力バッファIC(50)または第2出力バッファIC(50)に出力する。選択制御信号(SEL)は、ラッチ部(38)に供給されるソース出力イネーブル信号(SOE)の一周期毎に論理値が反転されることで、n個ずつの画素信号が第1出力バッファIC(50)と第2出力バッファIC(50)に順次的に出力されるようにする。

【0041】

40

第1及び第2出力バッファIC(50)のそれぞれは、DAC・IC(30)から画素信号をバッファリングしてn個ずつのデータライン(DL11乃至DL1nまたはDL21乃至DL2n)に出力する出力バッファ部(52)を具備する。各出力バッファ部(52)に含まれたn個の出力バッファは、n個のデータライン(DL11乃至DL1nまたはDL21乃至DL2n)に直列にそれぞれ接続された電圧追従機で構成される。このような出力バッファはDAC・IC部(30)からの画素信号を信号バッファリングしてデータライン(DL11乃至DL1nまたはDL21乃至DL2n)に供給する。

【0042】

このような構成を有する本発明の実施例によるDAC・IC(30)は図5に図示されたようにデータPCB(68)上に、出力バッファIC(50)はTCP(66)上に分離

50

されて実装されている。データPCB(68)は、タイミング制御部(図示しない)から供給される各種の制御信号とデータ信号をDAC・IC(30)に伝送すると共に、DAC・IC(30)からの画素信号をTCP(66)を経由して出力バッファIC(50)に伝送する役割をする。TCP(66)は、液晶パネル(62)の上段部に設けられたデータ・パッドと電氣的に接続されると共に、データPCB(68)に設けられた出力パッドと電氣的に接続される。このように、TCP(66)上にはバッファリング機能だけをする単純構成の出力バッファIC(50)だけが実装されるようにすることで、TCP(66)不良が発生した場合、出力バッファIC(50)だけが損失を受ける。この結果、従来のTCP(66)の不良で高価なデータ駆動ICを使用することができなくなることがもたらした経済的な損失を著しく減らすことができる。また、DAC・IC(30)は時分割駆動されて少なくとも2個の出力バッファIC(50)にn個ずつの画素信号を順次的に供給する。これによりDAC・IC(30)の数を従来より少なくとも1/2に減らすことができるようになるので製造単価を低くすることができる。

10

【0043】

【発明の効果】

上述したように、本発明による液晶表示装置のデータ駆動装置及び方法では、DACの機能をするDAC手段と出力バッファリングの機能をする出力バッファリング手段とを分離して別途のチップに集積化することで、不良率の高いTCP上には単純構成の出力バッファICだけを実装することができる。これにより、従来のTCP不良により高価なデータ駆動ICを使用することができなくなることがもたらした損失を大きく減らすことができる。

20

【0044】

また、本発明による液晶表示装置のデータ駆動装置及び方法では、DAC・ICをより高い周波数を有する駆動信号を利用して時分割駆動して一つのDAC・ICに少なくとも2個の出力バッファICが共通に接続されるようにすることで、DAC・ICの数を減らすことができるようになるので製造単価を低くすることができる。

【0045】

以上説明した内容を通して、当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正の可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

30

【図面の簡単な説明】

【図1】従来の液晶表示装置のデータ駆動ブロックを概略的に示した図面である。

【図2】図1に図示されたデータ駆動ICの集積回路の詳細な構成を示したブロック図である。

【図3】本発明の実施例による液晶表示装置のデータ駆動ICの詳細な構成を示したブロック図である。

【図4a】図2に図示されたラッチ部と図3に図示されたラッチ部の駆動波形を比較して示した図面である。

【図4b】図2に図示されたラッチ部と図3に図示されたラッチ部の駆動波形を比較して示した図面である。

40

【図4c】図3に図示されたデマルチプレクサの駆動波形を示した図面である。

【図5】図3に図示されたデータ駆動部を含む液晶表示装置のデータ駆動ブロックを概略的に示した図面である。

【符号の説明】

2、62：液晶パネル

4：データ駆動IC

6、66：テープ・キャリア・パッケージ(TCP)

8、68：データ印刷回路基板(PCB)

10、32：信号制御部

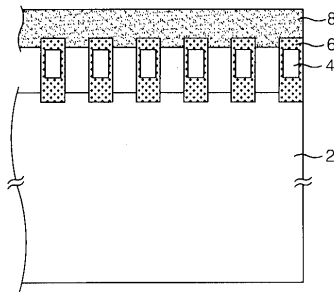
12、34：ガンマ電圧部

50

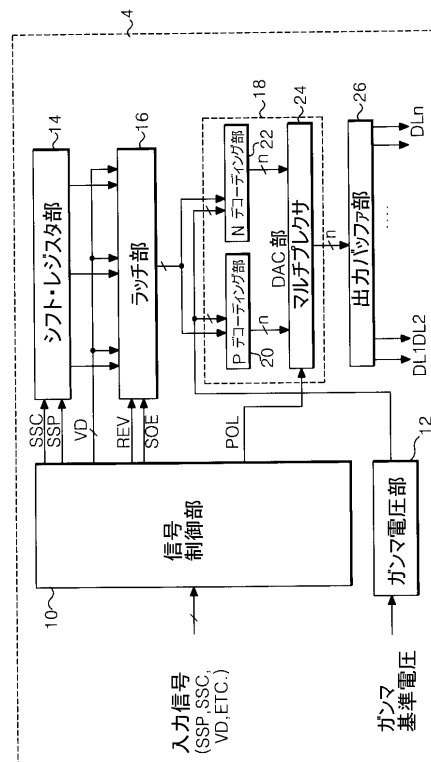
- 14、36：シフト・レジスタ部
- 16、38：ラッチ部
- 18、40：デジタル - アナログ変換 (DAC) 部
- 20、42：Pデコーディング部
- 22、44：Nデコーディング部
- 24、46：マルチプレクサ (MUX)
- 26、52：出力バッファ部
- 28：タイミング制御部
- 30：デジタル - アナログの変換の集積回路
- 48：デマルチプレクサ (DEMUX)
- 50：出力バッファの集積回路

10

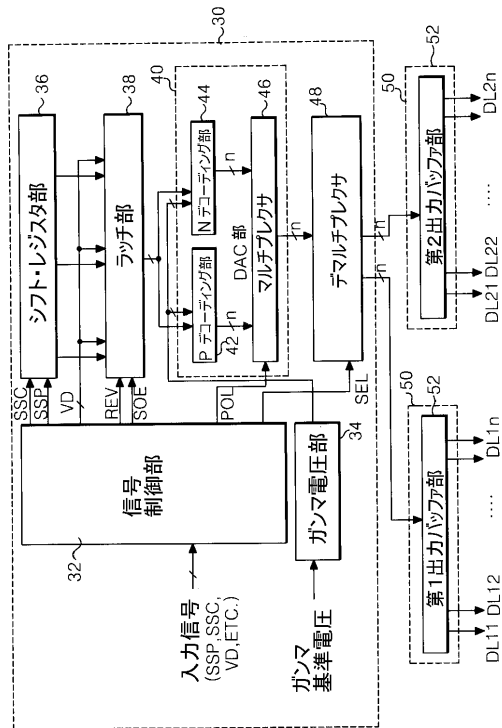
【図1】



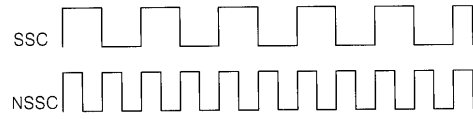
【図2】



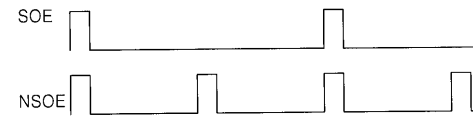
【図 3】



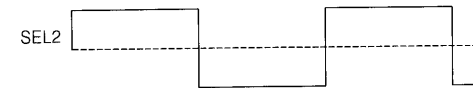
【図 4 a】



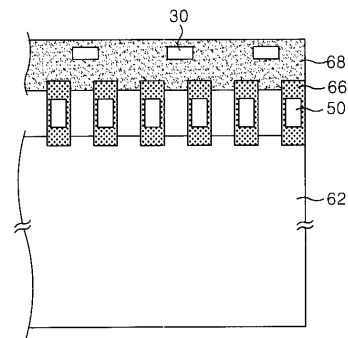
【図 4 b】



【図 4 c】



【図 5】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 F

(74)代理人 100101498
弁理士 越智 隆夫

(74)代理人 100096688
弁理士 本宮 照久

(74)代理人 100102808
弁理士 高梨 憲通

(74)代理人 100104352
弁理士 朝日 伸光

(74)代理人 100107401
弁理士 高橋 誠一郎

(74)代理人 100106183
弁理士 吉澤 弘司

(72)発明者 リー ソク ウー
大韓民国 キョンサンブック - ド , クミ - シ , ジンピュン - ドン , ナンバー 6 4 2 - 3

(72)発明者 チョイ ス キュン
大韓民国 キョンサンブック - ド , クミ - シ , ジンピュン - ドン , ナンバー 6 4 2 - 3

審査官 福村 拓

(56)参考文献 特開平 0 5 - 3 0 3 3 5 3 (J P , A)
特開平 1 0 - 3 1 9 9 2 4 (J P , A)
特開平 1 1 - 1 6 7 3 7 3 (J P , A)
特開平 0 3 - 1 2 1 4 1 5 (J P , A)
特開平 1 1 - 1 9 4 7 5 0 (J P , A)
特開 2 0 0 0 - 0 2 0 0 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	液晶显示装置的数据驱动装置和方法		
公开(公告)号	JP4104381B2	公开(公告)日	2008-06-18
申请号	JP2002158775	申请日	2002-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	リーソクウー チョイスキュン		
发明人	リー ソク ウー チョイ ス キュン		
IPC分类号	G09G3/36 G02F1/133 G02F1/1345 G09G3/20		
CPC分类号	G09G3/2011 G09G3/3614 G09G3/3688 G09G2310/027 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1345 G09G3/20.621.M G09G3/20.623.B G09G3/20.623.F		
F-TERM分类号	2H092/GA51 2H092/JA24 2H092/NA29 2H092/PA06 2H093/NA16 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND49 2H093/ND53 2H093/NE07 2H193/ZA04 5C006/AA16 5C006/AC26 5C006/AF43 5C006/AF46 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF43 5C006/EB05 5C006/FA13 5C006/FA32 5C006/FA43 5C006/FA52 5C006/FA56 5C080/BB05 5C080/DD12 5C080/DD23 5C080/DD25 5C080/DD27 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	臼井伸一 藤野郁夫 朝日 伸光 高桥诚一郎 吉泽博		
审查员(译)	福村 拓		
优先权	1020010063207 2001-10-13 KR		
其他公开文献	JP2003122332A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的数据的装置和方法，其通过单独地集成数字 - 模拟转换部件和输出缓冲器部件，能够显著减少由于带载封装件的故障导致的损耗，并且此外，通过以时分方式驱动数模转换器部件，减少了用作数模转换的集成电路的数量。解决方案：用于液晶显示装置的数据驱动装置具有输出缓冲集成电路，用于将输入的像素信号输出n个数据线;数模转换集成电路，共同连接到至少两个输出缓冲器的输入级，用于将n单元中的像素数据转换成模拟信号，并选择性地将它们输出到至少两个输出缓冲集成电路;定时控制装置，用于控制每个数模转换集成电路，并且还以时分方式将要提供给它们中的每一个的像素数据提供给由n个单位像素数据组成的至少两个部分。

