

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3821701号  
(P3821701)

(45) 発行日 平成18年9月13日(2006.9.13)

(24) 登録日 平成18年6月30日(2006.6.30)

(51) Int. Cl.

F I

**G02F 1/133 (2006.01)**  
**G09G 3/20 (2006.01)**  
**G09G 3/36 (2006.01)**

G02F 1/133 550  
G02F 1/133 525  
G09G 3/20 611E  
G09G 3/20 621B  
G09G 3/20 621M

請求項の数 8 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2001-378031 (P2001-378031)  
(22) 出願日 平成13年12月12日(2001.12.12)  
(65) 公開番号 特開2003-177375 (P2003-177375A)  
(43) 公開日 平成15年6月27日(2003.6.27)  
審査請求日 平成16年6月18日(2004.6.18)

(73) 特許権者 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(74) 代理人 100104695  
弁理士 島田 明宏  
(74) 代理人 100102277  
弁理士 佐々木 晴康  
(74) 代理人 100103296  
弁理士 小池 隆彌  
(74) 代理人 100073667  
弁理士 木下 雅晴  
(72) 発明者 中野 武俊  
大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

カラー画像を表示する液晶表示装置であって、  
複数のデータ信号線と、  
前記複数のデータ信号線と交差する複数の走査信号線と、  
前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段と、

前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する行電極駆動回路と、

前記カラー画像を表示するためのデータ信号を出力し前記データ信号線に印加する列電極駆動回路とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

10

20

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記3個の画素電極は、前記カラー画像の表示のための3原色に対応し、

前記列電極駆動回路は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加する出力手段を含むことを特徴とする液晶表示装置。

#### 【請求項2】

カラー画像を表示する液晶表示装置であって、

複数のデータ信号線と、

前記複数のデータ信号線と交差する複数の走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段と、

前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する行電極駆動回路と、

前記カラー画像を表示するためのデータ信号を出力し前記データ信号線に印加する列電極駆動回路とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記12個の画素電極は、前記カラー画像の表示のための3原色に対応する3個の画素電極を1組とする4組の画素電極からなり、

前記列電極駆動回路は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加する出力手段を含むことを特徴とする液晶表示装置。

#### 【請求項3】

前記列電極駆動回路は、前記同時選択画素電極のうち前記マトリクスにおいて前記同一

10

20

30

40

50

走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段を備えることを特徴とする、請求項1または2に記載の液晶表示装置。

【請求項4】

複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルに対し、当該液晶パネルにカラー画像を表示するためのデータ信号を供給する、液晶表示装置用の列電極駆動回路であって、

前記データ信号を出力し前記データ信号線に印加する出力手段と、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記3個の画素電極は、前記カラー画像の表示のための3原色に対応し、

前記出力手段は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記遅延手段は、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする、液晶表示装置用の列電極駆動回路。

【請求項5】

複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルに対し、当該液晶パネルにカラー画像を表示するためのデータ信号を供給する、液晶表示装置用の列電極駆動回路であって、

前記データ信号を出力し前記データ信号線に印加する出力手段と、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフ

10

20

30

40

50

されるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記12個の画素電極は、前記カラー画像の表示のための3原色に対応する3個の画素電極を1組とする4組の画素電極からなり、

前記出力手段は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記遅延手段は、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする、液晶表示装置用の列電極駆動回路。

#### 【請求項6】

前記液晶パネルに表示すべき画像を表す画像データを1ライン分ずつ1水平走査期間だけ順次保持し、保持されている1ライン分の当該画像データを示す内部画像信号を出力する保持手段を備え、

前記出力手段は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記内部画像信号に基づき前記データ信号を出力し、

前記遅延手段は、前記保持手段と前記出力手段との間に挿入され、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線に印加すべき前記データ信号を前記出力手段から出力するための前記内部画像信号を選択的に1水平走査期間だけ遅延させることを特徴とする、請求項4または5に記載の液晶表示装置用の列電極駆動回路。

#### 【請求項7】

複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルを、カラー画像データに基づき駆動する駆動方法であって、

前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する走査側駆動ステップと、

前記カラー画像データの表す画像を表示するためのデータ信号を前記データ信号線に印加するデータ側駆動ステップと、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる選択遅延ステップとを備え、

10

20

30

40

50

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記3個の画素電極は、前記カラー画像の表示のための3原色に対応し、

前記データ側駆動ステップでは、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記選択遅延ステップでは、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする駆動方法。

#### 【請求項8】

複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルを、カラー画像データに基づき駆動する駆動方法であって、

前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する走査側駆動ステップと、

前記カラー画像データの表す画像を表示するためのデータ信号を前記データ信号線に印加するデータ側駆動ステップと、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる選択遅延ステップとを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

10

20

30

40

50

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記12個の画素電極は、前記カラー画像の表示のための3原色に対応する3個の画素電極を1組とする4組の画素電極からなり、

前記データ側駆動ステップでは、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記選択遅延ステップでは、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同一走査線に対応する画素電極を同一直線上に配置するのではなく上下にずらして配置した構造（いわゆる「千鳥構造」）を採用することでドット反転駆動を擬似的に実現するアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】

従来のアクティブマトリクス型の液晶パネルは、液晶層を挟む2枚の透明基板のうちの一方の基板上に、複数のデータ線（「データ信号線」または「列電極」ともいう）と当該複数のデータ信号線に交差する複数の走査信号線（「行電極」ともいう）とを形成し、各交差点に対応して形成される画素電極をマトリクス状に配置した構成となっている。そして、各画素電極は、それに対応する交差点を通過するデータ線にスイッチング素子としてのTFT（Thin Film Transistor）を介して接続され、そのTFTのゲート端子は、その交差点を通過する走査信号線に接続されている。そして他方の透明基板には、上記複数の画素電極に共通の対向電極が形成されている。このような構成の液晶パネルを使用する液晶表示装置は、その液晶パネルに画像を表示させるための駆動回路として、上記複数の走査信号線を交番かつ順次に選択するための走査信号を上記複数の走査信号線に印加する行電極駆動回路（「走査線駆動回路」または「走査ドライバー」とも呼ばれる）と、上記液晶パネルにおける各画素形成部にデータを書き込むために上記複数のデータ線にデータ信号を印加する列電極駆動回路（「信号線駆動回路」または「データドライバー」とも呼ばれる）とを備えている。このような構成において、各画素電極と対向電極との間に当該画素電極に対応する画素の値に相当する電圧を印加し、その電圧印加に応じて液晶層の透過率を変化させることにより、上記液晶パネルに画像が表示される。このとき、液晶層を構成する液晶材料の劣化を防止するために、液晶パネルは交流駆動される。すなわち、各画素電極と対向電極との間に印加される電圧の正負の極性が例えば1フレーム毎に反転するように、列電極駆動回路が上記データ信号を出力する。

【0003】

一般にアクティブ型の液晶パネルにおいては、画素毎に設けられたTFT等のスイッチング素子の特性が十分でないために、列電極駆動回路から出力されるデータ信号（対向電極の電位を基準とする印加電圧）の正負が対称であっても、液晶層の透過率は正負のデータ電圧に対して完全に対称とはならない。このため、1フレーム毎に液晶への印加電圧の正負極性を反転させる駆動方式（1フレーム反転駆動方式）では、液晶パネルによる表示においてフリッカが発生する。

10

20

30

40

50

## 【0004】

このようなフリッカに対する対策として、1水平走査線毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式（以下「1H反転駆動方式」という）が知られている。また、画素を形成する液晶層への印加電圧の正負極性を1走査信号線毎かつ1データ線毎に反転させつつ1フレーム毎にも反転させる駆動方式（以下「ドット反転駆動方式」という）も知られている。このドット反転駆動方式を1H反転駆動方式と比較すると、フリッカの抑制効果については明らかにドット反転駆動方式の方が優れている。また、1H反転駆動方式では、画面に動きが生じる場合これを目で追う動作をすると、画面上において横すじが観察者によって知覚されるという問題もある。

## 【0005】

このように表示品位の観点からは、1H反転駆動方式よりもドット反転駆動方式の方が有利である。しかし、1H反転駆動方式は、1水平走査期間毎に対向電極（共通電極）の電位を変化させることによって、列電極駆動回路を実現するIC（Integrated Circuit）の耐圧を低く抑えることができるという利点を有している。これに対しドット反転駆動方式では、同一の水平走査線上（画素マトリクスにおける同一行）における或る画素電極に正の電圧が印加されると同時に他の或る画素には負の電圧が印加されるので、列電極駆動回路ICの耐圧を高くする必要がある。

## 【0006】

そこで、1H反転駆動に対応した構成の列電極駆動回路ICの使用によってそのICの耐圧を低く抑えつつドット反転駆動を擬似的に実現するために、図19(a)(b)に示すような千鳥構造の液晶パネルが提案されている。すなわち、画素電極がマトリクス状に配置される液晶パネルにおいて、同一の走査信号線にTFT（スイッチング素子）を介して接続される画素電極を、画素マトリクスにおける同一行に配置するのではなく、上下にずらして、隣接する2行に分散的に配置する、という構造が知られている。

## 【0007】

例えば特開平4-309926号公報には、表示画素を液晶セルとスイッチング素子と当該画素を複数個互いにマトリクスアレイ状に配列し、各列及び各行の表示画素間をそれぞれ複数の信号線及び走査線が互いにほぼ直交するように交叉されて接続して構成される液晶表示装置であって、上記同一の走査線によって駆動される画素が上記信号線の少なくとも1画素毎に上下にずれている事を特徴とする液晶表示装置が開示されている。そして同公報には、この液晶表示装置の作用につき「駆動素子の接続画素が信号線毎に一走査線分ずれている事により、通常の走査線毎に極性を反転するフリッカレス駆動を行うだけで、画素毎に反転している様に知覚され、縦すじ、横すじが目立たなくなる。」と記載されている。

## 【0008】

## 【発明が解決しようとする課題】

しかし、上記のような千鳥構造により擬似的にドット反転駆動（以下「擬似ドット反転駆動」という）を実現したとしても、なお表示品位につき問題が残っている。すなわち、擬似ドット反転駆動方式を採用した上記従来の液晶表示装置において、例えばウィンドウズ（登録商標）の終了画面等で使用される、図24(a)に示すような「チェッカーバック」と呼ばれる市松模様を表示すると、縦方向に延びる縞状の模様（以下「縦シャドー」という）が画面に現れる。また、この縦シャドーは、擬似ドット反転駆動方式ではなく本来のドット反転駆動方式（以下「真正ドット反転駆動方式」という）を採用した場合においても発生する。そこで以下では、擬似ドット反転駆動方式を採用した場合と真正ドット反転駆動方式を採用した場合の双方につき、この縦シャドーの発生機構について説明する。

## 【0009】

図19(c)に示すように、液晶パネルにおける各画素形成部は、2本のデータ線L<sub>ss</sub>とL<sub>sn</sub>に挟まれており、ゲート端子が走査信号線L<sub>g</sub>に接続されたTFTと、そのTFTを介してデータ線L<sub>ss</sub>に接続された画素電極E<sub>p</sub>と、各画素形成部に共通的に形成された対向電極E<sub>c</sub>とから構成される。そして、それら2本のデータ線のうち当該画素形成

10

20

30

40

50

部（詳しくは画素電極  $E_p$  と対向電極  $E_c$  とによって形成される画素容量  $C_p$ ）にデータを書き込むためのデータ線（以下「対応データ線」という） $L_{ss}$  と当該画素形成部の画素電極  $E_p$  との間に寄生容量（以下「 $C_{sd}$ （自）」という）が存在すると共に、それら2本のデータ線のうちの他方のデータ線（以下「隣接データ線」という） $L_{sn}$  と当該画素形成部の画素電極  $E_p$  との間にも寄生容量（以下「 $C_{sd}$ （他）」という）が存在する。このため各画素の値は、当該画素を形成する画素形成部にデータを書き込んだ後（ $TF$  がオフの状態）において、 $C_{sd}$ （自）を介して対応データ線  $L_{ss}$  の信号変化の影響を受けると共に、 $C_{sd}$ （他）を介して隣接データ線  $L_{sn}$  の信号変化の影響を受ける。以下では、これら対応データ線  $L_{ss}$  および隣接データ線  $L_{sn}$  の信号変化による影響によって縦シャドーが発生するものとして説明する。なお、 $C_{sd}$ （自）と  $C_{sd}$ （自）はほぼ等しいので、以下では  $C_{sd}$ （自） =  $C_{sd}$ （自）として説明する。

10

< 擬似ドット反転駆動方式の場合 >

まず、図19(a)～(c)に示すような千鳥構造のアクティブマトリクス型液晶パネルにおいて、擬似ドット反転駆動方式で「チェッカーバック」を表示する場合を考える。ここで、図19(a)は、このような液晶パネルの構成を模式的に示し、図19(b)は、図19(a)に示す液晶パネルにおける  $2 \times 2$  画素に相当する部分810の等価回路を示し、図19(c)は、このような液晶パネルにおける1画素に相当する部分の等価回路を寄生容量を含めて示している。

【0010】

この場合、或るフレーム（期間） $F_1$  では図20(a)に示すような正負極性で「チェッカーバック」が表示され、次のフレーム  $F_2$  では図20(b)に示すような正負極性で「チェッカーバック」が表示される。ここでは、説明の便宜上、有効な水平走査線数を5とし、データ線数を6とする（ただし、千鳥構造の場合には、走査信号線数は6であって表示上有効な水平走査線数よりも1だけ多い）。また、図20(a)(b)において、クロスハッチングの付されている画素形成部は黒の表示を、クロスハッチングの付されていない画素形成部は白の表示をそれぞれ示しており、 $R$ （赤）、 $G$ （緑）、 $B$ （青）の隣接3画素を表示単位として白と黒とが水平および垂直方向に交互に表示されるものとする。なお、 $R_1$ 、 $G_1$ 、 $B_1$ 、 $R_2$ 、 $G_2$ 、 $B_2$  は、6本のデータ線にそれぞれ印加されるデータ信号を表すが、そのデータ線によってデータの書き込まれる画素形成部の列（以下、便宜上「画素列」ともいう）をも表すものとする（縦シャドー発生の説明に関する以上の前提は、以下においても同様）。

20

30

【0011】

この場合、データ信号  $G_1$ 、 $B_1$ 、 $R_2$  は、対向電極  $E_c$  の電位を基準とすると、それぞれ図20(c)(d)(e)に示すように変化する。この図20(c)～(e)において、“ $+V_1$ ” および “ $-V_1$ ” は、各画素形成部を構成する液晶層部分（以下「画素液晶」という）のうち白を表示すべき画素液晶に印加する正極性および負極性の電圧をそれぞれ示し、“ $+V_2$ ” および “ $-V_2$ ” は、黒を表示すべき画素液晶に印加する正極性および負極性の電圧をそれぞれ示している（以下においても同様）。また、前述のように“ $F_1$ ”，“ $F_2$ ” は、連続する2つのフレームを表し、“ $S_1$ ”～“ $S_6$ ” は、図20(a)(b)に示す走査信号  $SS_1$ ～ $SS_6$  がそれぞれアクティブとなる期間すなわち1フレーム内における水平走査期間を表す。

40

【0012】

いま、 $G_1$  列1行目の画素形成部（以下、便宜上「画素」とも呼ぶ。以下においても同様。）に注目すると、この注目画素の対応データ線  $L_{ss}$  の信号は  $G_1$  で、隣接データ線  $L_{sn}$  の信号は  $B_1$  となる（図19(c)、図20(a)参照）。この注目画素には、フレーム  $F_1$  における水平走査期間  $S_1$  においてデータ（ $-V_2$ ）が書き込まれる。この注目画素の値（書き込まれた値）に対する両データ線  $L_{ss}$ 、 $L_{sn}$  の信号変化による影響の仕方（影響の方向、程度）は、この書き込み時点における対応データ線  $L_{ss}$  の信号値および隣接データ線  $L_{sn}$  の信号値をそれぞれ基準とする両データ線の信号変化量によって決まる。そこで、以下では、図20(c)～(e)を参照し、この書き込み時点における

50

対応データ線の信号 G 1 の値 ( - V 2 ) および隣接データ線の信号 B 1 の値 ( - V 1 ) をそれぞれ基準として、両データ線の信号変化量を求める。

【 0 0 1 3 】

注目画素への書込期間であるフレーム F 1 の水平走査期間 S 1 では、当然、対応データ線 ( 信号 G 1 ) および隣接データ線 ( 信号 B 1 ) の信号変化量は共に 0 である。これに対し、水平走査期間が S 1 から S 2 へと移ると、信号 G 1 は - V 2 から + V 1 へと変化し、信号 B 1 は - V 1 から + V 2 へと変化するので、対応データ線および隣接データ線の信号変化量は、共に + ( V 1 + V 2 ) となる。また、次の水平走査期間 S 3 では、信号 G 1 = - V 2、信号 B 1 = - V 1 というように、注目画素への書込時点の信号値に等しくなるので、対応データ線および隣接データ線の信号変化量は、共に 0 となる。さらに次の水平走査期間 S 4 では、信号 G 1 = + V 1、信号 B 1 = + V 2 となり、注目画素への書込時点の信号値 ( B 1 = - V 2、B 1 = - V 1 ) を基準とする対応データ線および隣接データ線の信号変化量は、共に + ( V 1 + V 2 ) となる。同様にして、対応データ線および隣接データ線の信号変化量は、フレーム F 1 では、水平走査期間 S 5 において共に 0 となり、水平走査期間 S 6 において共に + ( V 1 + V 2 ) となる。

10

【 0 0 1 4 】

フレームの切り替わり後すなわちフレーム F 2 の水平走査期間 S 1 には、注目画素のデータが書き換えられるので、フレーム F 2 の期間については G 1 列の 5 行目の画素 ( フレーム F 2 において最後にデータの書き換えられる画素 ) を注目画素とし、この新たな注目画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。この場合、この注目画素 ( G 1 列の 5 行目の画素 ) の書き込み時点 ( フレーム F 1 の水平走査期間 S 5 ) における対応データ線の信号 G 1 の値 ( - V 2 ) および隣接データ線の信号 B 1 の値 ( - V 1 ) をそれぞれ基準として、両データ線の信号変化量を上記と同様にして求めると、次のようになる。すなわち、図 2 0 ( c ) ( d ) より、フレーム F 2 では、水平走査期間 S 1 において対応データ線 ( 信号 G 1 ) の信号変化量は + 2 V 2 であって隣接データ線 ( 信号 B 1 ) の信号変化量は + 2 V 1 であり、水平走査期間 S 2 において対応データ線の信号変化量は + ( V 2 - V 1 ) であって隣接データ線の信号変化量は - ( V 2 - V 1 ) であり、水平走査期間 S 3 において対応データ線の信号変化量は + V 2 であって隣接データ線の信号変化量は + V 1 であり、水平走査期間 S 4 において対応データ線の信号変化量は + ( V 2 - V 1 ) であって隣接データ線の信号変化量は - ( V 2 - V 1 ) であり、水平走査期間 S 5 において対応データ線の信号変化量は + V 2 であって隣接データ線の信号変化量は + V 1 であり、水平走査期間 S 6 において対応データ線の信号変化量は + ( V 2 - V 1 ) であって隣接データ線の信号変化量は - ( V 2 - V 1 ) である。

20

30

【 0 0 1 5 】

以上のようにして、G 1 列の画素に注目した場合、対応データ線および隣接データ線の信号変化量は、注目画素の書込時点のそれぞれのデータ線の信号値を基準とすると ( ただしフレーム F 1 と F 2 とで注目画素が異なる )、図 2 1 ( a ) に示すようになる ( 一部省略あり )。

【 0 0 1 6 】

次に、「チェッカーバック」における白の表示単位と黒の表示単位との境界部に位置する B 1 列の画素 ( 1 行目および 5 行目 ) に注目すると、これらの注目画素の対応データ線 L s s の信号は B 1 で、隣接データ線 L s n の信号は R 2 となる。この場合、図 2 0 ( d ) ( e ) を参照し、上記と同様にして、これらの注目画素の書込時点の対応データ線および隣接データ線の信号値をそれぞれ基準とする両データ線の信号変化量を求めると、図 2 1 ( b ) に示すようになる。

40

【 0 0 1 7 】

G 1 列の画素に注目した場合、図 2 1 ( a ) に示すようにフレーム F 1 ( フレームの切り替わり前 ) では、対応データ線および隣接データ線の信号変化量は共に正值であるので、注目画素 ( G 1 列 1 行目 ) は、その値 ( - V 2 ) が増大する方向に影響を受ける。一方、B 1 列の画素に注目した場合、図 2 1 ( b ) に示すようにフレーム F 1 ( フレームの切り

50

替わり前)では、対応データ線および隣接データ線の信号変化量は共に負値であるので、注目画素(B1列1行目)は、その値(+V2)が減少する方向に影響を受ける。このようにG1列とB1列とでは、注目画素の値の正負の違い(-V2と+V2)に対応して信号変化量の正負が異なるが(+ (V1 + V2)と - (V1 + V2))、それらの絶対値は等しいので、表示上の影響は同じと考えられる。

#### 【0018】

これに対し、フレームF2(フレームの切り替わり後)では、図21(a)に示す信号変化量と図21(b)に示す信号変化量とを比較すればわかるように、G1列の注目画素(5行目)とB1列の注目画素(5行目)とでは、対応データ線および隣接データ線の信号変化による影響の仕方が異なる。すなわち、フレームの切り替わり後は、G1列の注目画素とB1列の注目画素とは、共に、それらの値(-V2と+V2)の絶対値が概ね減少する方向に影響を受けるが、V2がV1よりも十分に大きいことを考慮すれば、B1列の画素の受ける影響の程度は、G1列の画素の受ける影響の程度よりも大きい。なお、R1列の画素の受ける影響は、G1列の画素の受ける影響と実質的に同等である。したがって、対応データ線および隣接データの信号変化から受ける影響の大きいB1列のような「チェッカーバック」の境界部に、縦シャドーが現れることになる。

<真正ドット反転駆動方式の場合>

次に、千鳥構造ではない標準的な構造のアクティブマトリクス型液晶パネルにおいて、真正ドット反転駆動方式で「チェッカーバック」を表示する場合を考える。この場合、或るフレームF1では、図22(a)に示すような正負極性で「チェッカーバック」が表示され、次のフレームF2では、図22(b)に示すような正負極性で「チェッカーバック」が表示される。なお、ここでは、液晶パネルが千鳥構造ではないため、有効な水平走査線数と走査信号線数は同数であって共に5である。

#### 【0019】

この場合、データ信号G1、B1、R2は、対向電極Ecの電位を基準とすると、それぞれ図22(c)~(e)に示すように変化する。この図22(c)~(e)において、S1~S5は、図22(a)(b)に示す走査信号SS1~SS5がそれぞれアクティブとなる期間すなわち1フレーム内における水平走査期間を表す。以下、22(c)~(e)を参照し、注目すべき画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。

#### 【0020】

まず、上記の擬似ドット反転駆動方式の場合と同様、G1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、G1列1行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S1)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(+V2)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、G1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S5)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(+V2)をそれぞれ基準として、フレームF2での両データ線の信号変化量を求める。図23(a)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している(一部省略あり)。

#### 【0021】

次に、上記の擬似ドット反転駆動方式の場合と同様、「チェッカーバック」における白の表示単位と黒の表示単位との境界部に位置するB1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まずB1列1行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S1)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(-V1)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、B1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S5)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(-

10

20

30

40

50

V 1) をそれぞれ基準として、フレーム F 2 での両データ線の信号変化量を求める。図 2 3 ( b ) は、このようにして求めたフレーム F 1 および F 2 での両データ線の信号変化量を示している ( 一部省略あり ) 。

【 0 0 2 2 】

G 1 列の画素に注目した場合、図 2 3 ( a ) に示すように、フレーム F 1 および F 2 ( フレームの切り替わり前および切り替わり後 ) の双方において、対応データ線の信号 G 1 と隣接データ線の信号 B 1 とは「相補的」に変化する。すなわち、注目画素へのデータ書込時点におけるそれぞれのデータ線の信号値を基準とすると、両データ線の信号値 ( 電圧値 ) は、一方が増加すると他方が減少する関係にあり、かつ変化量の絶対値が同じである。このため、2 つの寄生容量 C s d ( 自 ) と C s d ( 他 ) を介しての注目画素値への両データ線による影響は相殺される。したがって、結果的に、両データ線の信号変化は、G 1 列の注目画素の値に影響を与えないことになる。

10

【 0 0 2 3 】

一方、B 1 列の画素に注目した場合も、図 2 3 ( b ) に示すように、フレーム F 1 ( フレームの切り替わり前 ) では、対応データ線の信号 B 1 と隣接データ線の信号 R 2 とは相補的に変化する。しかし、フレーム F 2 ( フレームの切り替わり後 ) では、両データ線の信号 B 1 と R 2 の変化は相補的ではない。したがって、両データ線の信号変化が、寄生容量 C s d ( 自 ) と C s d ( 他 ) をそれぞれ介して B 1 列の注目画素の値に影響を与えることになる。

20

【 0 0 2 4 】

このようにして、G 1 列の画素の値は本来の値のままであるのに対して ( R 1 列の画素値も同様 ) 、 「チェッカーバック」の境界部に位置する B 1 列の画素の値は、本来の値から変化する。これにより、液晶パネルの画面に縦シャドーが現れることになる。

< 発明の目的 >

以上のように、ドット反転駆動方式を採用した場合には、真正のドット反転駆動方式を採用したとしても、「チェッカーバック」を表示すると縦シャドーが現れる。すなわち、擬似ドット反転駆動方式か真正ドット反転駆動方式かを問わず、ドット反転駆動方式を採用した場合において、「チェッカーバック」は、縦シャドーの発生のように表示上問題となる事象を生じさせるパターン、いわゆる「キラーパターン」となる。このようなキラーパターンの存在しない駆動方式が理想的ではあるが、現実には、そのような駆動方式に基づく液晶パネルや液晶表示装置の実現は困難である。なお、擬似ドット反転駆動方式と真正ドット反転駆動方式とを駆動回路の実現上の観点から比較した場合、既述のように、駆動回路用 IC の耐圧を低く抑えられるという点で擬似ドット反転駆動方式が有利である。

30

【 0 0 2 5 】

そこで本発明は、千鳥構造によって擬似的にドット反転駆動を実現しつつ、「チェッカーバック」等のキラーパターンを表示した場合に縦シャドーの発生をできるだけ抑制できる液晶表示装置を提供することを目的とする。

【 0 0 2 6 】

【 課題を解決するための手段および発明の効果 】

第 1 の発明は、カラー画像を表示する液晶表示装置であって、  
 複数のデータ信号線と、  
 前記複数のデータ信号線と交差する複数の走査信号線と、  
 前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段と、  
前記複数の走査信号線を 1 水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する行電極駆動回路と、  
前記カラー画像を表示するためのデータ信号を出力し前記データ信号線に印加する列電極駆動回路とを備え、  
 前記各画素形成手段は、  
 対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフ

40

50

されるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

10

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」1または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記3個の画素電極は、前記カラー画像の表示のための3原色に対応し、

前記列電極駆動回路は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加する出力手段を含むことを特徴とする。

20

#### 【0027】

このような第1の発明によれば、同時選択画素電極が隣接2行に分散的に配置されているため、行間での交流駆動(1H反転駆動用の列電極駆動回路による駆動)により擬似的にドット反転駆動を実現できると共に、同時選択画素電極が3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されているため、「チェッカーバック」(市松模様)の表示において縦シャドウの発生を抑えることができる。

#### 【0028】

第2の発明は、カラー画像を表示する液晶表示装置であって、

30

複数のデータ信号線と、

前記複数のデータ信号線と交差する複数の走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段と、

前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する行電極駆動回路と、

前記カラー画像を表示するためのデータ信号を出力し前記データ信号線に印加する列電極駆動回路とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

40

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

50

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記12個の画素電極は、前記カラー画像の表示のための3原色に対応する3個の画素電極を1組とする4組の画素電極からなり、

前記列電極駆動回路は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加する出力手段を含むことを特徴とする。

10

#### 【0029】

このような第2の発明によれば、同時選択画素電極が隣接2行に分散的に配置されているため、1H反転駆動用の列電極駆動回路により擬似的にドット反転駆動を実現できると共に、同時選択画素電極が12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されているため、「チェッカーバック」（市松模様）の表示および「横ストライプバック」（水平方向のストライプ模様）の表示の双方において縦シャドウの発生を抑えることができる。

20

#### 【0030】

第3の発明は、第1または第2の発明において、

前記列電極駆動回路は、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段を備えることを特徴とする。

#### 【0031】

このような第3の発明によれば、遅延手段による選択的遅延により、データ信号は同時選択画素電極の隣接2行への分散的配置（変形的な千鳥構造）に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

30

#### 【0032】

第4の発明は、複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルに対し、当該液晶パネルにカラー画像を表示するためのデータ信号を供給する、液晶表示装置用の列電極駆動回路であって、

前記データ信号を出力し前記データ信号線に印加する出力手段と、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備え、

40

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直

50

線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記3個の画素電極は、前記カラー画像の表示のための3原色に対応し、

10

前記出力手段は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記遅延手段は、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする。

第5の発明は、複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルに対し、当該液晶パネルにカラー画像を表示するためのデータ信号を供給する、液晶表示装置用の列電極駆動回路であって、

20

前記データ信号を出力し前記データ信号線に印加する出力手段と、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

30

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、上、下、上、下、上、下、上、下、上、下、上」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

40

前記12個の画素電極は、前記カラー画像の表示のための3原色に対応する3個の画素電極を1組とする4組の画素電極からなり、

前記出力手段は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記遅延手段は、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信

50

号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする。

【0033】

このような第4または第5の発明によれば、遅延手段による選択的遅延により、データ信号は液晶パネルにおける同時選択画素電極の隣接2行への分散的配置に応じたタイミングでデータ信号線に印加されるので、千鳥構造の液晶パネルにおいて、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0034】

第6の発明は、第4または第5の発明において、

前記液晶パネルに表示すべき画像を表す画像データを1ライン分ずつ1水平走査期間だけ順次保持し、保持されている1ライン分の当該画像データを示す内部画像信号を出力する保持手段を備え、

前記出力手段は、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記内部画像信号に基づき前記データ信号を出力し、

前記遅延手段は、前記保持手段と前記出力手段との間に挿入され、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線に印加すべき前記データ信号を前記出力手段から出力するための前記内部画像信号を選択的に1水平走査期間だけ遅延させることを特徴とする。

【0035】

第7の発明は、複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルを、カラー画像データに基づき駆動する駆動方法であって、

前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する走査側駆動ステップと、

前記カラー画像データの表す画像を表示するためのデータ信号を前記データ信号線に印加するデータ側駆動ステップと、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる選択遅延ステップとを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置さ

10

20

30

40

50

れ、

前記3個の画素電極は、前記カラー画像の表示のための3原色に対応し、

前記データ側駆動ステップでは、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記選択遅延ステップでは、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする。

【0036】

第8の発明は、複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備える液晶パネルを、カラー画像データに基づき駆動する駆動方法であって、

前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する走査側駆動ステップと、

前記カラー画像データの表す画像を表示するためのデータ信号を前記データ信号線に印加するデータ側駆動ステップと、

前記複数のデータ信号線のうち所定のデータ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる選択遅延ステップとを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

前記複数の画素形成手段からなるマトリクスにおいて、各行は列数に等しい個数だけ直線状に配置された画素形成手段から構成され、かつ、各列は行数に等しい個数だけ直線状に配置された同一色の画素形成手段から構成され、

前記マトリクスにおいて上下に隣接するいずれの2行の間にも、前記複数の走査信号線のいずれか1つの走査信号線が配設され、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記マトリクスにおいて当該同一走査信号線を挟んで上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置され、

前記12個の画素電極は、前記カラー画像の表示のための3原色に対応する3個の画素電極を1組とする4組の画素電極からなり、

前記データ側駆動ステップでは、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を前記複数のデータ信号線に印加し、

前記選択遅延ステップでは、前記同時選択画素電極のうち前記マトリクスにおいて前記同一走査信号線を挟んで上下に隣接する2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させることを特徴とする。

【0037】

【発明の実施の形態】

10

20

30

40

50

以下、本発明の実施形態について添付図面を参照して説明する。

< 1 . 第 1 の実施形態 >

< 1 . 1 全体の構成および動作 >

図 1 ( a ) は、本発明の第 1 の実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、カラー画像を表示するために使用される液晶表示装置であって、表示制御回路 ( 通常「液晶コントローラ」と呼ばれる ) 2 0 0 と、列電極駆動回路 3 0 0 と、行電極駆動回路 4 0 0 と、アクティブマトリクス型の液晶パネル 5 0 0 とを備えている。

【 0 0 3 8 】

この液晶表示装置における表示部としての液晶パネル 5 0 0 は、外部のコンピュータにおける CPU 等から受け取る画像データ D v の表す画像における水平走査線にそれぞれが対応する複数本の走査信号線 ( 行電極 ) と、それら複数本の走査信号線のそれぞれと交差する複数本のデータ線 ( 列電極 ) と、それら複数本の走査信号線と複数本のデータ線との交差点にそれぞれ対応して設けられた複数の画素形成部とを含む。各画素形成部の構成は、基本的には従来のアクティブマトリクス型液晶パネルにおける構成と同様である ( 詳細は後述 ) 。

10

【 0 0 3 9 】

本実施形態では、液晶パネル 5 0 0 に表示すべき画像を表す ( 狭義の ) 画像データおよび表示動作のタイミング等を決めるデータ ( 例えば表示用クロックの周波数を示すデータ ) ( 以下「表示制御データ」という ) は、外部のコンピュータにおける CPU 等から表示制御回路 2 0 0 に送られる ( 以下、外部から送られるこれらのデータ D v を「広義の画像データ」という ) 。すなわち、外部の CPU 等は、広義の画像データ D v を構成する ( 狭義の ) 画像データおよび表示制御データを、アドレス信号 A D w を表示制御回路 2 0 0 に供給して、表示制御回路 2 0 0 内の後述の表示メモリおよびレジスタにそれぞれ書き込む。

20

【 0 0 4 0 】

表示制御回路 2 0 0 は、レジスタに書き込まれた表示制御データに基づき、表示用のクロック信号 C K や、水平同期信号 H S Y 、垂直同期信号 V S Y 等を生成する。また、表示制御回路 2 0 0 は、外部の CPU 等によって表示メモリに書き込まれた ( 狭義の ) 画像データを表示メモリから読み出して、3種類のデジタル画像信号 D r , D g , D b として出力する。ここで、デジタル画像信号 D r は、表示すべき画像の赤色成分を表す画像信号 ( 以下「赤色画像信号」という ) であり、デジタル画像信号 D g は、表示すべき画像の緑色成分を表す画像信号 ( 以下「緑色画像信号」という ) であり、デジタル画像信号 D b は、表示すべき画像の青色成分を表す画像信号 ( 以下「青色画像信号」という ) である。このようにして、表示制御回路 2 0 0 によって生成される信号のうち、クロック信号 C K は列電極駆動回路 3 0 0 に、水平同期信号 H S Y および垂直同期信号 V S Y は列電極駆動回路 3 0 0 および行電極駆動回路 4 0 0 に、デジタル画像信号 D r , D g , D b は列電極駆動回路 3 0 0 に、それぞれ供給される。なお、画像表示の階調数を例えば 6 4 とした場合、3種類のデジタル画像信号 D r , D g , D b のそれぞれのビット数は 6 ビットであるので、表示制御回路 2 0 0 から列電極駆動回路 3 0 0 にデジタル画像信号 D r , D g , D b を供給するための信号線として、 $6 \times 3 = 18$ 本の信号線が配線されることになる。

30

40

【 0 0 4 1 】

列電極駆動回路 3 0 0 には、上記のようにして、液晶パネル 5 0 0 に表示すべき画像を表すデータが画素単位でシリアルにデジタル画像信号 D r , D g , D b として供給されると共に、タイミングを示す信号としてクロック信号 C K 、水平同期信号 H S Y および垂直同期信号 V S Y が供給される。列電極駆動回路 3 0 0 は、これらのデジタル画像信号 D r , D g , D b とクロック信号 C K と水平同期信号 H S Y と垂直同期信号 V S Y とに基づき、液晶パネル 5 0 0 を駆動するための画像信号 ( 以下「データ信号」という ) を生成し、これを液晶パネル 5 0 0 の各データ線に印加する。

【 0 0 4 2 】

行電極駆動回路 4 0 0 は、水平同期信号 H S Y および垂直同期信号 V S Y に基づき、液晶

50

パネル500における走査信号線を1水平走査期間ずつ交番かつ順次に選択するために各走査信号線に印加すべき走査信号(SS1, SS2, ...)を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を1垂直走査期間を周期として繰り返す。

#### 【0043】

液晶パネル500は、上記のようにして、データ線には列電極駆動回路300によってデジタル画像信号Dr, Dg, Dbに基づくデータ信号が印加され、走査信号線には行電極駆動回路400によって走査信号が印加される。これにより液晶パネル500は、外部のCPU等から受け取った画像データDvの表すカラー画像を表示する。

#### < 1.2 表示制御回路 >

図1(b)は、上記の液晶表示装置における表示制御回路200の構成を示すブロック図である。この表示制御回路200は、入力制御回路20と表示メモリ21とレジスタ22とタイミング発生回路23とメモリ制御回路24とを備えている。

#### 【0044】

この表示制御回路200が外部のCPU等から受け取る広義の画像データDvを示す信号(以下、この信号も符号“Dv”で表すものとする)およびアドレス信号ADwは、入力制御回路20に入力される。入力制御回路20は、アドレス信号ADwに基づき、広義の画像データDvを、3種類のカラー画像データR, G, Bと表示制御データDcとに振り分ける。そして、カラー画像データR, G, Bを表す信号(以下、これらの信号も符号“R”, “G”, “B”で表すものとする)をアドレス信号ADwに基づくアドレス信号ADと共に表示メモリ21に供給することで3種類の画像データR, G, Bを表示メモリ21に書き込むと共に、表示制御データDcをレジスタ22に書き込む。ここで、3種類の画像データR, G, Bは、画像データDvの表す画像の赤色成分、緑色成分、青色成分をそれぞれ表すデータである。表示制御データDcは、クロック信号CKの周波数や画像データDvの表す画像を表示するための水平走査期間および垂直走査期間を指定するタイミング情報を含んでいる。

#### 【0045】

タイミング発生回路(以下「TG」と略記する)23は、レジスタ22の保持する上記表示制御データに基づき、クロック信号CK、水平同期信号HSYおよび垂直同期信号VSYを生成する。また、TG23は、表示メモリ21およびメモリ制御回路24をクロック信号CKに同期させて動作させるためのタイミング信号を生成する。

#### 【0046】

メモリ制御回路24は、外部から入力されて入力制御回路20を介して表示メモリ21に格納された画像データR, G, Bのうち、液晶パネル500に表示すべき画像を表すデータを読み出すためのアドレス信号ADrと、表示メモリ21の動作を制御するための信号とを生成する。これらのアドレス信号ADrおよび制御信号は表示メモリ21に与えられ、これにより、液晶パネル500に表示すべき画像の赤色成分、緑色成分、青色成分を表すデータがそれぞれ赤色画像信号Dr、緑色画像信号Dg、青色画像信号Dbとして表示メモリ21から読み出され、表示制御回路200から出力される。これら3種類のデジタル画像信号Dr, Dg, Dbは、既述のように列電極駆動回路300に供給される。

#### < 1.3 液晶パネル >

図2(a)は、本実施形態に係る液晶表示装置における液晶パネル500の構成を示す模式図であり、図2(b)は、この液晶パネル500の一部(4画素に相当する部分)510の等価回路を示す回路図である。これらの図において、Rj, Gj, Bj(j=1, 2, 3, ...)は、データ線にそれぞれ印加されるデータ信号を表すが、そのデータ線によってデータの書き込まれる画素の列(画素形成部の列)をも表すものとする。また、SS1, SS2, SS3, ...は、走査信号線Lgにそれぞれ印加される走査信号を表すものとする。

#### 【0047】

この液晶パネル500は、列電極駆動回路300の複数の出力端子にそれぞれ接続される

10

20

30

40

50

複数のデータ線  $L_s$  と、行電極駆動回路 400 の複数の出力端子にそれぞれ接続される複数の走査信号線  $L_g$  とを備え、当該複数のデータ線  $L_s$  と当該複数の走査信号線  $L_g$  とは、各データ線  $L_s$  と各走査信号線  $L_g$  とが交差するように格子状に配設されている。そして既述のように、当該複数のデータ線  $L_s$  と当該複数の走査信号線  $L_g$  との交差点に対応して複数の画素形成部  $P_x$  がそれぞれ設けられている。各画素形成部  $P_x$  は、図 2 (b) に示すように、従来と同様 (図 19 (c))、対応する交差点を通過するデータ線である対応データ線  $L_s$  にソース端子が接続された T F T 10 と、その T F T 10 のドレイン端子に接続された画素電極  $E_p$  と、上記複数の画素形成部  $P_x$  に共通的に設けられた対向電極  $E_c$  と、上記複数の画素形成部  $P_x$  に共通的に設けられ画素電極  $E_p$  と対向電極  $E_c$  との間に挟持された液晶層とからなる。そして、画素電極  $E_p$  と対向電極  $E_c$  とそれらの間に挟持された液晶層とにより画素容量  $C_p$  が形成され、その画素形成手段を挟む 2 本のデータ線  $L_s$  のうちの一方のデータ線である対応データ線と画素電極  $E_p$  との間には寄生容量  $C_{sd}$  (自) が形成されると共に、他方のデータ線である隣接データ線との画素電極  $E_p$  との間には寄生容量  $C_{sd}$  (他) が形成される (図 19 (c) 参照)。なお、従来と同様  $C_{sd}$  (自) =  $C_{sd}$  (自) とする。

#### 【0048】

上記のような画素形成部  $P_x$  は、マトリクス状に配置されて画素形成マトリクスを構成する。これに伴い、各画素形成部  $P_x$  に含まれる画素電極  $E_p$  は画素電極マトリクスを構成し、この画素電極マトリクスにおいて、垂直方向に延びる画素電極列とデータ線  $L_s$  とは水平方向に交互に配置され、水平方向に延びる画素電極行と走査信号線  $L_g$  とは垂直方向に交互に配置される。ところで、画素形成部の主要部である画素電極は、液晶パネル 500 に表示される画像の画素と 1 対 1 に対応し同一視できる。そこで、以下では、説明の便宜上、画素形成部  $P_x$  と画素をも同一視するものとする。したがって、「画素マトリクス」という表現を、「画素形成マトリクス」または「画素電極マトリクス」を意味するものとして使用する。なお、この液晶パネル 500 では、赤 (R)、緑 (G)、青 (B) の画素からなる水平方向に隣接する 3 画素が表示単位となっている。

#### 【0049】

本実施形態では、同一の走査信号線  $L_g$  によってオンおよびオフされる T F T に接続される画素電極  $E_p$  は、画素マトリクスにおける同一の画素行に全て配置されるのではなく、隣接する 2 つの画素行に分散的に配置される。すなわち、画素マトリクスにおける同一画素行の各画素電極に接続される T F T 10 のゲート端子は、同一の走査信号線に全て接続されるのではなく、その画素行を挟む 2 本の走査信号線に分散的に接続される。この点で、本実施形態における液晶パネルの構造は千鳥構造の一種と言える。しかし、本実施形態における液晶パネルでは、図 2 (a) に示すように、同一走査信号線  $L_g$  によってオン・オフされる T F T 10 に接続される画素電極  $E_p$  が、上下に隣接する 2 つの画素行に分散的に、かつ、3 個の画素電極についての「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置される。すなわち、例えば走査信号  $SS_2$  が印加される走査信号線 (上から 2 番目の走査信号線) に注目し、この走査信号線によってオン・オフされる T F T 10 に接続される各画素電極  $E_p$  が 1 番目の画素行 (以下「上行」という) と 2 番目の画素行 (以下「下行」という) とのいずれに配置されているかを図の左から順 (R 1 列、G 1 列、B 1 列... という順) に見ていくと、下行、上行、下行、下行、上行、下行、... となっている。このように本実施形態における液晶パネルは、同一走査信号線によってオン・オフされる T F T に接続される画素電極が隣接 2 画素行に交互に配置される従来の千鳥構造 (図 19 (a) (b)) と相違し、同一走査信号線によってオン・オフされる T F T 10 に接続される画素電極  $E_p$  がその走査信号線を挟む上下の 2 画素行のいずれに配置されるかという配置位置につき、3 画素列を周期とする周期性を有している。以下では、本実施形態における上記マトリクス構造を「3 列周期の変形千鳥構造」といい、従来の千鳥構造を「標準千鳥構造」という。なお、図 2 (a) に示した例では、同一走査信号線によってオン・オフされる T F T 10 に接続される各画素電極  $E_p$  が配置される上下位置は、「下、上、下」を 1 周期とする周期性を有しているが、「上、下

10

20

30

40

50

、上」を1周期とする周期性を有するように構成されていてもよい。

【0050】

図2(a)において、各画素形成部 $P_x$ に付されている“+”は、当該画素形成部 $P_x$ を構成する画素液晶(もしくは画素電極)に正の電圧が印加されることを意味し、“-”は、当該画素形成部 $P_x$ を構成する画素液晶(もしくは画素電極)に負の電圧が印加されることを意味し、これら各画素形成部 $P_x$ に付された“+”と“-”により、画素マトリクスにおける極性パターンが示される。このようにして図2(a)において示されている極性パターンは、上記3列周期の変形千鳥構造の液晶パネル500を1H反転駆動用の列電極駆動回路により駆動したときの或るフレームでの極性パターンとなっている。

<1.4 列電極駆動回路>

上記のように本実施形態では、液晶パネル500における同一走査信号線にゲート端子が接続されるTFTすなわち同一走査信号線によってオン・オフされるTFTに接続される画素電極(以下「同時選択画素電極」という)の全てが同一の画素行に配置されず、隣接する2つの画素行に分散的に配置される。このため、このような同時選択画素電極の分散配置に応じて、列電極駆動回路300から各画素値に対応するデータ信号 $R_j$ 、 $G_j$ 、 $B_j$ ( $j=1, 2, 3, \dots$ )が出力されるようにしなければならない。そこで、本実施形態における列電極駆動回路300は、このような同時選択画素電極の分散配置に対応すべく、図2(a)に示す3列周期の変形千鳥構造に応じたタイミングで各データ信号を出力し各データ信号線に印加するように図3に示す如く構成されている。

【0051】

図3は、このような列電極駆動回路300の構成を示すブロック図である。この列電極駆動回路300は、例えばシフトレジストで構成され直列/並列変換手段として機能するラインメモリ40と、1ライン分の画像データを1水平走査期間だけ保持する保持手段としてのラッチ回路41と、入力される信号を1水平走査期間だけ遅延させる遅延手段としてのラッチ回路42と、入力される信号に基づき液晶パネル500のデータ線 $L_s$ に印加すべきデータ信号を生成する出力回路45と、水平同期信号 $HSY$ に基づきラッチ回路41および42にそれぞれ入力すべき第1および第2ゲート信号 $HSY_1$ 、 $HSY_2$ を生成するゲート信号生成回路47とを備えている。ここで、第1および第2ゲート信号 $HSY_1$ 、 $HSY_2$ は、共に、水平同期信号 $HSY$ と同一のパルス周期を有する信号であって、図4(a)(b)に示すように、第1ゲート信号 $HSY_1$ は、第2ゲート信号 $HSY_2$ を水平走査期間に比べて十分に短い所定時間だけ遅延させた信号である。なお、保持手段としてのラッチ回路41は、第1ゲート信号 $HSY_1$ がHレベル(ハイレベル)のときに入力信号値を取り込んで出力し、第1ゲート信号 $HSY_1$ がLレベル(ローレベル)になると、Lレベルとなる直前の入力信号値を保持するとともにその値を出力する。また、遅延手段としてのラッチ回路42は、第2ゲート信号 $HSY_2$ がHレベルのときに入力信号値を取り込んで出力し、第2ゲート信号 $HSY_2$ がLレベルになると、Lレベルとなる直前の入力信号値を保持すると共にその値を出力する。

【0052】

ラインメモリ40には、クロック信号 $CK$ に同期して、図4(c)~(e)に示すようなデジタル画像信号 $D_r$ 、 $D_g$ 、 $D_b$ が画素単位でシリアルに入力される(図4において“ $r_{ij}$ ”、“ $g_{ij}$ ”、“ $b_{ij}$ ”は、 $i$ 番目のラインにおける $j$ 番目の赤色成分画素、緑色成分画素および青色成分画素を表す画素データをそれぞれ示すものとする)。ラインメモリ40は、1水平ライン分の画素データを記憶する機能を有しており、クロック信号 $CK$ に基づき、これらのデジタル画像信号 $D_r$ 、 $D_g$ 、 $D_b$ を順次取り込んで、第1内部画像信号 $r_j$ 、 $g_j$ 、 $b_j$ ( $j=1, 2, 3, \dots$ )として並列に出力する。これらの第1内部画像信号 $r_j$ 、 $g_j$ 、 $b_j$ は、保持手段としてのラッチ回路41に入力される。

【0053】

ラッチ回路41は、図4(a)に示す第1ゲート信号 $HSY_1$ に基づき、第1内部画像信号 $r_j$ 、 $g_j$ 、 $b_j$ の値を取り込んで1水平走査期間だけ保持し、図4(f)~(h)に示すような第2内部画像信号 $D_{rj}$ 、 $D_{gj}$ 、 $D_{bj}$ ( $j=1, 2, 3, \dots$ )を出力する

10

20

30

40

50

。これらの第2内部画像信号 $D r j$ 、 $D g j$ 、 $D b j$ は、直接にまたは遅延手段としてのラッチ回路42を介して、第3内部画像信号 $d r j$ 、 $d g j$ 、 $d b j$  ( $j = 1, 2, 3, \dots$ )として出力回路45に入力される。

#### 【0054】

このとき、保持手段としてのラッチ回路41から出力される第2内部画像信号 $D r j$ 、 $D g j$ 、 $D b j$ のうち、G1列、G2列、G3列、...に対応する内部画像信号は、遅延手段としてのラッチ回路42を介して出力回路45に入力され、他の内部画像信号は直接に出力回路45に入力される。ラッチ回路42は、図4(b)に示す第2ゲート信号 $H S Y 2$ に基づき、G1列、G2列、G3列、...に対応する第2内部画像信号 $D g 1$ 、 $D g 2$ 、 $D g 3$ 、...を1水平走査期間だけ遅延させて出力する。これにより、同時選択画素電極のうちその同時選択画素電極が分散的に配置される隣接2画素行の上側行に配置される画素電極を含む画素形成手段に対応するデータ線に印加すべきデータ信号が、1水平走査期間だけ遅延することになる。すなわち、液晶パネル500において各画素形成部 $P x$  (画素電極)を挟む上下の走査信号線 $L g$ のうち下側の走査信号線にゲート端子が接続されている $T F T 10$ を含む画素形成部(図2(a)参照)の画素値に相当する第2内部画像信号 $D g 1$ 、 $D g 2$ 、 $D g 3$ 、...のみが、1水平走査期間だけ遅延した後に第3内部画像信号 $d g 1$ 、 $d g 2$ 、 $d g 3$ 、...として出力回路45に入力される(図4(j))。

10

#### 【0055】

出力回路45は、このような第3内部画像信号 $d r j$ 、 $d g j$ 、 $d b j$  ( $j = 1, 2, 3, \dots$ )に基づき、液晶パネル500の各データ線 $L s$ に印加すべきデータ信号 $R j$ 、 $G j$ 、 $B j$  ( $j = 1, 2, 3, \dots$ )を生成する。このとき、出力回路45は、データ信号 $R j$ 、 $G j$ 、 $B j$ の正負極性すなわち液晶パネル500への印加電圧の正負極性を、水平同期信号 $H S Y$ に相当する第1ゲート信号 $H S Y 1$ に基づき1水平走査期間毎に反転させ、かつ、垂直同期信号 $V S Y$ に基づき1フレーム期間毎にも反転させる。

20

#### < 1.5 チェッカーバックの表示 >

次に、図24(a)に示すような「チェッカーバック」を表示する場合の上記本実施形態に係る液晶表示装置の動作を説明する。この場合、或るフレーム $F 1$ では図5(a)に示すような正負極性で「チェッカーバック」が表示され、次のフレーム $F 2$ では図5(b)に示すような正負極性で「チェッカーバック」が表示される。なお図5(a)(b)において、クロスハッチングの付されている画素形成部(画素)は黒を、クロスハッチングの付されていない画素形成部は白をそれぞれ表示しているものとし、R(赤)、G(緑)、B(青)の隣接3画素を表示単位として白と黒とが水平および垂直方向に交互に表示されるものとする。

30

#### 【0056】

この場合、列電極駆動回路300における出力回路45に入力される第3内部画像信号 $d r 1$ 、 $d g 1$ 、 $d b 1$ は、図6(c)~(e)に示すようになる。この図6(c)~(e)において、クロスハッチングの付された矩形部分は、黒を表示するための画素データを表し、クロスハッチングの付されていない矩形部分は、白を表示するための画素データを表している。出力回路45は、このような第3内部画像信号 $d r 1$ 、 $d g 1$ 、 $d b 1$ と垂直同期信号 $V S Y$ (図6(a))および水平同期信号に相当する第1ゲート信号 $H S Y 1$ (図6(b))に基づき、図6(f)~(h)に示すようなデータ信号 $R 1$ 、 $G 1$ 、 $B 1$ を出力する。図6(f)~(h)において、“+V1”および“-V1”は、各画素を構成する液晶層部分である画素液晶のうち白を表示する画素液晶に印加すべき正極性および負極性の電圧をそれぞれ示し、“+V2”および“-V2”は、黒を表示する画素液晶に印加すべき正極性および負極性の電圧をそれぞれ示している(以下においても同様)。

40

#### 【0057】

図6(f)~(h)からわかるように、本実施形態では、列電極駆動回路300は、1H反転駆動方式により液晶パネル500を駆動しているが、図5に示すように、液晶パネルが3列周期の変形千鳥構造であるため、正負極性のパターンは、「+、-、+」と「-、+、-」のいずれか一方を1周期として水平方向に周期性を有している。このようにして

50

本実施形態では、3列周期の変形千鳥構造に基づき擬似ドット反転駆動が実現されている。

#### 【0058】

次に、上記のように「チェッカーバック」を表示した場合における縦シャドーの発生の有無について検討する。以下では、検討の便宜のために、有効な水平走査線数を5とし、データ線数を6として（ただし、走査信号線数は6であって有効な水平走査線数よりも1だけ多い）、 $6 \times 5$ 画素からなる3列周期の変形千鳥構造の液晶パネルを想定する。このような液晶パネルで「チェッカーバック」を表示すると、或るフレームF1では図7(a)に示すような正負極性で「チェッカーバック」が表示され、次のフレームF2では図7(b)に示すような正負極性で「チェッカーバック」が表示される。

10

#### 【0059】

この場合、データ信号G1、B1、R2は、対向電極Ecの電位を基準とすると、それぞれ図7(c)(d)(e)に示すように変化する。この図7(c)~(e)において、“S1”~“S6”は、図7(a)(b)に示す走査信号SS1~SS6がそれぞれアクティブとなる期間すなわち1フレーム内における水平走査期間を表す。なお、図7(a)(b)に示すような変形千鳥構造を採用した場合、データ信号R1、B1、R2、B2の示す画素データは水平走査期間S1では有効なものではなく、データ信号G1、G2の示す画素データは水平走査期間S6では有効なものではないが、検討の便宜上、各データ信号の示す画素データは、これらの期間S1、S6でも有効なものとして説明を進める（以下においても同様）。

20

#### 【0060】

いま、G1列1行目の画素形成部（便宜上「画素」と呼ぶ。以下においても同様。）に注目すると、この注目画素の対応データ線Lssの信号はG1で、隣接データ線Lsnの信号はB1となる（図19(c)、図7(a)(b)参照）。この注目画素には、フレームF1における水平走査期間S1においてデータ(-V2)が書き込まれる。この注目画素の値（書き込まれた値）に対する両データ線Lss、Lsnの信号変化による影響の仕方（影響の方向、程度）は、この書き込み時点における対応データ線Lssの信号値および隣接データ線Lsnの信号値をそれぞれ基準とする両データ線の信号変化量によって決まる。そこで、図7(c)~(e)を参照し、この書き込み時点における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、G1列5行目の画素に注目し、この注目画素の書き込み時点（フレームF1の水平走査期間S5）における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、フレームF2（フレーム切り替わり後）での両データ線の信号変化量を求める。図8(a)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している（一部省略あり）。

30

#### 【0061】

次に、「チェッカーバック」における白の表示単位と黒の表示単位との境界部に位置するB1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まずB1列1行目の画素に注目し、この注目画素の書き込み時点（フレームF1の水平走査期間S2）における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(+V1)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、B1列5行目の画素に注目し、この注目画素の書き込み時点（フレームF1の水平走査期間S6）における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(+V1)をそれぞれ基準として、フレームF2での両データ線の信号変化量を求める。図8(b)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している（一部省略あり）。

40

#### 【0062】

図8(a)(b)に示すようにフレームF1（フレームの切り替わり前）では、G1列の画素に注目した場合、注目画素（G1列1行目）は、その値(-V2)が増大する方向に

50

影響を受け、B 1 列の画素に注目した場合、注目画素 ( B 1 列 1 行目 ) は、その値 ( + V 2 ) が減少する方向に影響を受ける。このように G 1 列と B 1 列とでは、注目画素の値の正負の違い ( - V 2 と + V 2 ) に対応して信号変化量の正負が異なるが ( + ( V 1 + V 2 ) と - ( V 1 + V 2 ) )、それらの絶対値は等しいので、表示上の影響は同じと考えられる。また、フレーム F 2 ( フレームの切り替わり後 ) においても、図 8 の ( a ) と ( b ) を比較すればわかるように、G 1 列の注目画素 ( 5 行目 ) と B 1 列の注目画素 ( 5 行目 ) の値の正負の違い ( - V 2 と + V 2 ) に対応して信号変化量の正負が異なるが ( + 2 V 2 と - 2 V 2、+ 2 V 1 と - 2 V 1、+ ( V 2 - V 1 ) と - ( V 2 - V 1 ) )、それらの絶対値は等しいので、表示上の影響は同じと考えられる。また、G 1 列 5 行目の画素に注目した場合におけるフレーム F 2 の水平走査期間 S 2 や S 4 や、B 1 列 5 行目の画素に注目した場合におけるフレーム F 2 の水平走査期間 S 1 や S 3 等では、対応データ線と隣接データ線の信号は「相補的」に変化するので、注目画素値への両データ線による影響は相殺される。なお、R 1 列の画素の受ける影響は、G 1 列の画素の受ける影響と実質的に同等である。したがって、本実施形態によれば、「チェッカーバック」を表示した場合における縦シャドウを発生を抑えることができる。

10

#### < 1.6 効果 >

以上説明したように上記実施形態によれば、「チェッカーバック」を表示した場合において、各画素の値に対する対応データ線および隣接データ線の信号変化の影響は、その画素の位置によって変わることがないので、縦シャドウの発生が抑えられる。しかも、列電極駆動回路 300 として 1 H 反転駆動方式による駆動回路を使用しつつ擬似的にドット反転駆動が実現されるので、列電極駆動回路 300 を実現するための IC の耐圧が低く抑えられる。また、列電極駆動回路 300 は、3 列周期の変形千鳥構造に応じて内部で画像信号を遅延させているので ( 図 3、図 4 ( i ) ~ ( k ) 参照 )、列電極駆動回路 300 に通常の形式でデジタル画像信号 D r , D g , D b を入力しつつ、3 列周期の変形千鳥構造の液晶パネル 500 に、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

20

#### < 2. 第 2 の実施形態 >

上記のように第 1 の実施形態によれば、「チェッカーバック」を表示した場合における縦シャドウの発生を抑制することができる。しかし、図 2 4 ( b ) に示すような「横ストライプバック」と呼ばれる水平方向のストライプ模様を表示すると、縦シャドウが現れる。本発明の第 2 の実施形態に係る液晶表示装置は、このような「横ストライプバック」を表示する場合においても縦シャドウの発生を抑制すべく構成された液晶表示装置である。以下では、この第 2 の実施形態について説明する前に、まず、基礎検討として、3 列周期の変形千鳥構造および標準千鳥構造 ( 従来千鳥構造 ) の液晶パネルにおいて「横ストライプバック」を表示した場合における縦シャドウの発生につき検討する。なお、以下に述べる第 2 の実施形態における構成要素のうち第 1 の実施形態における構成要素と同一のものについては、同一の参照符号を付して詳しい説明を省略する。

30

#### < 2.1 基礎検討 >

##### < 2.1.1 3 列周期の変形千鳥構造の場合 >

以下においても、検討の便宜のために、有効な水平走査線数を 5 とし、データ線数を 6 として ( 走査信号線数は 6 )、6 × 5 画素からなる 3 列周期の変形千鳥構造の液晶パネルを想定する。このような液晶パネルで擬似ドット反転駆動方式により「横ストライプバック」を表示すると、或るフレーム F 1 では図 9 ( a ) に示すような正負極性で「横ストライプバック」が表示され、次のフレーム F 2 では図 9 ( b ) に示すような正負極性で「横ストライプバック」が表示される。

40

#### 【 0 0 6 3 】

この場合、データ信号 G 1、B 1、R 2 は、対向電極 E c の電位を基準とすると、それぞれ図 9 ( c ) ( d ) ( e ) に示すように変化する。以下、この図 9 ( c ) ( d ) ( e ) を参照して、各画素値に対する対応データ線および隣接データ線の信号変化による影響を考える。

50

## 【 0 0 6 4 】

まず、G 1 列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、G 1 列 1 行目の画素に注目するものとし、この注目画素の書き込み時点（フレーム F 1 の水平走査期間 S 1 ）における対応データ線の信号 G 1 の値（ $-V_2$ ）および隣接データ線の信号 B 1 の値（ $-V_1$ ）をそれぞれ基準として、フレーム F 1 での両データ線の信号変化量を求める。次に、G 1 列 5 行目の画素に注目し、この注目画素の書き込み時点（フレーム F 1 の水平走査期間 S 5 ）における対応データ線の信号 G 1 の値（ $-V_2$ ）および隣接データ線の信号 B 1 の値（ $-V_1$ ）をそれぞれ基準として、フレーム F 2（フレーム切り替わり後）での両データ線の信号変化量を求める。図 1 0（a）は、このようにして求めたフレーム F 1 および F 2 での両データ線の信号変化量を示している（一部省略あり）。 10

## 【 0 0 6 5 】

次に、B 1 列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まず B 1 列 1 行目の画素に注目し、この注目画素の書き込み時点（フレーム F 1 の水平走査期間 S 2 ）における対応データ線の信号 B 1 の値（ $+V_2$ ）および隣接データ線の信号 R 2 の値（ $+V_2$ ）をそれぞれ基準として、フレーム F 1 での両データ線の信号変化量を求める。次に、B 1 列 5 行目の画素に注目し、この注目画素の書き込み時点（フレーム F 1 の水平走査期間 S 6 ）における対応データ線の信号 B 1 の値（ $+V_2$ ）および隣接データ線の信号 R 2 の値（ $+V_2$ ）をそれぞれ基準として、フレーム F 2（フレーム切り替わり後）での両データ線の信号変化量を求める。図 1 0（b）は、このようにして求めたフレーム F 1 および F 2 での両データ線の信号変化量を示している（一部省略あり）。 20

## 【 0 0 6 6 】

図 1 0 の（a）と（b）を比較すればわかるように、フレーム F 1（フレームの切り替わり前）では、G 1 列の注目画素（1 行目）と B 1 列の注目画素（1 行目）の値の正負の違い（ $-V_2$ と $+V_2$ ）に対応して信号変化量の正負が異なるが（ $+(V_1 + V_2)$ と $-(V_1 + V_2)$ ）、それらの絶対値は等しい。このため、G 1 列の画素と B 1 列の画素とでは、表示上の影響は同じと考えられる。これに対し、フレーム F 2（フレームの切り替わり後）では、G 1 列の注目画素（5 行目）と B 1 列の注目画素（5 行目）とでは、 $V_2$ が $V_1$ よりも十分に大きいことを考慮すれば、対応データ線および隣接データ線の信号変化による影響の仕方が異なることがわかる。したがって、対応データ線および隣接データの信号変化から受ける影響の大きい B 1 列において、縦シャドウが現れることになる。 30

< 2 . 1 . 2 標準千鳥構造の場合 >

次に、有効な水平走査線数を 5 とし、データ線数を 6 として（走査信号線数は 6 ）、 $6 \times 5$  画素からなる標準千鳥構造（従来の千鳥構造）の液晶パネルを想定する。このような液晶パネルで擬似ドット反転駆動方式により「横ストライプバック」を表示すると、或るフレーム F 1 では図 1 1（a）に示すような正負極性で「横ストライプバック」が表示され、次のフレーム F 2 では図 1 1（b）に示すような正負極性で「横ストライプバック」が表示される。

## 【 0 0 6 7 】

この場合、データ信号 G 1、B 1、R 2 は、対向電極 E c の電位を基準とすると、それぞれ図 1 1（c）（d）（e）に示すように変化する。以下、この図 1 1（c）（d）（e）を参照して、各画素値に対する対応データ線および隣接データ線の信号変化による影響を考える。 40

## 【 0 0 6 8 】

まず、G 1 列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、G 1 列 1 行目の画素に注目するものとし、この注目画素の書き込み時点（フレーム F 1 の水平走査期間 S 1 ）における対応データ線の信号 G 1 の値（ $-V_2$ ）および隣接データ線の信号 B 1 の値（ $-V_1$ ）をそれぞれ基準として、フレーム F 1 での両データ線の信号変化量を求める。次に、G 1 列 5 行目の画素に注目し、この注目画 50

素の書き込み時点（フレーム F 1 の水平走査期間 S 5 ）における対応データ線の信号 G 1 の値（ $-V_2$ ）および隣接データ線の信号 B 1 の値（ $-V_1$ ）をそれぞれ基準として、フレーム F 2（フレーム切り替わり後）での両データ線の信号変化量を求める。図 1 2（a）は、このようにして求めたフレーム F 1 および F 2 での両データ線の信号変化量を示している（一部省略あり）。

#### 【0069】

次に、B 1 列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まず B 1 列 1 行目の画素に注目し、この注目画素の書き込み時点（フレーム F 1 の水平走査期間 S 2 ）における対応データ線の信号 B 1 の値（ $+V_2$ ）および隣接データ線の信号 R 2 の値（ $+V_1$ ）をそれぞれ基準として、フレーム F 1 での両データ線の信号変化量を求める。次に、B 1 列 5 行目の画素に注目し、この注目画素の書き込み時点（フレーム F 1 の水平走査期間 S 6 ）における対応データ線の信号 B 1 の値（ $+V_2$ ）および隣接データ線の信号 R 2 の値（ $+V_1$ ）をそれぞれ基準として、フレーム F 2（フレーム切り替わり後）での両データ線の信号変化量を求める。図 1 2（b）は、このようにして求めたフレーム F 1 および F 2 での両データ線の信号変化量を示している（一部省略あり）。

#### 【0070】

図 1 2 の（a）と（b）を比較すればわかるように、フレーム F 1（フレームの切り替わり前）では、G 1 列の注目画素（1 行目）と B 1 列の注目画素（1 行目）の値の正負の違い（ $-V_2$ と $+V_2$ ）に対応して信号変化量の正負が異なるが（ $+(V_1+V_2)$ と $-(V_1+V_2)$ ）、それらの絶対値は等しい。このため、G 1 列の画素と B 1 列の画素とでは、表示上の影響は同じと考えられる。また、フレーム F 2（フレームの切り替わり後）においても、G 1 列の注目画素（5 行目）と B 1 列の注目画素（5 行目）の値の正負の違い（ $-V_2$ と $+V_2$ ）に対応して信号変化量の正負が異なるが（ $+2V_2$ と $-2V_2$ 、 $+2V_1$ と $-2V_1$ ）、それらの絶対値は等しいので、表示上の影響は同じと考えられる。さらに、G 1 列 5 行目の画素に注目した場合におけるフレーム F 2 の水平走査期間 S 2 や S 4 や、B 1 列 5 行目の画素に注目した場合におけるフレーム F 2 の水平走査期間 S 1 や S 3 等では、対応データ線と隣接データ線の信号は「相補的」に変化するので、注目画素値への両データ線による影響は相殺される。なお、R 1 列の画素の受ける影響は、G 1 列の画素の受ける影響と実質的に同等である。したがって、標準千鳥構造の場合には、「横ストライプバック」を表示しても縦シャドウが発生しない。

#### < 2.2 液晶パネルの構成 >

既述のように、「チェッカーバック」を表示する場合には、液晶パネルが 3 列周期の変形千鳥構造であれば縦シャドウの発生が抑えられるが、標準千鳥構造であれば縦シャドウが発生する。一方、上記基礎検討より、「横ストライプバック」を表示する場合には、液晶パネルが 3 列周期の変形千鳥構造であれば縦シャドウが発生するが、標準千鳥構造であれば縦シャドウの発生が抑えられる。液晶パネルの構造とキラパターンとしての「チェッカーバック」および「横ストライプバック」の表示とのこのような関係を整理すると、図 1 3（a）～（d）に示すようになる。ここで、図 1 3（a）、（b）、（c）、（d）は、それぞれ、3 列周期の変形千鳥構造の液晶パネルで「チェッカーバック」を表示した場合、3 列周期の変形千鳥構造の液晶パネルで「横ストライプバック」を表示した場合、標準千鳥構造の液晶パネルで「チェッカーバック」を表示した場合、標準千鳥構造の液晶パネルで「横ストライプバック」を表示した場合における縦シャドウの発生の有無を示しており、これらの図において、“ ” は、その直下に描かれている画素列において縦シャドウが発生しないことを示し、“ x ” は、その直下に描かれている画素列において縦シャドウが発生することを示している。図 1 3（a）（b）に示すように、液晶パネルにおいて 3 列周期の変形千鳥構造を採用した場合には、「チェッカーバック」の表示における縦シャドウの発生は抑制されるが、「横ストライプバック」の表示において 1 2 画素列に対して 4 画素列の割合（3 画素列に対して 1 画素列の割合）で縦シャドウが発生する。一方、図 1 3（c）（d）に示すように、標準千鳥構造を採用した場合には、「横ストライプ

バック」の表示における縦シャドーの発生は抑制されるが、「チェッカーバック」の表示において12画素列に対して4画素列の割合(3画素列に対して1画素列の割合)で縦シャドーが発生する。

#### 【0071】

そこで本実施形態では、「チェッカーバック」の表示および「横ストライプバック」の表示の双方において縦シャドーの発生を抑制すべく、3列周期の変形千鳥構造の特長と標準千鳥構造の特長とを併せ持った千鳥構造、すなわち図14に示すような構造を採用している。このような構造の液晶パネルでは、第1の実施形態と同様(図2)、画素電極列とデータ線Lsとは水平方向に交互に配置され、画素電極行と走査信号線Lgとは垂直方向に交互に配置され、赤(R)、緑(G)、青(B)の画素形成部Pxによって形成される水平方向に隣接する3画素が表示単位となっている。そして、同一の走査信号線Lgによってオン・オフされるTFT10に接続される画素電極は、隣接する2つの画素行に分散的に配置される。したがって、この液晶パネルの構造も千鳥構造の一種と言える。

10

#### 【0072】

しかし、この液晶パネルは、同一走査信号線Lgによってオン・オフされるTFT10に接続される画素電極Epが、上下に隣接する2つの画素行に分散的に、かつ、12個の画素電極についての「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置される(以下、このような構造を「12列周期の変形千鳥構造」という)。この点で、この液晶パネルの構造は、第1の実施形態における液晶パネルの構造(図2(a))すなわち3列周期の変形千鳥構造とは相違する。なお、図14に示した例では、同一走査信号線によってオン・オフされるTFT10に接続される各画素電極Epが配置される上下位置(隣接2画素行のうち上行と下行のいずれに配置されるか)は、「下、上、下、上、下、上、上、下、上、下、上、下」を1周期とする周期性を有しているが、「上」と「下」とを入れ替えて「上、下、上、下、上、下、下、上、下、上、下、上」を1周期とする周期性を有するように構成されていてもよい。

20

#### 【0073】

上記12列周期の変形千鳥構造の液晶パネルを1H反転駆動用の列電極駆動回路により駆動すると、或るフレームでは図14(a)に示すような極性パターンとなり、次のフレームでは図14(b)に示すような極性パターンとなり、ドット反転駆動が擬似的に実現される。ここで、図14(a)(b)において、各画素形成部Pxに付されている“+”は、当該画素形成部Pxを構成する画素液晶(もしくは画素電極)に正の電圧が印加されることを意味し、“-”は、当該画素形成部Pxを構成する画素液晶(もしくは画素電極)に負の電圧が印加されることを意味する。

30

#### 【0074】

上記12列周期の変形千鳥構造の液晶パネルにおいて「チェッカーバック」を表示した場合の縦シャドーの発生は、前述の図13(a)(c)より、図15(a)に示すようになる。また、上記12列周期の変形千鳥構造の液晶パネルにおいて「横ストライプバック」を表示した場合の縦シャドーの発生は、前述の図13(b)(d)より、図15(b)に示すようになる。ここで、“ ”は、その直下に描かれている画素列において縦シャドーが発生しないことを示し、“x”は、その直下に描かれている画素列において縦シャドーが発生することを示している。これら図15(a)(b)より、上記12列周期の変形千鳥構造によれば、「チェッカーバック」と「横ストライプバック」とのいずれの表示においても、縦シャドーの発生は12画素列に対して2画素列の割合(6画素列に対して1画素列の割合)となり、標準千鳥構造の液晶パネルにおいて「チェッカーバック」を表示した場合(図13(c))や、3列周期の変形千鳥構造の液晶パネルにおいて「横ストライプバック」を表示した場合(図13(b))に比べて、縦シャドーの発生が大幅に抑制される。

40

#### < 2.3 列電極駆動回路 >

図16は、本実施形態における列電極駆動回路、すなわち上記12列周期の変形千鳥構造

50

の液晶パネルを駆動するための列電極駆動回路の構成を示すブロック図である。この列電極駆動回路は、上記12列周期の変形千鳥構造に応じたタイミング、すなわち同時選択画素電極の隣接2画素行への図14に示すような分散配置に応じたタイミングで、各画素値に対応するデータ信号 $R_j$ 、 $G_j$ 、 $B_j$  ( $j = 1, 2, 3, \dots$ )が出力されるように、下記のように構成されている。なお以下において、この列電極駆動回路のうち第1の実施形態における列電極駆動回路300と同一の部分には同一の参照符号を付して詳しい説明を省略する。

#### 【0075】

本実施形態における列電極駆動回路では、保持手段としてのラッチ回路41から出力される第2内部画像信号 $D r_j$ 、 $D g_j$ 、 $D b_j$  ( $j = 1, 2, 3, \dots$ )を選択的に1水平走査期間だけ遅延させる遅延手段としてのラッチ回路の挿入位置が異なる。この本実施形態における遅延手段としてのラッチ回路には、これを第1の実施形態における遅延手段としてのラッチ回路42と区別するために、参照符号“43”が付されている。本実施形態では、保持手段としてのラッチ回路41から出力される第2内部画像信号 $D r_j$ 、 $D g_j$ 、 $D b_j$ のうち、G1列、R2列、B2列、R3列、B3列、G4列、G5列、……に対応する第2内部画像信号 $D g_1$ 、 $D r_2$ 、 $D b_2$ 、 $D r_3$ 、 $D b_3$ 、 $D g_4$ 、 $D g_5$ 、……は、遅延手段としてのラッチ回路43を介して出力回路45に入力され、他の第2内部画像信号は直接に出力回路45に入力される。ラッチ回路43は、図4(b)に示す第2ゲート信号 $H S Y_2$ に基づき、G1列、R2列、B2列、R3列、B3列、G4列、G5列、……に対応する第2内部画像信号 $D g_1$ 、 $D r_2$ 、 $D b_2$ 、 $D r_3$ 、 $D b_3$ 、 $D g_4$ 、 $D g_5$ 、……を1水平走査期間だけ遅延させて出力する。これにより、図14に示す液晶パネルにおいて各画素形成部 $P_x$  (画素電極)を挟む上下の走査信号線 $L_g$ のうち下側の走査信号線にゲート端子が接続されている $T F T_{10}$ を含む画素形成部の画素値に相当する第2内部画像信号 $D g_1$ 、 $D r_2$ 、 $D b_2$ 、 $D r_3$ 、 $D b_3$ 、 $D g_4$ 、 $D g_5$ 、……のみが、1水平走査期間だけ遅延した後に第3内部画像信号 $d g_1$ 、 $d r_2$ 、 $d b_2$ 、 $d r_3$ 、 $d b_3$ 、 $d g_4$ 、 $d g_5$ 、……として出力回路45に入力される。

#### 【0076】

このように構成された列電極駆動回路によれば、12列周期の変形千鳥構造に応じて列電極駆動回路内部で画像信号を遅延させることができる。

#### < 2.4 効果 >

以上説明したように上記実施形態によれば、「チェッカーバック」を表示した場合および「横ストライプバック」を表示した場合において、縦シャドールの発生は、完全には解消されないが、3列周期の変形千鳥構造の液晶パネルにおいて「横ストライプバック」を表示した場合(図13(b))や、標準千鳥構造の液晶パネルにおいて「チェッカーバック」を表示した場合(図13(c))に比べ、大幅に抑制される(図15(a)(b))。また、列電極駆動回路としては1H反転駆動方式による駆動回路を使用しつつ擬似的にドット反転駆動が実現されるので、列電極駆動回路を実現するためのICの耐圧が低く抑えられる。さらに、列電極駆動回路は、12列周期の変形千鳥構造に応じてラッチ回路43により内部で画像信号を遅延させているので(図16参照)、列電極駆動回路に通常の形式でデジタル画像信号 $D r$ 、 $D g$ 、 $D b$ を入力しつつ、12列周期の変形千鳥構造の液晶パネルに、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

#### < 3. 変形例 >

既述のように、液晶パネルにおいて千鳥構造を採用した場合には、同時選択画素電極が隣接2画素行に分散的に配置されるので、列電極駆動回路は、その千鳥構造に応じたタイミングでデータ信号を出力しなければならない。このために、上記第1の実施形態における列電極駆動回路は、3列周期の変形千鳥構造に応じて内部画像信号を選択的に遅延させるための手段としてラッチ回路42を備え(図3)、上記第2の実施形態における列電極駆動回路は、12列周期の変形千鳥構造に応じて内部画像信号を選択的に遅延させるための手段としてラッチ回路43を備えている(図16)。しかし、このように列電極駆動回路

10

20

30

40

50

内で画像信号のタイミングを調整する代わりに、表示すべき画像の画素データを変形千鳥構造に応じた順序でデジタル画像信号  $D_r$  ,  $D_g$  ,  $D_b$  として列電極駆動回路に供給するようにしてもよい。例えば、図 2 ( a ) に示すように 3 列周期の変形千鳥構造の液晶パネルを使用する場合には、表示すべき画像の画素データが図 1 7 ( b ) ~ ( d ) に示すような順序で表示制御回路から列電極駆動回路へデジタル画像信号  $D_r$  ,  $D_g$  ,  $D_b$  として供給されるようにすればよい。このためには、図 1 7 ( b ) ~ ( d ) に示すような順序で表示制御回路から各画素データがデジタル画像信号  $D_r$  ,  $D_g$  ,  $D_b$  として出力されるように、液晶表示装置外部から表示制御回路内の表示メモリへの画像データの書き込み、および/または、外部から表示メモリに書き込まれた画像データの読み出しを制御すればよい。なお、図 1 7 において “  $r_{ij}$  ” , “  $g_{ij}$  ” , “  $b_{ij}$  ” は、 $i$  番目のラインにおける  $j$  番目の赤色成分画素、緑色成分画素および青色成分画素を表す画素データをそれぞれ示すものとする。

10

#### 【 0 0 7 7 】

このような構成の表示制御回路を使用すれば、列電極駆動回路内で液晶パネルにおける千鳥構造に応じて画像信号のタイミングを調整する必要はない。したがって、例えば図 1 8 に示すような従来の 1 H 反転駆動用の列電極駆動回路が使用されることになる。図 1 8 において、第 1 の実施形態における列電極駆動回路 3 0 0 ( 図 3 ) と同一部分には同一の参照符号が付されている。この図 1 8 に示す列電極駆動回路では、水平同期信号  $H S Y$  ( 図 1 7 ( a ) ) に基づきラッチ回路 4 1 によって 1 水平走査期間だけ保持される第 2 内部画像信号  $D_{rj}$  ,  $D_{gj}$  ,  $D_{bj}$  (  $j = 1, 2, 3, \dots$  ) は、図 1 7 ( e ) ~ ( j ) に示すように、3 列周期の変形千鳥構造に対応したタイミングとなっているので、遅延手段を介すことなく直接に出力回路 4 5 に入力される。

20

#### 【 0 0 7 8 】

このように、上記のような表示制御回路を使用すれば、列電極駆動回路内で液晶パネルにおける千鳥構造に応じて画像信号のタイミングを調整する必要はないので、従来の 1 H 反転駆動用の列電極駆動回路により、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

#### 【 0 0 7 9 】

##### 【 発明の効果 】

第 1 の発明によれば、1 H 反転駆動用の列電極駆動回路により擬似的にドット反転駆動が実現されるので、列電極駆動回路を実現するための IC の耐圧を低く抑えることができると共に、「チェッカーバック」(市松模様)の表示において縦シャドーの発生を抑えることができる。

30

#### 【 0 0 8 0 】

第 2 の発明によれば、1 H 反転駆動用の列電極駆動回路により擬似的にドット反転駆動が実現されるので、列電極駆動回路を実現するための IC の耐圧を低く抑えることができると共に、「チェッカーバック」(市松模様)の表示および「横ストライプバック」(水平方向のストライプ模様)の表示の双方において縦シャドーの発生を抑えることができる。

#### 【 0 0 8 1 】

第 3 の発明によれば、データ信号は同時選択画素電極の隣接 2 行への分散的配置に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

40

#### 【 0 0 8 2 】

第 4 の発明によれば、データ信号は液晶パネルにおける同時選択画素電極の隣接 2 行への分散的配置に応じたタイミングでデータ信号線に印加されるので、千鳥構造の液晶パネルにおいて、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

#### 【 0 0 8 3 】

第 5 の発明によれば、第 4 の発明と同様の効果を奏する。

#### 【 0 0 8 4 】

50

第6の発明によれば、列電極駆動回路を実現するためのICの耐圧を低く抑えつつ擬似的にドット反転駆動を実現できると共に、「チェッカーバック」の表示において縦シャドーの発生を抑えることができる。また、データ信号は3列周期の変形千鳥構造に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0085】

第7の発明によれば、列電極駆動回路を実現するためのICの耐圧を低く抑えつつ擬似的にドット反転駆動を実現できると共に、「チェッカーバック」の表示および「横ストライプバック」の表示の双方において縦シャドーの発生を抑えることができる。また、データ信号は12列周期の変形千鳥構造に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

10

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】第1の実施形態における液晶表示パネルの構成を示す模式図(a)および等価回路図(b)である。

【図3】第1の実施形態における列電極駆動回路の構成を示すブロック図である。

【図4】第1の実施形態における列電極駆動回路の動作を示すタイミングチャートである。

【図5】第1の実施形態において「チェッカーバック」を表示した場合における液晶パネルにおける極性パターンを示す模式図である。

20

【図6】第1の実施形態において「チェッカーバック」を表示した場合の動作を示すタイミングチャート(a)~(e)および信号波形図(f)~(h)である。

【図7】第1の実施形態において「チェッカーバック」を表示した場合における縦シャドーの発生の有無を検討するための液晶パネル構成図(a)(b)および信号波形図(c)~(e)である。

【図8】第1の実施形態において「チェッカーバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図9】3列周期の変形千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における縦シャドーの発生を検討するための液晶パネル構成図(a)(b)および信号波形図(c)~(e)である。

30

【図10】3列周期の変形千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図11】標準千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における縦シャドーの発生を検討するための液晶パネル構成図(a)(b)および信号波形図(c)~(e)である。

【図12】標準千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

40

【図13】液晶パネルの構成とキラーパターンとしての「チェッカーバック」および「横ストライプバック」の表示との関係を示す図である。

【図14】本発明の第2の実施形態に係る液晶表示装置における液晶パネルの構成を示す模式図である。

【図15】第2の実施形態において「チェッカーバック」を表示した場合と「横ストライプバック」を表示した場合における縦シャドーの発生の有無を示す図である。

【図16】第2の実施形態における列電極駆動回路の構成を示すブロック図である。

【図17】第1の実施形態の変形例における表示制御回路の動作を示すタイミングチャートである。

【図18】上記変形例における列電極駆動回路の構成を示すブロック図である。

50

【図19】従来の千鳥構造による擬似ドット反転駆動用の液晶パネルの構成を示す模式図 (a) および等価回路図 (b) (c) である。

【図20】従来の千鳥構造に基づく擬似ドット反転駆動方式により「チェッカーバック」を表示した場合における縦シャドールの発生を説明するための液晶パネル構成図 (a) (b) および信号波形図 (c) (d) (e) である。

【図21】従来の千鳥構造に基づく擬似ドット反転駆動方式により「チェッカーバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図22】従来の真正ドット反転駆動方式により「チェッカーバック」を表示した場合における縦シャドールの発生を説明するための液晶パネル構成図 (a) (b) および信号波形図 (c) (d) (e) である。

10

【図23】従来の真正ドット反転駆動方式により「チェッカーバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図24】縦シャドールの発生する表示パターン(キラーパターン)である「チェッカーバック」および「横ストライプバック」を示す図である。

【符号の説明】

1 0 ... T F T (薄膜トランジスタ)

4 0 ... ラインメモリ(シフトレジスタ)

4 1 ... ラッチ回路(保持手段)

4 2 , 4 3 ... ラッチ回路(遅延手段)

20

4 5 ... 出力回路

2 0 0 ... 表示制御回路

3 0 0 ... 列電極駆動回路

4 0 0 ... 行電極駆動回路

5 0 0 ... 液晶パネル

5 1 ... 表示メモリ

5 4 ... メモリ制御回路

C K ... クロック信号

H S Y ... 水平同期信号

V S Y ... 垂直同期信号

30

D r , D g , D b ... デジタル画像信号

R 1 ~ R 5 ... 赤色成分のデータ信号

G 1 ~ G 5 ... 緑色成分のデータ信号

B 1 ~ B 5 ... 青色成分のデータ信号

S S 1 ~ S S 6 ... 走査信号

L s ... データ信号線(列電極)

L g ... 走査信号線(行電極)

P x ... 画素形成部(画素)

C p ... 画素容量

E p ... 画素電極

40

E c ... 対向電極

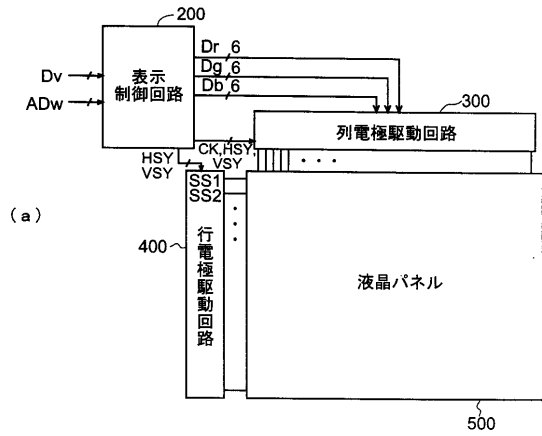
S 1 ~ S 6 ... 走査期間

F 1 , F 2 ... フレーム(垂直走査期間)

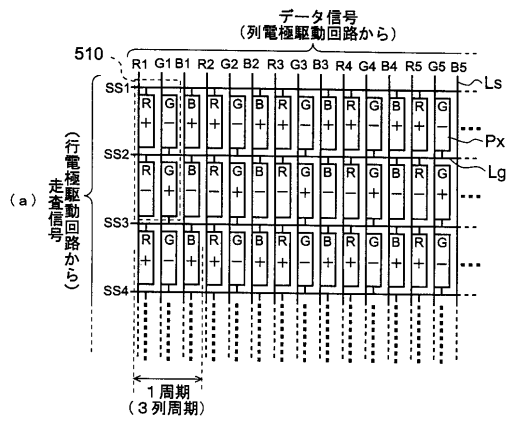
+ V 1 , - V 1 ... 「白」表示のための液晶への印加電圧

+ V 2 , - V 2 ... 「黒」表示のための液晶への印加電圧

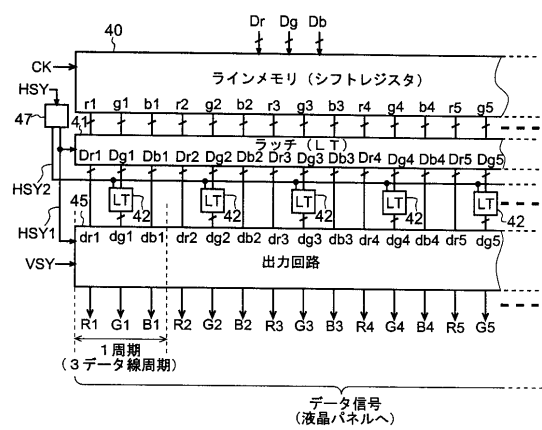
【 図 1 】



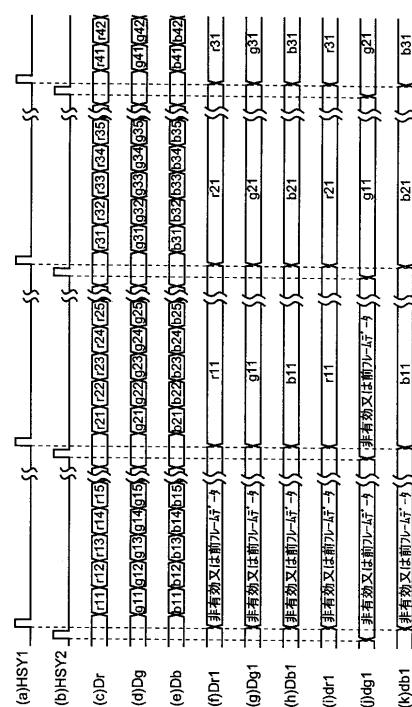
【 図 2 】



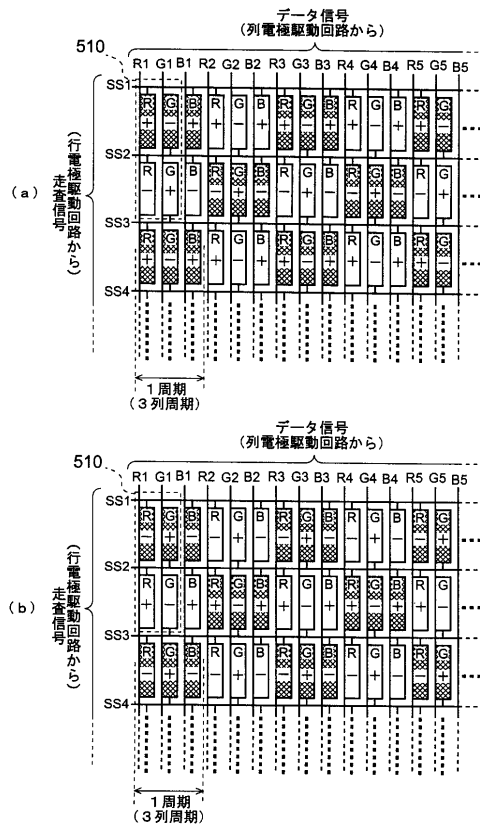
【 図 3 】



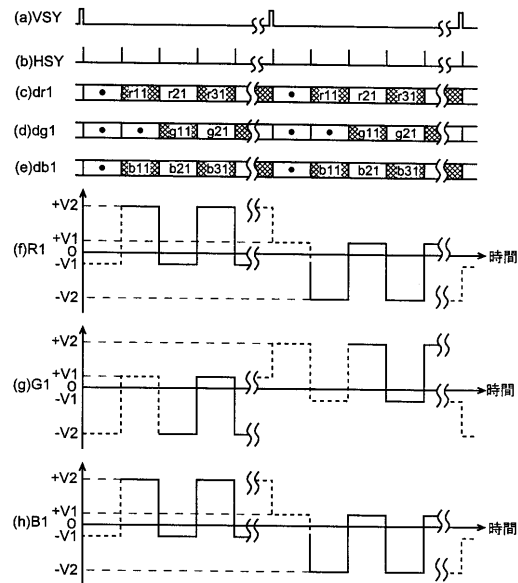
【 図 4 】



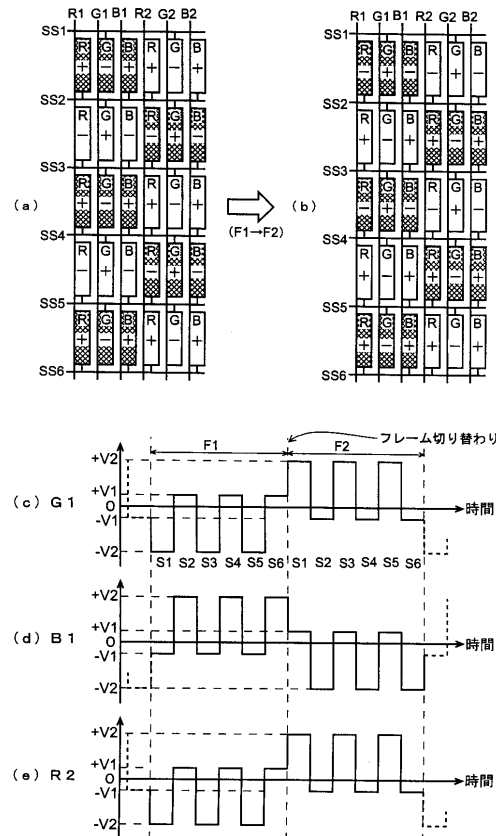
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

(a) G1列の画素に注目した場合のデータ信号変化量  
 ・子エレクトロドバンクを指示する際の該当データ線信号値が基準  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

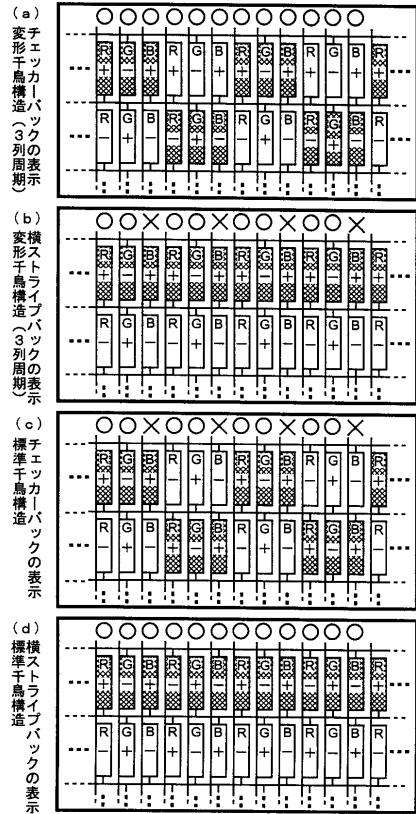
注目画素	G1列1行目 (-V2)						G1列5行目 (+V2)					
	F1			F2			F1			F2		
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4	S5	S6
対応子一タ線 (G1)	0	+V1+V2	0	+V1+V2	0	+V1+V2	+2V2	+V2+V1	+2V2	+V2+V1	+2V2	+V2+V1
隣接子一タ線 (B1)	0	+V1+V2	0	+V1+V2	0	+V1+V2	+2V1	+V2+V1	+2V1	+V2+V1	+2V1	+V2+V1

(b) B1列の画素に注目した場合のデータ信号変化量  
 ・子エレクトロドバンクを指示する際の該当データ線信号値が基準  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

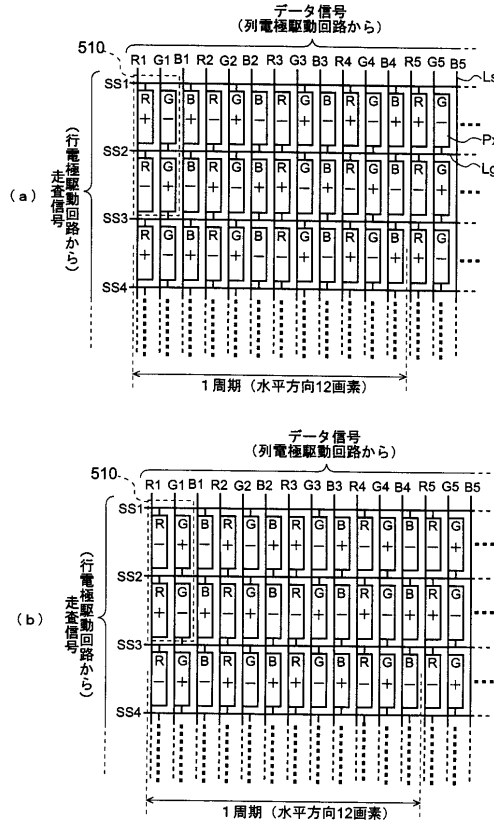
注目画素	B1列1行目 (+V2)						B1列5行目 (+V2)					
	F1			F2			F1			F2		
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4	S5	S6
対応子一タ線 (B1)	+V1+V2	0	+V1+V2	0	+V1+V2	0	-V2+V1	-2V2	-V2+V1	-2V2	-V2+V1	-2V2
隣接子一タ線 (R2)	+V1+V2	0	+V1+V2	0	+V1+V2	0	-2V1	+V2+V1	-2V1	+V2+V1	-2V1	+V2+V1



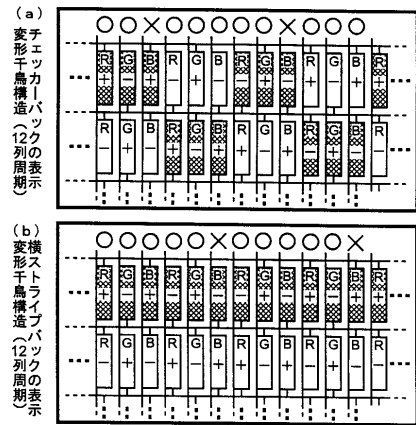
【 図 1 3 】



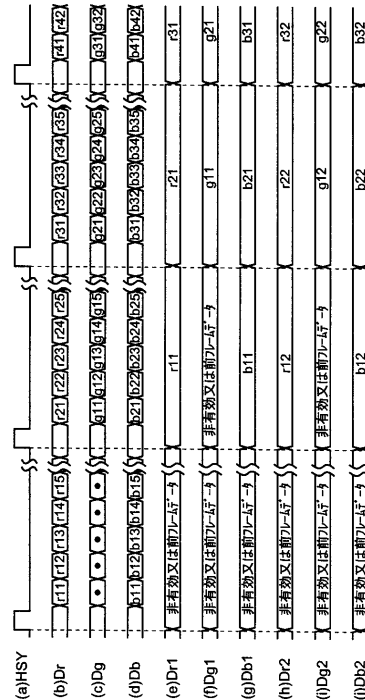
【 図 1 4 】



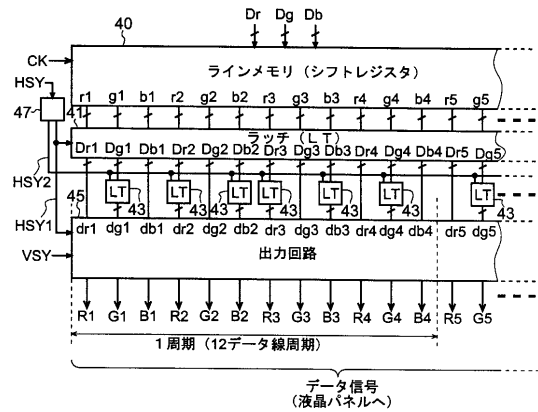
【 図 1 5 】



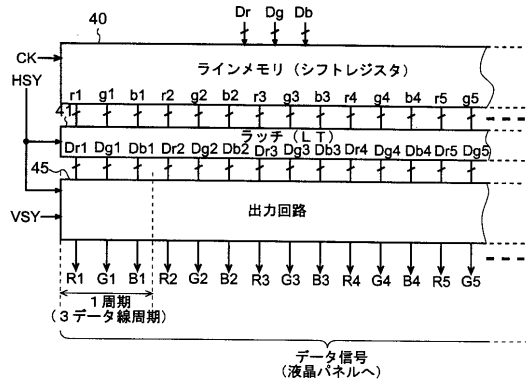
【 図 1 7 】



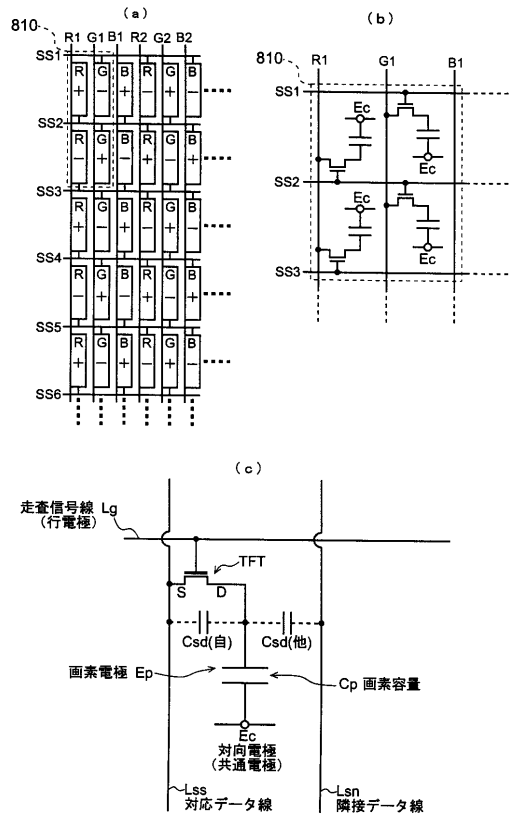
【 図 1 6 】



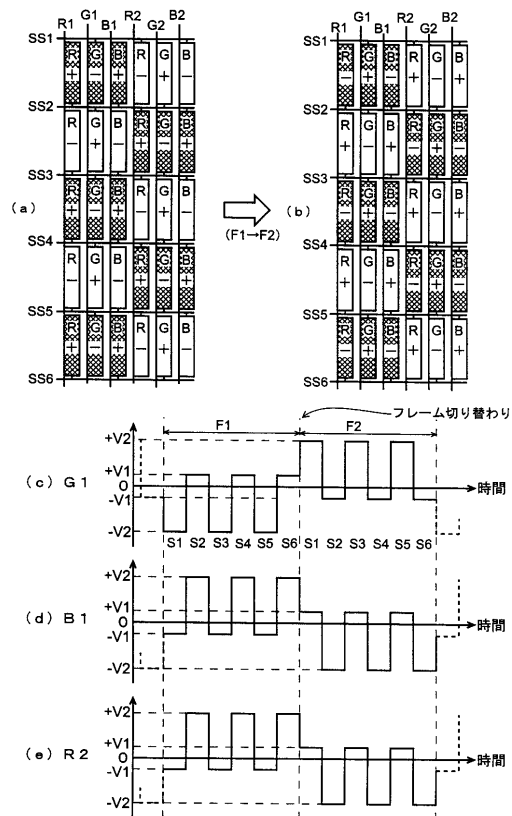
【図18】



【図19】



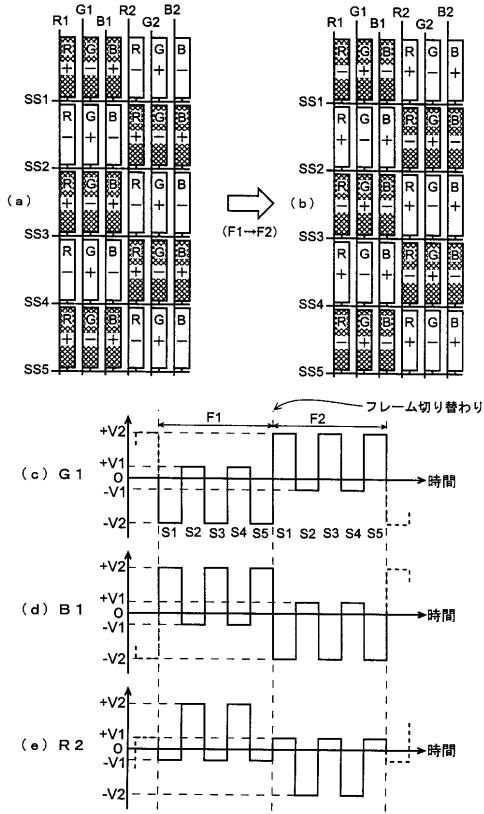
【図20】



【図21】



【 2 2 】



【 2 3 】

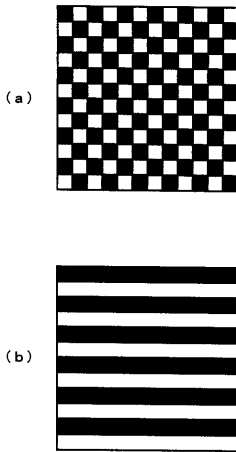
(a) G1列の画素に注目した場合のデータ信号変化量  
 ・真正トット区駆動方式によりデータ信号変化量を表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	G1列1行目 (-V2)					G1列6行目 (-V2)				
	F1					F2				
期間	S1	S2	S3	S4	S5	S1	S2	S3	S4	S5
対応データ線 (G1)	0	+(V1+V2)	0	+(V1+V2)	0	+2V2	+(V2-V1)	+2V2	+(V2-V1)	+2V2
隣接データ線 (B1)	0	-(V1+V2)	0	-(V1+V2)	0	-2V2	-(V2-V1)	-2V2	-(V2-V1)	-2V2

(b) B1列の画素に注目した場合のデータ信号変化量  
 ・真正トット区駆動方式によりデータ信号変化量を表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	B1列1行目 (+V2)					B1列6行目 (+V2)				
	F1					F2				
期間	S1	S2	S3	S4	S5	S1	S2	S3	S4	S5
対応データ線 (B1)	0	-(V1+V2)	0	-(V1+V2)	0	-2V2	-(V2-V1)	-2V2	-(V2-V1)	-2V2
隣接データ線 (R2)	0	+(V1+V2)	0	+(V1+V2)	0	+2V2	+(V2-V1)	+2V2	+(V2-V1)	+2V2

【 2 4 】



## フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/36

(72)発明者 大和 朝日

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 川口 登史

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 藤田 都志行

(56)参考文献 特開平04-309926(JP,A)

特開平04-223428(JP,A)

特開平11-337911(JP,A)

特開平08-320496(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133 550

G02F 1/133 525

G09G 3/20 611E

G09G 3/20 621B

G09G 3/20 621M

G09G 3/20 624B

G09G 3/20 642A

G09G 3/20 680G

G09G 3/36

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP3821701B2</a>	公开(公告)日	2006-09-13
申请号	JP2001378031	申请日	2001-12-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	中野武俊 大和朝日 川口登史		
发明人	中野 武俊 大和 朝日 川口 登史		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3614 G09G3/3607 G09G3/3648		
FI分类号	G02F1/133.550 G02F1/133.525 G09G3/20.611.E G09G3/20.621.B G09G3/20.621.M G09G3/20.624.B G09G3/20.642.A G09G3/20.680.G G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NA21 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NA53 2H093/NA62 2H093/NC13 2H093/NC22 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC41 2H093/NC65 2H093/ND02 2H093/ND10 2H093/ND15 2H093/ND38 2H093/ND58 2H093/NE03 2H193/ZA04 2H193/ZA08 2H193/ZC02 2H193/ZC13 2H193/ZC14 2H193/ZC15 2H193/ZC20 2H193/ZD23 2H193/ZH40 2H193/ZP03 5C006/AA22 5C006/AC27 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/FA22 5C006/FA23 5C006/FA25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	岛田彰		
其他公开文献	JP2003177375A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：在“检查后”显示器等中抑制纵向阴影的产生，同时通过锯齿形结构人工实现点反转驱动。解决方案：由相同扫描信号线Lg驱动的液晶面板的相应像素形成部分分散地布置在扫描信号线Lg上彼此垂直相邻的两个像素行中，同时具有上下水平周期性以一系列三个“下”，“上”和“下”像素为单位的位置。通过用于1H反转驱动的列电极驱动电路以这样的三列循环的改进的Z字形结构驱动液晶面板来人工实现点反转驱动。代替三个列循环的改进的锯齿形结构，液晶面板可以构造成使得12个像素被布置成具有以下部，上部，下部，上部为单位的单元的上部和下部位置的周期性，下部，上部，上部，下部，上部，下部，上部和下部布置位置，即，在12列循环的改进的Z字形结构中，而不是三个柱循环的修改的Z字形结构。Z

【图3】

