

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3747768号
(P3747768)

(45) 発行日 平成18年2月22日(2006.2.22)

(24) 登録日 平成17年12月9日(2005.12.9)

(51) Int.CI.

F 1

G09G	3/36	(2006.01)	G09G	3/36
G02F	1/133	(2006.01)	G02F	1/133 535
G09F	9/30	(2006.01)	G02F	1/133 550
G09G	3/20	(2006.01)	G02F	1/133 570
G02F	1/13357	(2006.01)	G09F	9/30 338

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2000-329779 (P2000-329779)
(22) 出願日	平成12年10月24日 (2000.10.24)
(65) 公開番号	特開2001-331156 (P2001-331156A)
(43) 公開日	平成13年11月30日 (2001.11.30)
審査請求日	平成15年11月25日 (2003.11.25)
(31) 優先権主張番号	特願2000-81721 (P2000-81721)
(32) 優先日	平成12年3月17日 (2000.3.17)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(74) 代理人	100075096 弁理士 作田 康夫
(72) 発明者	山本 恒典 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立 研究所内
(72) 発明者	鈴木 伸之 千葉県茂原市早野3300番地 株式会社 日立製作所 ディ スプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

少なくとも一方が透明な一対の基板と、前記一対の基板間に挟持された液晶層とを有し、前記一対の基板の一方の基板上には、複数の走査配線と、これらの走査配線と交差するように配置した複数の信号配線と、前記複数の信号配線と前記複数の走査配線とのそれぞれの交点に対応して配置したアクティプ素子と、該アクティプ素子に接続された画素電極と、前記走査配線のそれぞれの間に形成された共通配線と、前記画素電極と画素電極との間に配置されそれが前記共通配線に接続した対向電極を配置し、前記画素電極及び前記対向電極に印加した電圧により液晶層の液晶分子を動かして表示を行い、

前記液晶層に前記画素電極と前記対向電極に電圧を印加していない場合に黒表示をするノーマリーブラック特性の液晶表示装置において、

前記複数の対向電極と、それらに対応する画素電極と、これらの画素電極と前記アクティプ素子を介して接続されている前記走査配線とは異なる走査配線に接続されている複数の第2のアクティプ素子を有し、

前記第2のアクティプ素子が接続されている走査配線は、前記画素電極を挟む2本の走査配線のうち、前記アクティプ素子が接続されている走査配線とは別の走査配線であり、前記第2のアクティプ素子は前記別の走査配線上に画素電極と対向電極を延長して構成され、

前記画素電極に画像信号を書き込むための走査配線の選択パルスと、次の画像を表示するための前記走査配線の選択パルスとの間に、前記画素電極に対応する共通配線を選択し

10

20

、前記画素電極に印加されている画像信号をクリアするパルスを印加する液晶表示装置。

【請求項 2】

前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が、前記画像信号を書き込むための走査配線選択パルス間隔の 50 % 以下である 請求項 1 記載の液晶表示装置。

【請求項 3】

前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が、前記画像信号を書き込むための走査配線選択パルス間隔の 25 % 以下である 請求項 1 記載の液晶表示装置。 10

【請求項 4】

前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が、前記画像信号を書き込むための走査配線選択パルス間隔の 12.5 % 以下である 請求項 1 の液晶表示装置。

【請求項 5】

前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が可変である 請求項 1 記載の液晶表示装置。 20

【請求項 6】

前記液晶層の応答時間が 10 m 秒以下である 請求項 5 の液晶表示装置。

【請求項 7】

前記液晶層の応答時間が 5 m 秒以下である 請求項 5 の液晶表示装置。

【請求項 8】

前記液晶層の応答時間が 3 m 秒以下である 請求項 5 の液晶表示装置。

【請求項 9】

前記複数の走査配線に選択パルスを供給する走査配線駆動回路と、前記複数の信号配線に画像信号を供給する信号配線駆動回路と、前記複数の共通配線に選択パルスを供給する共通配線駆動回路と、それらの駆動回路に制御信号や画像信号を供給すると共に動画判定回路を内蔵する液晶表示コントローラを有し。 30

前記液晶表示コントローラは内蔵する動画判定回路により、動画が動くスピードを判定し、そのスピードに従って前記走査配線の選択パルスから前記共通配線の選択パルスまでの期間を調整して、各駆動回路をタイミング制御する 請求項 5 から 請求項 8 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】

近年、液晶表示装置が液晶 TV など動画を主体とする表示装置として適用されつつある。しかし、液晶表示装置における動画の画質(以下、動画質)の劣化についての報告が電気通信学会技術報告 E I D 96 - 4 , p p . 19 - 26 (1996 - 06) 等でなされている。これによると、液晶表示装置はホールド発光型表示装置であり、ホールド発光している動画像と人間の動画追従視による視線移動の不一致により動画像にぼやけが発生するため、動画質が低下してしまうという事である。この動画質の劣化を改善するには、フレーム周波数を n 倍速化する、もしくは画像表示を 1 / n フレーム期間とし、残りの期間をブランкиング表示とする方法がある事も記載されている。なお、ここで n の数値は大きいほど、高速移動する動画に対しても有効である。 40

【0003】

この動画質改善方法を実現する方法としては、例えば特開平11-109921号公報に記載のように液晶パネルの上部と下部に信号配線駆動回路を設けて、1画面を表示する間に2度走査配線を選択し、上下の信号配線駆動回路からそれぞれ表示画像書込みとプランキング画像書込み、1画面周期の約半分を画像表示、残りの半分をプランキング表示とする方法がある。

【0004】**【発明が解決しようとする課題】**

しかしながら、特開平11-109921号公報における方法では液晶パネルの上部と下部に高価な信号配線駆動回路を使用するため、部品コストが高く、液晶表示装置もまた高価になってしまう。

10

【0005】

また、この公知技術のような1画面周期の半分をプランキング表示とする方法では、動画の表示スピード（画面上の移動スピード）が速い場合には表示特性の改善効果が不十分である。

【0006】

本発明の目的は、動画を表示した場合でも良好な表示特性が得られる液晶表示装置を提供することである。

【0007】**【課題を解決するための手段】**

20

本発明の液晶表示装置の一つの実施形態によれば、少なくとも一方が透明な一対の基板の一方の基板上に、複数の走査配線と、これらの複数の走査配線にマトリクス状に形成された複数の信号配線と、これらの交点付近に形成した複数のアクティブ素子と、このアクティブ素子に接続された複数の画素電極と、走査配線のそれぞれの間に形成した複数の共通配線と、共通配線に接続され、画素電極との間の液晶層に電界を生じるように形成した複数の対向電極とを有し、対向電極と、それらに対応する画素電極と、それらの画素電極とアクティブ素子を介して接続されている走査配線とは異なる走査配線に接続されている複数の第2のアクティブ素子が有り、画素電極に画像信号を書き込むための走査配線の選択パルスと、次の画像を表示するための走査配線の選択パルスとの間に、画素電極に対応する共通配線を選択し、画素電極に印加されている画像信号をクリアするパルスを印加しているというものである。尚、このような液晶表示装置においては、液晶が電圧無印加の場合に黒表示をするノーマリーブラック特性の表示モードとすることも特徴である。

30

【0008】**【発明の実施の形態】**

以下、本発明を実施例により具体的に説明する。

(実施例1)

本実施例のアクティブマトリクス型液晶表示装置における画素の回路図を図2に示す。

【0009】

図2では、走査配線101と信号配線102がマトリクス状に形成され、その交点に走査配線101がゲート端子となるように、アクティブ素子105が配置されている。アクティブ素子105は走査配線101に制御信号である選択パルス（ある電圧値）が与えられると信号配線102の制御信号である電位を液晶104や保持容量106に書き込む。また、アクティブ素子105は走査配線101に制御信号となる非選択電圧が与えられると、液晶104や保持容量106の電位を保持させるように動作する。尚、液晶104はアクティブ素子105によって書き込まれた電位と共通配線103の電位との電位差により配向方向が変化し、これによって画素の透過率が変化するものである。

40

【0010】

以上が通常のアクティブマトリクス型液晶表示装置の画素回路である。

【0011】

本実施例ではさらに、前段の走査配線1011をゲート端子とし、共通配線103とアク

50

ティプ素子 105 の液晶 104 側の端子をソース・ドレイン端子とした第 2 のアクティブ素子 107 が配置されているのが特徴の一つである。本実施例における画素構造の例を図 16 に示す。

【 0012 】

この第 2 のアクティブ素子 107 は前段の走査配線 101 が選択された場合だけでなく、共通配線 103 が選択された場合においても、容量結合により相対的に前段の走査配線 101 が選択された場合と同等となることから、液晶 104 に印加されている電位差を解消するように動作する。

【 0013 】

本実施例においては、液晶 104 は電圧無印加状態で黒表示をするノーマリーブラック特性の液晶を用いているために、この第 2 のアクティブ素子 107 が動作して、液晶 104 に印加されている電圧が解消された場合には画素は黒表示状態となる。

10

【 0014 】

次に、この画素構造の各配線に印加する電圧を図 1 に示す。

【 0015 】

本実施例では動画質を向上するために、図 1 に示すように 1 垂直走査期間 220 (= 1 画像書き換え周期) 中の一部の期間だけ画像を表示し、残りを黒表示によるブランкиング表示としている。さらに詳しく説明すると、画像の表示は画像書き込みパルス 211 が走査配線電位 201 に印加され、図 2 のアクティブ素子 105 が動作して、信号配線電位 202 が液晶 104 に印加される事により開始される。そして、共通配線電位 203 に液晶印加電圧クリアパルス 212 が印加される事により、図 2 で示した第 2 のアクティブ素子 107 が動作し、液晶 104 に印加されている電圧が解消されるため、画像は黒表示のブランкиング表示となる。

20

【 0016 】

つまり、画像が表示されている期間 221 は画像書き込みパルス 211 が印加されてから、液晶印加電圧クリアパルス 212 が印加されるまでの期間である。なお、液晶印加電圧クリアパルス 212 は図 2 で実線で書かれているように 1H 期間程度でもよいし、十分に液晶印加電圧を解消するために点線のように次の画像書き込みパルス 211 の直前までの期間としても良い。さらに、この液晶印加電圧クリアパルス 211 の電圧は一定である必要が無く、第 2 のアクティブ素子 107 の動作による電圧変動を抑えるように液晶印加電圧クリアパルス 211 の電圧値をパルス期間中に変動させても良い。

30

【 0017 】

ここで、動画表示性能を向上するためには、前にも説明したように垂直走査期間 220 内の画像表示期間 221 の比率を小さくする事と、液晶の応答特性を早くする事が必要である。我々が開発した時系列画像積分法による液晶ディスプレイの動画質測定と電気通信学会技術報告 E I D 96 - 4 , pp . 19 - 26 (1996 - 06) 等から、移動速度の異なる動画を適切に表示するための画像表示期間 221 の割合と液晶の応答速度が明らかになつた。これを図 3 に示す。この図によると、TV 放映の中に頻繁に出てくるような 10 deg / 秒程度の標準動画を許容できる程度までに動画質を改善するためには、画像表示期間 221 が垂直走査期間 220 の 1 / 2 以下で、液晶の応答速度が 10 m 秒以下である事が必要である。また、10 deg / 秒程度の標準動画の動画質劣化を検知できない程度に改善するためには、画像表示期間 221 が垂直走査期間 220 の 1 / 4 以下で、液晶の応答速度が 5 m 秒以下である事が必要である。さらに、20 deg / 秒程度の高速動画の動画質劣化を検知できない程度に改善するためには、画像表示期間 221 が垂直走査期間 220 の 1 / 8 以下で、液晶の応答速度が 3 m 秒以下である事が必要である。

40

【 0018 】

本実施例においては、画像表示期間 221 が垂直走査期間 220 の 1 / 8 になるように液晶印加電圧クリアパルス 212 を調整してあり、液晶も応答速度が 3 m 秒程度の液晶材料を使用してあるために、高速移動する動画を表示した場合でも動画質劣化を検知できない程度の画質となっている。

50

【0019】

本実施例におけるアクティブマトリクス型液晶表示装置のブロック図を図4に示す。画像出力源から出力された画像データは液晶表示コントローラ170に入力され、ここから、走査配線駆動回路111や信号配線駆動回路120、共通配線駆動回路130にタイミング制御信号や画像データ信号等の制御信号が出力される。なお、画像表示期間221を垂直走査期間220の1/8とするために、液晶コントローラ170は共通配線駆動回路130に出力する黒表示書き込みパルス制御信号を走査配線駆動回路110に出力する画像書き込みパルス制御信号より1/8垂直走査周期だけ遅れて出力している。ここで、共通配線駆動回路130は図5に示すように、主にシフトレジスタ131とアンプ回路132から構成されており、走査配線駆動回路110に使用している回路と全く同じICを使用できる。この走査配線駆動回路110用のICは信号配線駆動回路120用のICと比べて低コストである。また、信号配線駆動回路用ICを液晶表示部150の上下に2セット配置する場合と比較して、走査配線駆動回路用ICを液晶表示部150の左右に2セット配置する場合は、使用するICの個数も少なくなるため、さらに低コストとなる。

【0020】

以上のことから、本実施例では液晶として応答速度が3m秒程度のものを用い、画像表示期間を1フレーム(垂直走査期間)の1/8としているために、移動速度が速い動画を表示しても良好な表示性能が得られる。また、これを実現するための回路構成は信号配線駆動回路用ICを2セット使用するのではなく、走査配線駆動回路用ICを2セット使用するので、より低コストで構成可能である。

(実施例2)

本実施例は以下の要件を除けば実施例1と同様の構成である。

【0021】

本実施例における液晶印加電圧クリアパルス212のタイミングは画像表示期間221が1/8垂直走査期間となるように固定されておらず、液晶表示コントローラ170からの制御信号により可変となっており、画像表示期間221の垂直走査期間220に対する比率がリアルタイムに変更可能となっている。

【0022】

前述したように、高速移動する動画の画質を向上するためには画像表示期間221の比率を小さくすればよい。しかし一方で、静止画の表示については、画像表示期間221の比率が大きいほうが、ちらつきが少ないため高画質となる。また、画像表示期間221の比率が大きいと、同じ輝度で表示するために必要な照明装置の発光量を減らし、消費電力を少なくする事ができる。

【0023】

このため本実施例では、表示する画面内の物体の移動速度を液晶表示コントローラ170内で判定し、1画面書き換え毎に、1垂直走査期間内での液晶印加電圧クリアパルス212を印加するタイミングを変化させて、1垂直走査期間220における画像表示期間221の割合を調整し、表示する動画もしくは静止画の画質が最適な表示となるように共通配線駆動回路130を制御している。また同時に、画像表示期間221が変化しても、表示輝度が変化しないように、液晶表示コントローラ170はバックライト制御回路161を制御してバックライトの明るさを調整している。

【0024】

本実施例のアクティブマトリクス型液晶表示装置のブロック図は実施例1と同じであるが、液晶表示コントローラ170は実施例1と異なっている。この液晶表示コントローラ170の構成図を図6に示す。まず、画像出力源からの画像データを元にして、信号配線駆動回路制御用回路173と走査配線駆動回路制御用回路174は、それぞれ信号配線駆動回路と走査配線駆動回路に画像データ信号やタイミング制御信号を出力している。ここまでは通常の液晶表示コントローラと同じであるが、本実施例の液晶表示コントローラ170では、画像出力源からの画像データとメモリ172に保存されていた1画面前の画像データを動画判定回路171で比較して、画像内の物体の移動速度を検出している。この検

出結果により画像表示期間制御回路 175 は共通配線駆動回路 130 への出力タイミングを制御して、画像表示期間を垂直同期期間の 1/8 から 1/1 まで変化させる。また同時に、明るさ制御回路 176 はバックライトの明るさを 1 倍から 1/8 倍まで変化させている。これにより、移動速度の速い動画を表示する場合には画像表示期間を 1/8 として、動画質劣化の無い動画表示をし、ほとんど動きの無い静止画を表示する場合には画像表示期間を 1/1 に、バックライトの明るさを 1/8 として、低消費電力でちらつきの少ない高画質な静止画表示ができる。

【0025】

以上のことから、本実施例では移動速度が速い動画だけでなく、静止画を表示しても良好な表示性能が得られる。また、これを実現するための回路構成の増加は少ないために低コストで構成可能である。さらに、移動速度が低い画像を表示する場合には低消費電力となる。

10

【0026】

なお、本実施例においては、画像出力源からの画像データを元に動画判定回路 171 で画像内の物体の移動速度を検出して、画像表示期間やバックライトの明るさを制御しているが、画像出力源が画像出力と同時に画像内の物体の移動速度を表現するような信号を出力する場合には、その信号を使って画像表示期間やバックライトの明るさを制御しても良い。

(実施例 3)

本実施例は以下の用件を除けば実施例 2 と同様の構成である。

20

【0027】

本実施例においては、図 7 に示すように、実施例 2 において液晶表示部 150 の左右に分かれていた走査配線駆動回路 110 と共通配線駆動回路 130 を一つの回路にまとめて、走査・共通配線駆動回路 140 として、液晶表示部 150 の片側に配置してある。

【0028】

この走査・共通配線駆動回路 140 の内部構成は図 8 に示してあるように、走査配線選択用のシフトレジスタ 141 とアンプ回路 144、及び共通配線選択用のシフトレジスタ 142 とアンプ回路 143 から構成されており、走査配線駆動用出力端子と共に共通配線駆動用出力端子が 1 本おきに配置されている。1 つの I C チップとしての出力端子数は、実施例 2 で使用した走査配線駆動用 I C と同じであるため、使用する I C の数は実施例 2 と同等であるが、液晶表示部の片側のみに I C を実装するために、I C を接続するための P C B 基板のコストや実装コストなどが低減できる。

30

【0029】

次に、本実施例の液晶表示コントローラ 170 のブロック図を図 9 に示す。本実施例の液晶表示コントローラ 170 では走査配線駆動回路制御用回路 174 がなくなり、画像表示期間制御回路 175 が走査・共通配線駆動回路 140 を直接制御している。

【0030】

以上のことから、本実施例では移動速度が速い動画だけでなく、静止画を表示しても良好な表示性能が得られ、移動速度が低い画像を表示する場合には低消費電力となるだけでなく、部品コストや製作コストを更に低減する事が可能である。

40

(実施例 4)

本実施例は以下の要件を除けば実施例 2 と同様の構成である。

【0031】

本実施例においては、図 10 に示すように、光源として例えばバックライト 160 として発光領域分離型バックライトを使用している。このような発光する領域を分割して別々に明るさを制御できるバックライトを使用した場合、移動速度が速い動画を表示するために画像表示期間を短くした時に、画像表示に必要な領域のみを発光させて、他の領域を消灯させる事で消費電力を低減する事ができる。このためには画像表示期間と同調させてバックライト 160 の発光部位と明るさを調節する必要がある。図 11 に示した本実施例における液晶表示コントローラ 170 では、動画判定回路 171 による動画移動

50

速度検出結果を元に、画像表示期間制御回路 175 による画像表示期間の制御と同調して、発光部位・明るさ制御回路 177 によりバックライトの発光領域と明るさを制御している。

【0032】

なお、本実施例ではバックライトの発光領域は 4 つの領域に分離しているが、領域の分割数は 4 つ以外でもかまわない。また、領域分割が可能であるならば、バックライトに限らず、フロントライト、サイドライトであってもよい。

【0033】

以上のことから、本実施例では移動速度が速い動画だけでなく、静止画を表示しても良好な表示性能が得られ、部品コストや製作コストを更に低減する事が可能であるだけでなく、移動速度が速い画像を表示する場合でも低消費電力となる。

10

【0034】

なお、本実施例においては、画像出力源からの画像データを元に動画判定回路 171 で画像内の物体の移動速度を検出して、画像表示期間やバックライトの発光領域と明るさを制御しているが、画像出力源が画像出力と同時に画像内の物体の移動速度を表現するような信号を出力する場合には、その信号を使って画像表示期間やバックライトの発光領域と明るさを制御しても良い。

(実施例 5)

本発明の実施例 1 との相違点は以下の通りである。

【0035】

20

図 12 に本発明の第一の実施例の液晶表示装置の電気的な模式図を示す。アクティブマトリクス基板上には映像信号用の m 本の走査線 G L_S1 ~ G L_S (m)、初期化用の m 本の走査線 G L_C1 ~ G L_C (m)、n 本の映像信号線 S_L_1 ~ S_L (n) と m 本の共通線 C_L_1 ~ C_L (m) が形成されている。このうち映像信号用走査線、初期化用走査線、映像信号線は各々アクティブマトリクス基板の周囲まで引き出され、映像信号用走査線駆動回路、初期化用走査線駆動回路、映像信号線駆動回路と電気的に接続される。共通線はアクティブマトリクス基板上の表示領域外の部分で電気的に接続され、アクティブマトリクス基板の周囲まで引出された後に共通駆動回路と接続される。各々の駆動回路は映像信号変換・走査信号変換・電源生成を担う回路と接続される。

【0036】

30

図 13 に、アクティブマトリクス基板上に形成される i 行 j 列目の画素の電気的等価回路を示す。映像信号用薄膜トランジスタ TFT_S (i, j) はそのソース電極が映像信号線 S_L (j) に、ゲート電極が映像信号線用走査線 G_L_S (i) に接続され、ドレイン電極は画素電極 P_E (i, j) に接続される。初期化用薄膜トランジスタ TFT_C (i, j) は、そのソース電極が共通線 C_L (i) に、ゲート電極が初期化用走査線 G_L_C (i) に接続され、ドレイン電極は画素電極 P_E (i, j) に接続される。画素電極 P_E (i, j) は共通線 C_L (i) と電気的に接続された共通電極 C_E (i, j) との間に挟持される液晶を介して液晶容量 C_LC (i, j) を形成する。

【0037】

40

この時前記 2 つの基板の互いと対向する面に液晶が一定の方向に配向するように処理を施す。また前記 2 つの基板のうち一方の基板の互いと対向しない面には液晶の配向方向に平行な透過軸を持つ偏光板を、もう一方の基板の互いと対向しない面には液晶の配向方向に直交する透過軸を持つ偏光板を設けることで、液晶表示装置を貫通する光を変調する効果を持たせることができる。具体的には液晶に電圧を印加していない際には光が透過せず、画素電極と共通電極の間に電位差を与えると液晶に電界を印加すると光が透過するいわゆるノーマリーブラック型の液晶表示装置となる。

【0038】

図 14 に図 13 の回路に印加される電圧波形とそれによる液晶表示装置の透過率の時間変化を示す。この際の印加電圧波形と液晶表示装置の透過率の関係は以下のようになる。

(状態 A) 通常初期化用薄膜トランジスタ TFT_C (i, j) は選択状態にあり、画素

50

電極と共に電極は同電位となっている。この状態では液晶の偏光変換効果がないため、液晶表示装置に入射する光は互いに透過軸が直交する偏光板に阻まれることで液晶表示装置を透過することができない(黒状態)。画素電極 P E (i , j)に画素信号を書き込む直前に初期化用薄膜トランジスタ T F T _ C (i , j)を非選択とし、画素電極 P E (i , j)と共に電極 C E (i , j)を電気的に絶縁する。

(状態 B) 映像信号線用走査線 G L _ S (i)を選択し、映像信号線 S L (i)に印加されている画像信号を画素電極 P E (i , j)に書き込む。

(状態 C) 映像信号線用走査線 G L _ S (i)を非選択とし、画素電極 P E (i , j)と映像信号線 S L (i)とを電気的に絶縁する。これにより画像信号が画素電極 P E (i , j)に保持され、画素電極 P E (i , j)と共に電極との間の電位差によって発生する電界により液晶がアクティブマトリクス基板に平行な平面上で回転する。これにより液晶の偏光変換効果が生じ、液晶表示装置に入射した光はそれを透過することができる(白状態)。

(状態 D = 状態 A) 初期化走査線 G L _ C (i)を選択し、画素電極 P E (i , j)と共に電極 C E (i , j)を同電位にすることで画像信号を消去し、液晶表示装置に入射した光がそれを透過出来ない状態に戻す(黒状態)。

【0039】

一連の駆動波形により液晶の透過率の透過率の時間変化は図 14 に示すような 1 垂直走査期間中に非透過期間を含む間欠型になる。この 1 垂直走査期間中における透過期間、非透過期間の割合と液晶の応答速度、動画質劣化の関係は実施例 1 と同様である。

(実施例 6)

実施例 5 との相違点は以下の通りである。

【0040】

図 15 に本実施例のアクティブマトリクス基板上に形成される i 行 j 列目の画素の電気的等価回路を示す。

【0041】

映像信号用薄膜トランジスタ T F T _ S (i , j)はそのソース電極が映像信号線 S L (j)に、ゲート電極が映像信号線用走査線 G L _ S (i)に接続されドレイン電極は I T O 等の透明な導電体で形成された画素電極 P E (i , j)に接続される。初期化用薄膜トランジスタ T F T _ C (i , j)は、そのソース電極が共通線 C L (i)に、ゲート電極初期化用走査線 G L _ C (i)に接続され、ドレイン電極は画素電極 P E (i , j)に接続される。画素電極 P E (i , j)は共通線 C L (i)との間に蓄積容量 C _ S T G (i , j)を形成する。一方アクティブマトリクス基板と対向するブラックマトリクス基板のアクティブマトリクス基板と対向する面の表示領域には I T O 等の透明な導電体で形成された対向電極 C E が形成され、表示領域外において共通線 C L (i)と電気的に接続される。前記 2 つの基板のうち一方の基板の互いと対向しない面には液晶の配向方向に平行な透過軸を持つ偏光板を、もう一方の基板の互いと対向しない液晶の配向方向と直交する透過軸を持つ偏光板を設けることで、液晶表示装置を貫通する光を変調する効果を持たせることができる。具体的には液晶に電界を印加していない際には光が透過せず、画素電極と共に電極との間に電位差を与え液晶に電界を印加すると光が透過するいわゆるノーマリーブラック型の液晶表示装置となる。以下、駆動方法、及び 1 垂直走査期間中における透過期間、非透過期間の割合と液晶の応答速度、動画質劣化の関係は実施例 5 と同様である。

(実施例 7)

本実施例では、画素回路や画素構造またノーマリーブラック特性の液晶を用いている点では実施例 1 と同様の構成であるが、液晶 104 に印加されている電位差を解消するための各配線の駆動方法が異なっている。

【0042】

図 2 の画素回路図や図 16 の画素構造における走査配線の選択順序としては、走査配線 101 を選択した後に前段の走査配線 1011 を選択する順序と、前段の走査配線 1011 を選択した後に走査配線 101 を選択する順序がある。ここで、前者を上方スキャン、後

10

20

30

40

50

者を下方スキャンとする。下方スキャンでは、まず第2のアクティブ素子107が導通状態になり、液晶104に印加されている電位差を0とした後に、アクティブ素子105が導通状態となり信号配線102の制御信号電位を液晶104や保持容量106に書き込むため、画素は信号表示状態となり、画像を表示する状態となる。

【0043】

一方、上方スキャンでは、先にアクティブ素子105が導通状態となり信号配線102の制御信号電位を液晶104に書き込むが、その直後に第2のアクティブ素子107が導通状態になり、液晶104に印加されている電位差を0とするために、黒表示状態となる。

【0044】

実施例1では共通配線に選択パルスを印加することで黒表示としていたが、本実施例ではこのように走査方向の異なる2つの走査選択順序を制御することで画像表示から黒表示までの期間を制御する。

【0045】

図17に本実施例の液晶表示装置のブロック図を示す。実施例1のブロック図(図4)と比較すると共通配線駆動回路がなくなっている。これにより共通配線駆動回路に使用するIC、及びICを接続する為のPCB基板などが不要となる為、これらのコストや実装コストなどが低減できる。

【0046】

ここで、本実施例における走査配線の駆動方法を説明する為に、液晶表示部150を例として上下8つの領域(領域a～g)に分割し、この時の走査配線駆動方式を図18に示す。各領域がそれぞれ9本の走査配線を持つとして、横軸が時間、縦軸はある場所(領域)における走査配線の選択状況を示す。

【0047】

まず、表示を開始する時は最上部の領域aの最上部の走査配線より下方スキャンを開始する。下方スキャンされた走査配線に接続されている画素は画像を表示する。こうして、領域aに画像が表示された後に、続けて領域bの走査配線も下方スキャンし画像を表示する。この下方スキャンが領域cの最上部の走査配線に到達した時、領域aの最下部の走査配線より上方スキャンが開始される。この上方スキャンにより領域aの画像は下側から上側に向かって消去される(黒表示による消去)ことになる。このようにして下方スキャンが領域dに到達した時には、上方スキャンは領域aの最上部に到達し、領域b, cは画像表示であるが領域aは黒表示状態となる。下方スキャンはこのまま領域dを進み領域dに画像を表示させるが、同時に領域bの最下部から上方スキャンが開始され、領域bの画像を消去し始める。このようにして、各領域毎に画像の表示、消去を制御できる。ここで、領域bの下部から始った上方スキャンは途中で止めると、その走査配線に接続された画素の表示がおかしくなる為、パネル上部である領域aの上まで続けられる。なお、領域dより下の領域から始った上方スキャンは途中で下方スキャンに合流するため領域aまで到達しない。

【0048】

本実施例では領域を8つに分割し、1つの領域内の走査配線が下方スキャンされた後に上方スキャンされるまでの平均時間を2/8垂直期間としてある為、画像表示期間は1/4垂直期間となる。ここで、この領域分割数や上方スキャン発生タイミングを変化させることにより、実施例2のように画像表示期間の垂直走査期間220に対する比率をリアルタイムに変更可能となっている。また、そのため、図19に示してある本実施例における液晶コントローラ170は実施例3と同様に、表示する画像の移動速度を判定して走査配線駆動回路110を制御できるようになっている。さらに、実施例4と同様に発光領域分離型バックライトを使用することも可能である。

【0049】

以上のように本実施例では、各画素における画像表示及び消去(黒表示)を実現する駆動方式として走査配線の選択順序を制御する方式とした為に、部品コストや製作コストを更に低減することが可能である。

10

20

30

40

50

【0050】

【発明の効果】

本発明は、動画を表示する場合にも良好な表示性能が得られる液晶表示装置を提供できる。

【図面の簡単な説明】

【図1】実施例1のアクティブマトリクス型液晶表示装置の各配線への電圧印加方法。

【図2】実施例1のアクティブマトリクス型液晶表示装置の画素部の等価回路図。

【図3】動画を適切に表示するために必要な画像表示期間と液晶応答速度を示す図。

【図4】実施例1のアクティブマトリクス型液晶表示装置のブロック図。

【図5】実施例1のアクティブマトリクス型液晶表示装置の共通配線駆動回路の内部構成 10 図。

【図6】実施例2のアクティブマトリクス型液晶表示装置の液晶表示コントローラのブロック図。

【図7】実施例3のアクティブマトリクス型液晶表示装置のブロック図。

【図8】実施例3のアクティブマトリクス型液晶表示装置の走査・共通配線駆動回路の内部構成図。

【図9】実施例3のアクティブマトリクス型液晶表示装置の液晶表示コントローラのブロック図。

【図10】実施例4のアクティブマトリクス型液晶表示装置のバックライト部。

【図11】実施例4のアクティブマトリクス型液晶表示装置の液晶表示コントローラのブロック図。 20

【図12】実施例5の液晶表示装置の電気的な模式図。

【図13】実施例5の画素の電気的等価回路図。

【図14】図13の回路に印加される電圧波形と液晶表示装置の透過率変化図。

【図15】実施例6の画素の電気的等価回路図。

【図16】実施例1の画素構造図。

【図17】実施例7の液晶表示装置のブロック図。

【図18】実施例7の液晶表示装置の走査配線駆動方式を示す模式図。

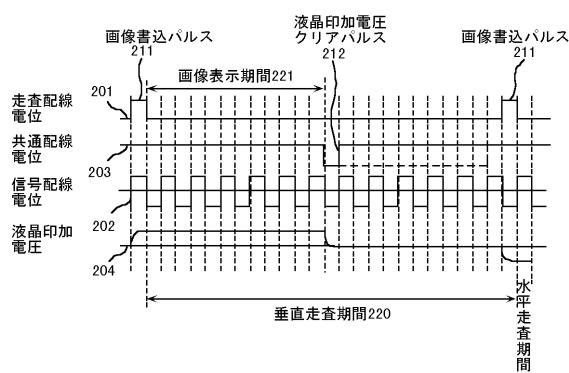
【図19】実施例7の液晶表示装置の液晶表示コントローラのブロック図。

【符号の説明】

101...走査配線、102...信号配線、103...共通配線、104...液晶、105...アクティブ素子、106...保持容量、107...第2のアクティブ素子、110...走査配線駆動回路、120...信号配線駆動回路、130...共通配線駆動回路、131...シフトレジスタ、132...アンプ回路、140...走査・共通配線駆動回路、141...走査配線選択用シフトレジスタ、142...共通配線選択用シフトレジスタ、143...共通配線選択用アンプ回路、144...走査配線選択用アンプ回路、150...液晶表示部、160...バックライト、161...バックライト駆動回路、170...液晶表示コントローラ、171...動画判定回路、172...メモリ、173...信号配線駆動回路制御用回路、174...走査配線駆動回路制御用回路、175...画像表示期間制御回路、176...明るさ制御回路、177...発光部位・明るさ制御回路、201...走査配線電位、202...信号配線電位、203...共通配線電位、204...液晶印加電圧、211...画像書き込みパルス、212...液晶印加電圧クリアパルス、220...垂直走査期間、221...画像表示期間、204...液晶印加電圧。 30
40

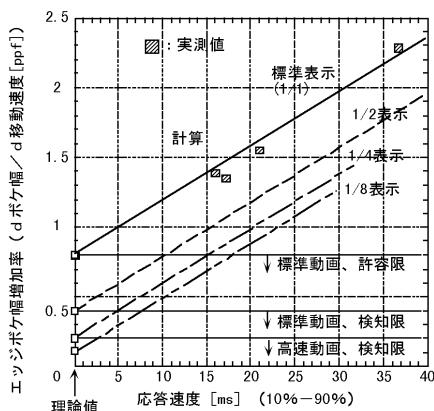
【図1】

図 1



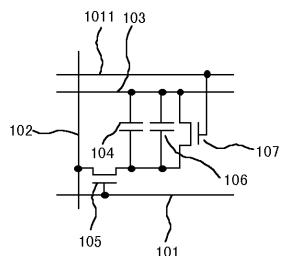
【図3】

図 3



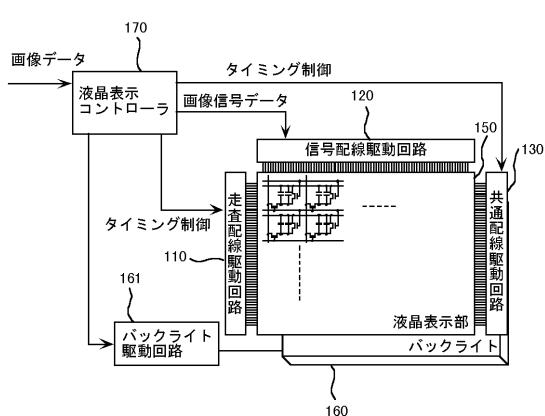
【図2】

図 2



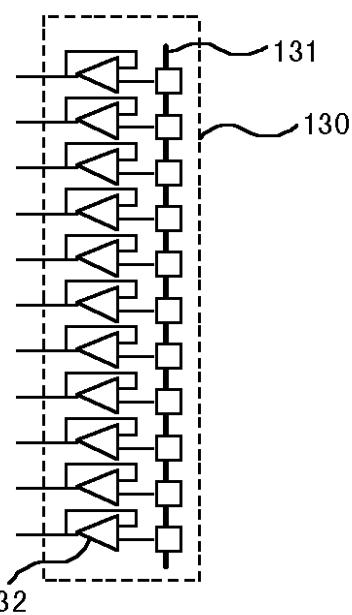
【図4】

図 4

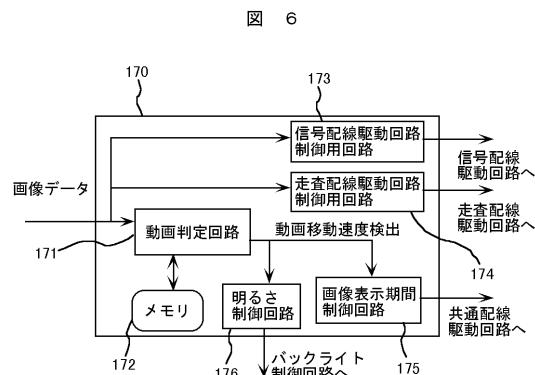


【図5】

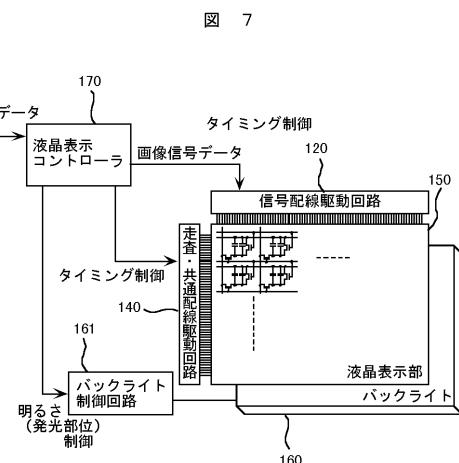
図 5



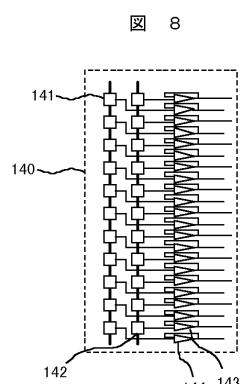
【図6】



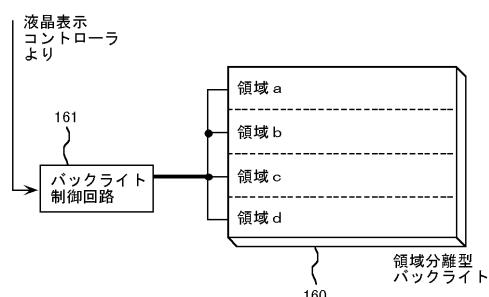
【図7】



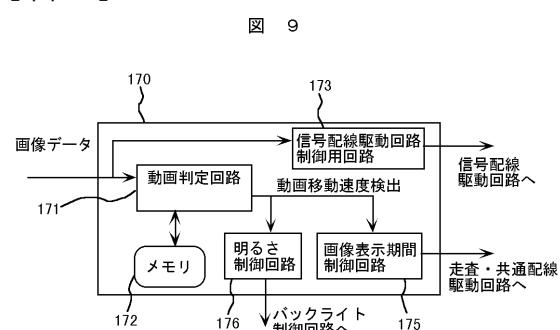
【図8】



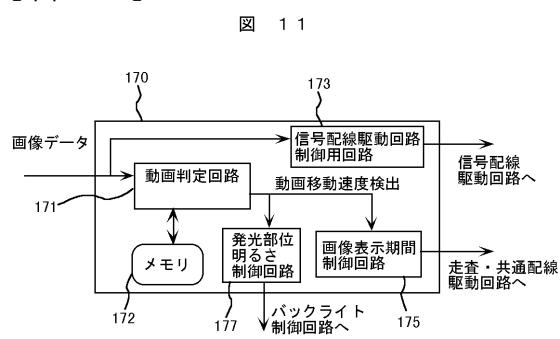
【図10】



【図9】

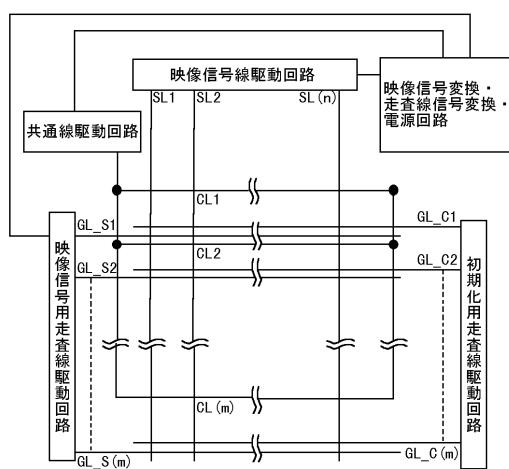


【図11】



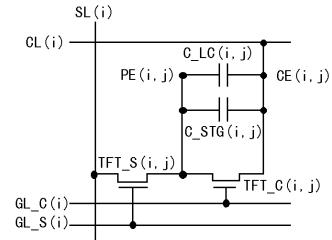
【図12】

図 12



【図13】

図 13



【図14】

【図14】

図 14

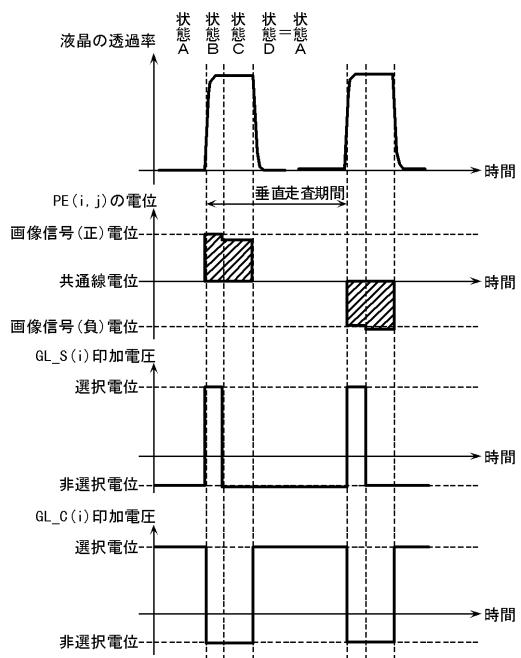
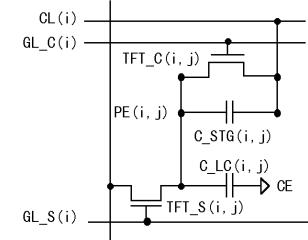


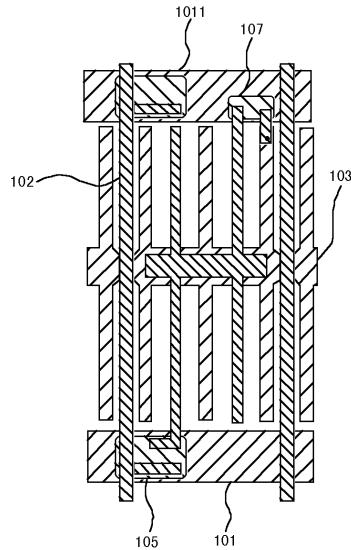
図 15

図 15



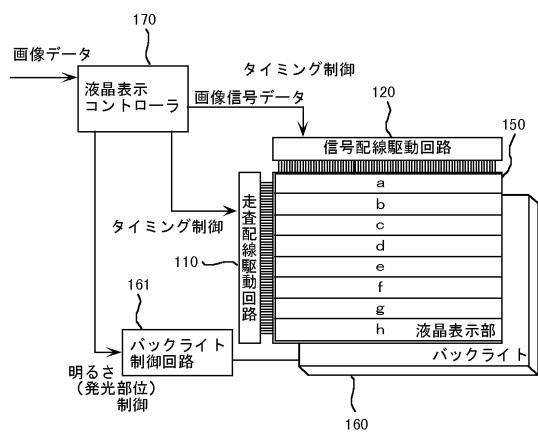
【図16】

図 16



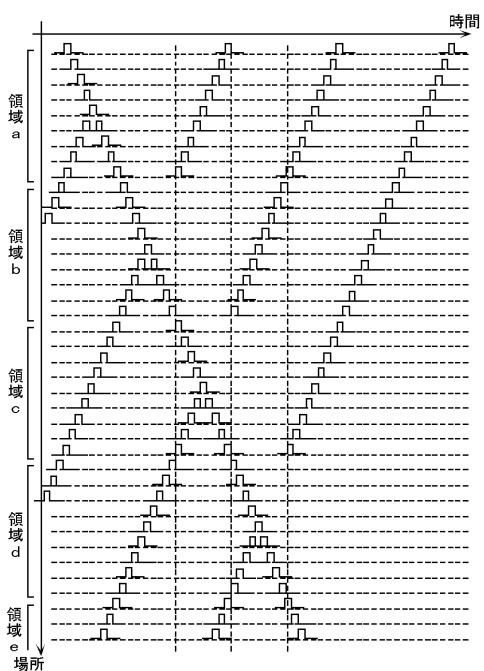
【図17】

図17



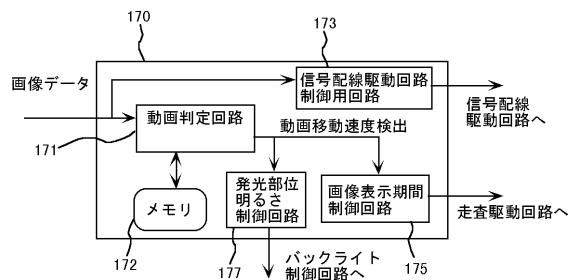
【図18】

図18



【図19】

図19



フロントページの続き

(51)Int.Cl.

G 0 2 F 1/1368 (2006.01)

F I

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 6 0 W
G 0 2 F	1/13357	
G 0 2 F	1/1368	

(72)発明者 津村 誠

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内

(72)発明者 檜山 郁夫

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内

審査官 福村 拓

(56)参考文献 特開2001-42282 (JP, A)

特開2001-265287 (JP, A)

特開2000-347621 (JP, A)

特開2000-039864 (JP, A)

特開2000-019486 (JP, A)

特開平11-326957 (JP, A)

特開平11-109921 (JP, A)

特開平10-333641 (JP, A)

特開平10-239662 (JP, A)

特開平10-161080 (JP, A)

特開平10-097227 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133 505-580

专利名称(译)	液晶表示装置		
公开(公告)号	JP3747768B2	公开(公告)日	2006-02-22
申请号	JP2000329779	申请日	2000-10-24
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	山本恒典 鈴木伸之 津村誠 檜山郁夫		
发明人	山本 恒典 鈴木 伸之 津村 誠 檜山 郁夫		
IPC分类号	G09G3/36 G02F1/133 G09F9/30 G09G3/20 G02F1/13357 G02F1/1368 G02F1/1335 G02F1/136 G09G3/34		
CPC分类号	G09G3/342 G09G3/3648 G09G2300/0809 G09G2310/024 G09G2310/0251 G09G2310/061 G09G2320 /0261 G09G2320/0633 G09G2320/103 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.535 G02F1/133.550 G02F1/133.570 G09F9/30.338 G09G3/20.621.M G09G3/20.624.B G09G3/20.641.R G09G3/20.660.W G02F1/13357 G02F1/1368 G02F1/1335.530 G02F1/136.500 G09G3/34.J		
F-TERM分类号	2H091/FA41Z 2H091/FD22 2H091/GA13 2H091/LA18 2H092/GA14 2H092/JA24 2H092/JB22 2H092 /JB42 2H092/NA05 2H092/NA26 2H092/PA06 2H092/PA13 2H093/NA16 2H093/NA43 2H093/NC10 2H093/NC16 2H093/NC29 2H093/NC34 2H093/NC40 2H093/NC42 2H093/NC52 2H093/NC56 2H093 /NC65 2H093/ND07 2H093/ND33 2H093/ND34 2H093/ND39 2H093/ND54 2H093/NE03 2H093/NE06 2H191/FA81Z 2H191/FD42 2H191/GA19 2H191/LA24 2H192/AA24 2H192/BB02 2H192/CB14 2H192 /CC04 2H192/DA32 2H192/FB22 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZF22 2H193/ZG44 2H193/ZH08 2H193/ZH40 2H193/ZP03 2H193/ZQ16 2H391/AA03 2H391/CB13 2H391/CB32 2H391 /CB53 5C006/AA01 5C006/AA11 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AF19 5C006/AF53 5C006/AF69 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC16 5C006 /BF02 5C006/FA12 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD08 5C080/DD26 5C080/EE19 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080 /JJ06 5C080/KK02 5C080/KK43 5C094/AA02 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/EA04 5C094/EA07 5C094/EB02 5C094/FB12 5C094/FB14 5C094/FB15		
审查员(译)	福村 拓		
优先权	2000081721 2000-03-17 JP		
其他公开文献	JP2001331156A5 JP2001331156A		
外部链接	Espacenet		
摘要(译)			

要解决的问题：提供一种低成本的液晶显示装置，即使在移动速度快的运动图像以低功耗显示时也能够表现出令人满意的显示特性。解决方案：在基板一侧具有扫描配线，信号配线，有源元件，像素电极，公共配线和对电极的有源矩阵型液晶显示装置中，有对电极，对于这些对电极的像素电极和多个第二有源元件通过有源元件连接到与连接到这些像素电极的扫描布线不同的扫描布线。用于选择对应于像素电极的公共布线和清除施加在像素电极上的图像信号的脉冲施加在用于将图像信号连接到像素电极的扫描布线的选择脉冲和用于扫描布线的扫描布线的选择脉冲之间。显示下一张图片。

