

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-210607

(P2009-210607A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621B	2H193
G02F 1/133 (2006.01)	G09G 3/20 641C	5C006
H04N 5/66 (2006.01)	G09G 3/20 641Q	5C058
	G02F 1/133 550	5C080
審査請求 未請求 請求項の数 10 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2008-50417 (P2008-50417)
 (22) 出願日 平成20年2月29日 (2008.2.29)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 田村 啓
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 長尾 将志
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

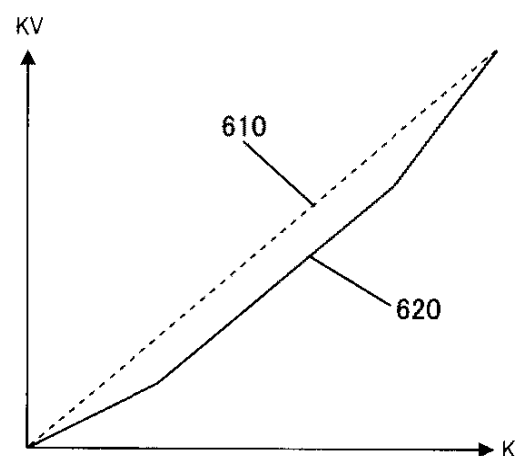
(57) 【要約】

【課題】 TV表示に用いられるインターレス表示用の映像信号に対応し、高品質な表示を可能とする。

【解決手段】 第1の基板と第2の基板との間に挟まれた液晶組成物とを備える液晶パネルを有し、前記液晶パネルは、複数の画素がマトリクス状に配置されて形成される画素領域と、前記第1の基板の前記画素領域の第1の辺に沿って搭載された駆動回路とを有し、前記各画素は、画素電極と、前記画素電極に対向する対向電極と、前記画素電極に電気的に接続されたスイッチング素子とを有し、前記画素領域の各画素は1フレーム期間毎に前記スイッチング素子を介して映像信号が書き換えられ、次フレーム期間に書き換えられる映像信号の極性が反転する第1の交流駆動モードと、次フレーム期間に書き換えられる映像信号の極性が同極性である第2の交流駆動モードとを有し、前記第2の交流駆動モードにおいて、画素の輝度が減少するように前記映像信号の基準電圧が補正される。

【選択図】 図8

図8



【特許請求の範囲】

【請求項 1】

第 1 の基板と、

第 2 の基板と、

前記第 1 の基板と第 2 の基板との間に挟まれた液晶組成物とを備える液晶パネルを有し

、

前記液晶パネルは、複数の画素がマトリクス状に配置されて形成される画素領域と、

前記第 1 の基板の前記画素領域の第 1 の辺に沿って搭載された駆動回路とを有し、

前記各画素は、画素電極と、

前記画素電極に対向する対向電極と、

10

前記画素電極に電氣的に接続されたスイッチング素子とを有する液晶表示装置であって

、

前記画素領域の各画素は 1 フレーム期間毎に前記スイッチング素子を介して映像信号が書き換えられ、

次フレーム期間に書き換えられる映像信号の極性が反転する第 1 の交流駆動モードと、

次フレーム期間に書き換えられる映像信号の極性が同極性である第 2 の交流駆動モードとを有し、

前記第 2 の交流駆動モードにおいて、画素の輝度が減少するように前記映像信号の基準電圧が補正されることを特徴とする液晶表示装置。

20

【請求項 2】

前記補正は、ガンマ補正の値を変更するものであることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記補正は、前記駆動回路内で生成される基準電圧を補正することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記基準電圧は、前記駆動回路内の基準電圧生成回路で生成され、

前記補正は、前記基準電圧生成回路が実行することを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 5】

前記基準電圧は、前記駆動回路内の基準電圧生成回路で生成され、

前記補正は、前記駆動回路内の前記基準電圧生成回路が入力される制御信号に基づき実行することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

第 1 の基板と、

第 2 の基板と、

前記第 1 の基板と第 2 の基板との間に挟まれた液晶組成物とを備える液晶パネルを有し

、

前記液晶パネルは、複数の画素と、

前記各画素に映像信号を供給する映像線と、

40

前記各画素に制御信号を供給する走査線と、

駆動回路とを有し、

前記各画素は、画素電極と、

前記画素電極に対向し、共通電圧が供給される対向電極と、

前記画素電極に電氣的に接続されたスイッチング素子とを有し、

前記駆動回路は、映像信号を前記映像線に出力し、前記各画素の前記スイッチング素子のオン・オフを制御する制御信号を前記走査線に出力する液晶表示装置であって、

前記駆動回路は、前記第 1 の基板に搭載され、

前記駆動回路は、同じ前記画素の映像信号を書き換える際に、書き込む映像信号の極性を反転させる第 1 の書き込みモードと同極性で書き込む第 2 の書き込みモードとを有し、

50

前記第 2 の書き込みモードでは、画素の輝度が減少するよう映像信号の基準電圧を補正することを特徴とする液晶表示装置。

【請求項 7】

前記補正は、ガンマ補正の値を変更するものであることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記補正は、前記駆動回路内で生成される基準電圧を補正することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】

前記基準電圧は、前記駆動回路内の基準電圧生成回路で生成され、

10

前記補正は、前記基準電圧生成回路が実行することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 10】

第 1 の基板と、

第 2 の基板と、

前記第 1 の基板と第 2 の基板との間に挟まれた液晶組成物とを備える液晶パネルを有し

、

前記液晶パネルは、複数の画素と、

前記各画素に映像信号を供給する映像線と、

前記映像信号を前記映像線に出力する駆動回路とを有し、

20

前記各画素は、画素電極と、

前記画素電極に対向し、共通電圧が供給される対向電極と、

前記画素電極に電氣的に接続されたスイッチング素子とを有する液晶表示装置であって

、

前記駆動回路は、前記第 1 の基板に搭載され、前記各映像線に前記映像信号を出力するアンプ回路を有し、

前記駆動回路は、同じ前記画素の映像信号を書き換える際に、書き込む映像信号の極性を反転させる第 1 の書き込みモードと同極性で書き込む第 2 の書き込みモードとを有し、

前記第 2 の書き込みモードでは、画素の輝度が減少するよう前記アンプ回路の定電流源の電流値を補正することを特徴とする液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、携帯型装置の表示部に用いられる液晶表示装置の駆動回路に適用して有効な技術に関する。

【背景技術】

【0002】

アクティブ素子として薄膜トランジスタを使用する TFT (Thin Film Transistor) 方式の液晶表示装置は高精細な画像を表示できるため、テレビ、パソコン用ディスプレイ等の表示装置として使用されている。

40

液晶表示装置は、少なくとも一方が透明なガラス等からなる二枚の（一对の）基板の間に液晶を挟持した、所謂、液晶パネルを有する。この液晶パネルは、隣接する 2 本の走査線（ゲート線ともいう。）と、隣接する 2 本の映像線（ソース線またはドレイン線ともいう。）とで囲まれる領域に、走査線からの走査信号によってオンする薄膜トランジスタと、映像線からの映像信号が前述の薄膜トランジスタを介して供給される画素電極とが形成されて、所謂、画素が構成される。

そして、このような液晶表示装置において小型のものが、携帯電話機等の携帯機器の表示装置として広く利用されている。しかも、近年、液晶表示装置を携帯機器の表示装置として用いる場合にも、TV 信号の表示が可能であることが望まれている。

下記、特許文献 1、特許文献 2 には、液晶パネルでインターレス方式の映像信号を用い

50

て表示を行う際に生じる画像の焼き付きを解消する技術が開示されている。

【0003】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献1】特開平09-236787号公報

【特許文献2】特開2007-225891号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

映像線に供給される階調電圧は、液晶容量に直流電圧が印加されることを防止するため、1垂直走査期間（以下、フレームという）毎に、対向電極に印加されるコモン電圧に対して高電位の階調電圧（正極性（+）の階調電圧）と、コモン電圧に対して低電位の階調電圧（負極性（-）の階調電圧）とに、極性を切り替えて交流化駆動している。

しかしながら、ノーマリブラック特性の液晶パネルを使用し、1フレーム毎に、白と黒を交互に表示する場合、例えば、正極性時「白表示」、負極性時「黒表示」といった液晶の交流化周期に合わせて階調電圧が変化した場合、画素の電圧は、コモン電圧に対して、正極性側（プラス側）に偏り、液晶に対して実効値として直流が印加されるパターンとなる。逆に、正極性時「黒表示」、負極性時「白表示」といった液晶の交流化周期に合わせて階調電圧が変化した場合、画素の電圧は、コモン電圧に対して、負極性側（マイナス側）に偏り、液晶に対して実効値として直流が印加されるパターンとなる。

特に、このパターンは、動画映像を表示する場合に良く発生し、常時、液晶に直流信号が印加されるため、表示品位を低下させると共に、液晶自体の寿命を著しく低下させる。

また、フレーム毎に、白と黒の映像が交互に変化する表示データは、テレビ信号などのインターレース（飛越）走査信号を液晶駆動でのプログレッシブ（順次）走査に変換する際に良く起こり、例えば、液晶表示装置にテレビ映像やDVD映像を表示して観賞する場合、液晶の駆動電圧の偏りが発生し、画質劣化を引き起こす原因となる。

【0005】

携帯機器に用いられる表示装置においても、TV信号の表示が可能なものが望まれており、そのため、高精細で表示品質の優れた表示装置が携帯機器においても用いられている。

しかしながら、液晶表示装置でTV信号を表示するには、インターレース方式の映像信号を表示する必要があるため、前述した画質劣化を防止する必要がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、インターレース方式の映像信号に対応し高品質な表示が可能な小型の液晶表示装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0006】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明において、液晶表示装置は、2枚の基板と、2枚の基板の間に挟まれた液晶組成物とを有する表示パネルを有し、前記表示パネルは複数の画素を有する。前記各画素は画素電極と、前記画素電極に対向する対向電極と、前記画素電極に設けられたスイッチング素子とを有する。さらに、表示パネルは、前記各画素のスイッチング素子に映像信号を供給する映像線と、前記各画素のスイッチング素子のオン・オフを制御する制御信号（走査信号）を供給する走査線と、映像線に映像信号を出力し、走査線に制御信号を出力する駆動回路とを備える。

駆動回路は、奇数フレームと偶数フレームとで極性が反転した映像信号を出力するが、任意のフレーム数毎に極性の反転方法を逆転する。そのため、あるフレームでは前フレームと同極性の映像信号を出力する。フレーム間で同極性の映像信号を出力する場合には、

後のフレームにおいて、液晶表示装置の輝度が低下するような信号処理を行う。

【発明の効果】

【０００７】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、インターレス方式の映像信号に対応し高品質な表示が可能な小型の液晶表示装置を提供することが可能となる。

【発明を実施するための最良の形態】

【０００８】

以下、図面を参照して本発明の実施例を詳細に説明する。

10

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施例〕

図１は、本発明の実施例１の液晶表示装置の基本構成を示すブロック図である。同図に示すように、本実施例の液晶表示装置１００は、液晶パネル２と、駆動回路５と、フレキシブル基板７０と、バックライト１１０と、収納ケース（図示せず）とから構成される。

液晶パネル２は、薄膜トランジスタ１０、画素電極６等が形成されるＴＦＴ基板１と、対向電極１５、カラーフィルタ等が形成されるカラーフィルタ基板（図示せず）とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の内側に液晶組成物を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

20

なお、本発明は、本実施例のように、対向電極１５がＴＦＴ基板１に設けられる所謂、横電界方式の液晶パネルにも、あるいは、対向電極１５がカラーフィルタ基板に設けられる所謂、縦電界方式の液晶パネルにも同様に適用される。

ＴＦＴ基板１には、図中ｘ方向に延在しｙ方向に並設される走査線（ゲート線とも呼ぶ）２１と、ｙ方向に延在しｘ方向に並設される映像線（ドレイン信号線とも呼ぶ）２２とが設けられており、走査線２１と映像線２２とで囲まれる領域に画素部８が形成されている。

なお、液晶パネル２は多数の画素（サブピクセル）部８をマトリクス状に備えているが、図を解り易くするため、図１では画素部８を１つだけ示している。マトリクス状に配置された画素部８は表示領域９を形成し、各画素部８が表示画像の画素の役割をはたし、表示領域９に画像を表示する。

30

【０００９】

各画素部８の薄膜トランジスタ１０は、ソース電極が画素電極６に接続され、ドレイン電極が映像線２２に接続され、ゲート電極が走査線２１に接続される。この薄膜トランジスタ１０は、画素電極６に階調電圧（映像信号）を供給するためのスイッチとして機能する。なお、ソース電極、ドレイン電極の呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像線２２に接続される方をドレイン電極、画素電極６に接続される方をソース電極と称する。

駆動回路５は、ＴＦＴ基板１を構成する透明な絶縁基板（ガラス基板、樹脂基板等）上に実装される。駆動回路５は映像線２２と走査線２１とに電氣的に接続している。

40

ＴＦＴ基板１には、フレキシブル基板７０が接続されている。フレキシブル基板７０にはコネクタ７２が設けられている。コネクタ７２は外部信号線と接続され外部からの信号が入力する。コネクタ７２と駆動回路５の間には配線７１が設けられており、外部からの信号は配線７１を介して駆動回路５に入力する。

液晶パネル２は非発光素子であるため、光源を必要とするが、液晶表示装置１００にはバックライト１１０が設けられており、バックライト１１０は液晶パネル２に光を照射する。液晶パネル２は照射された光の透過・反射量を制御して表示を行う。なお、バックライト１１０は液晶パネル２の背面または前面に設けられるが、図１では図をわかり易くするために液晶パネル２と並べて示した。

50

【0010】

液晶表示装置100の外部に設けられた制御装置（図示せず）から送出された制御信号、および外部電源回路（図示せず）から供給される電源電圧が、コネクタ72、配線71を介して駆動回路5に入力する。

外部から駆動回路5に入力する信号は、クロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の各制御信号および表示用データ（R・G・B）、表示モード制御コマンドであり、入力した信号を基に、駆動回路5は液晶パネル2を駆動する。

駆動回路5は、内部で発生させる基準クロックに基づき、1水平走査時間毎に、順次液晶パネル2の各走査線21に“High”レベル（以下、Hレベルという）の走査電圧（制御信号）を供給する。これにより、液晶パネル2の各走査線21に接続された複数の薄膜トランジスタ10が、1水平走査期間の間、映像線22と画素電極6との間を電氣的に導通させる。

また、駆動回路5は画素が表示すべき階調に対応する階調電圧を映像線22に出力する。映像線22に階調電圧が供給されると、オン状態（導通）の薄膜トランジスタ10を介して、映像線22から階調電圧が画素電極6に供給される。その後、薄膜トランジスタ10がオフ状態となることで画素が表示すべき映像に基づく階調電圧が画素電極6に保持される。

【0011】

次に、図2に液晶表示装置100の画素部8の平面図を示す。また、図2のA-A線で示す断面図を図3に示す。なお、図2、図3は、縦電界方式の半透過型液晶パネルの画素部8を示すものである。

反射領域11（以下、反射電極とも呼ぶ）と透過領域12（以下、透過電極とも呼ぶ）に対向して、図3に示すようにカラーフィルタ基板3に対向電極15が形成されている。

カラーフィルタ基板3には赤（R）、緑（G）、青（B）毎にカラーフィルタ150が形成されており、各カラーフィルタ150の境界には遮光のためにブラックマトリクス162が形成されている。なお、151はオーバーコート層である。

TFT基板1は、少なくとも一部が透明なガラス、樹脂等からなる。TFT基板1上には前述したように走査線21が形成されており、走査線21は、クロム（Cr）または、ジルコニウム（Zirconium）を主体とする層とアルミ（Al）を主体とする層の多層膜から形成される。

ここで、走査線21と並列に容量線25も形成される。反射領域11の端部は走査線21を越えて、容量線25と重なっている。また、反射領域11の端部は走査線21および映像線22とそれぞれ平行となっている。

反射領域11は透過領域12を取り囲むような形状をしている。反射領域11は一般に光を透過しないアルミ等の金属で形成されるので、反射領域11は透過領域12に対して遮光膜の機能を有することとなる。なお、図2では画素部8の構成をわかり易くするため、反射領域11を点線で示している。

走査線21と映像線22の交差部近傍にスイッチング素子（薄膜トランジスタ；TFT）10が形成される。TFT10は走査線21を介して供給されるHレベルの走査信号（制御信号）によりオン状態となり、映像線22を介して供給される映像信号を透過領域12を形成する透過電極及び、反射領域11を形成する反射電極に書き込む。

【0012】

次に、図3に示す概略断面図を説明する。液晶パネル2は、TFT基板1とカラーフィルタ基板3とが対向して配置されている。TFT基板1とカラーフィルタ基板3との間には、液晶組成物4が保持されている。なお、TFT基板1とカラーフィルタ基板3との周辺部には、シール材（図示せず）が設けられており、TFT基板1とカラーフィルタ基板3とシール材とは、狭い隙間を有する容器を形成しており、液晶組成物4はTFT基板1とカラーフィルタ基板3との間に封止される。また、17と18は液晶分子の配向を制御する配向膜である。

TFT10はゲート電極131、ドレイン電極132、ソース電極133、半導体層1

10

20

30

40

50

3 4 とが積層して構成されている。

走査線 2 1 の一部がゲート電極 1 3 1 を形成している。また、ゲート電極 1 3 1 は上面から T F T 基板 1 側の下面に向けて線幅が広がるように側面が傾斜している。ゲート電極 1 3 1 を覆うようにゲート絶縁膜 1 3 6 が形成され、ゲート絶縁膜 1 3 6 の上にアモルファスシリコン膜からなる半導体層 1 3 4 が形成される。

半導体層 1 3 4 の上部には不純物が添加されて n^+ 層 1 3 5 が形成される。 n^+ 層 1 3 5 はオーミックコンタクト層であり、半導体層 1 3 4 が電氣的に良好に接続されるように形成されている。 n^+ 層 1 3 5 の上には、ドレイン電極 1 3 2 とソース電極 1 3 3 とが離間して形成されている。

【0013】

映像線 2 2、ドレイン電極 1 3 2、ソース電極 1 3 3 は、モリブデン (Mo) とクロム (Cr) の合金や、モリブデン (Mo) 又はタングステン (W) を主体とする 2 つの層で、アルミを主体とする層を挟んだ多層膜から形成されている。

ソース電極 1 3 3 は透過領域 1 2 及び反射領域 1 1 と電氣的に接続されている。また、T F T 1 0 を覆うように無機絶縁膜 1 4 3 と有機絶縁膜 1 4 4 が形成されている。ソース電極 1 3 3 は無機絶縁膜 1 4 3 と有機絶縁膜 1 4 4 とに形成されたスルーホール 1 4 6 を介して反射領域 1 1 および透過領域 1 2 と接続されている。

なお、無機絶縁膜 1 4 3 は窒化シリコンや酸化シリコンを用いて形成可能であり、有機絶縁膜 1 4 4 は有機樹脂膜を用いることができ、その表面は比較的平坦に形成することが可能なものであるが、凹凸を形成するように加工することも可能である。

反射領域 1 1 は、反射電極により構成され、アルミ等の光反射率の高い金属等の導電膜を出射側表面に有し、タングステンまたはクロムを主体とする層とアルミを主体とする層の多層膜から形成される。また、透過領域 1 2 は、透明導電膜により構成されている。以下反射電極に符号 1 1 を付加し、透明電極に符号 1 2 を付加して説明する場合もある。

なお、透明導電膜は、I T O (indium tin oxide)、I T Z O (Indium Tin Zinc Oxide)、I Z O (Indium Zinc Oxide)、Z n O (Zinc Oxide)、S n O (酸化スズ)、I n ₂ O₃ (酸化インジウム) 等の透光性の導電層から構成されている。

また、クロムを主体とする層は、クロム単体でもクロムとモリブデン (Mo) 等の合金でもよく、ジルコニウムを主体とする層は、ジルコニウム単体でもジルコニウムとモリブデン等の合金でもよく、タングステンを主体とする層は、タングステン単体でもタングステンとモリブデン等の合金でもよく、アルミを主体とする層は、アルミ単体でもアルミとネオジウム (Neodymium) 等の合金でもよい。

【0014】

有機絶縁膜 1 4 4 の上面にはフォトリソ等により凹凸が形成されている。そのため、有機絶縁膜 1 4 4 の上に形成された反射電極 1 1 も凹凸を有する。反射電極 1 1 に凹凸が備わることで、反射光が散乱される割合が増加する。

透過電極 1 2 の上の有機絶縁膜 1 4 4、無機絶縁膜 1 4 3 は除去され、開口が形成されている。反射電極 1 1 はこの開口の外周を囲むように形成されるが、開口の透過電極 1 2 側の側面には傾斜が形成されており、この傾斜上に反射電極 1 1 が形成され透明電極 1 2 の外周近傍と電氣的に接続されている。

容量線 2 5 には、保持容量部 1 6 が接続している。また無機絶縁膜 1 4 3 を挟んで対向して保持容量部 1 6 と保持容量を形成する保持容量電極 2 6 が設けられている。保持容量電極 2 6 と反射電極 1 1 とは、有機絶縁膜 1 4 4 に設けられたスルーホール 1 4 7 を介して接続される。

なお、保持容量部 1 6 は容量線 2 5 と同様に、走査線 2 1 と同じ工程で、同じ材料にて形成することが可能である。また、保持容量電極 2 6 は映像線 2 2 と同じ工程で、同じ材料にて形成することが可能である。保持容量電極 2 6 は反射電極 1 1 以外に透明電極 1 2 と接続しても保持容量の電極としての機能を満足することができる。

【0015】

次に、図 4 に、対向電極 1 5 に供給する対向電圧 V C O M を一定周期で反転させる、所

10

20

30

40

50

謂、対向電圧反転駆動方式を採用する場合の走査信号VSCNと、映像信号VSIGと、対向電極に印加する対向電圧VCOMとを示す。

図4に示す走査信号VSCNは、任意の走査線21に出力される走査信号を示している。図4に示すように走査線21に供給される走査信号VSCNがHレベルのVGONの電圧である期間を1水平走査期間(1H)と呼ぶ。

図4に示す対向電圧反転駆動方式では、対向電圧VCOMを1水平走査期間毎に反転する、所謂、1ライン反転駆動法が示されている。対向電圧反転駆動方式を採用すると、映像信号VSI Gの振幅が小さくても、映像信号VSI Gと対向電圧VCOMとの電位差が大きくとることが可能で、低電圧駆動、低消費電力化が可能である。

映像信号NSIGのVSHは、画素に供給される階調電圧が対向電圧VCOMに対して正極性の信号である正階調電圧を示す。VSLは対向電圧VCOMに対して負極性である負階調電圧を示す。

VCOMHは、対向電圧VCOMのHレベルの電圧で、VCOMLは対向電圧VCOMのLレベルの電圧である。対向電圧VCOMは、1水平走査期間(1H)毎に、VCOMHと、VCOMLとの間で反転している。

VGONは、画素部のTFT10をオンするための走査信号VSCNのHレベルの電圧で、正階調電圧VSHの最大値よりしきい値電圧分以上高い電圧が必要となる。また、VGOFFはTFT10をオフするためのLレベルの電圧であり、負階調電圧VSLの最小値よりしきい値電圧分以上低い電圧が必要となる。

この1ライン反転駆動法では、図12に示すように、1ライン毎に極性が反転し、かつフレーム毎にも極性が反転する。なお、図12において、110はあるフレームでの正極性の画素(図12で+示す画素)と、負極性の画素(図12で-示す画素)を表し、120はその次のフレームでの正極性の画素(図12で+示す画素)と、負極性の画素(図12で-示す画素)を表している。

【0016】

[1ライン反転駆動法の問題点]

静止画を表示する場合、1ライン反転駆動法において各画素に時間平均的に正極、負極が偏り無く印加される。しかし、あるフレームに白を表示し、その次のフレームに黒を表示、またその次のフレームに白と、フレーム毎に白と黒を交互に表示した場合、各画素には時間平均すると極性が偏って印加される。

以下、この点について説明する。

図13は、図4に示す1ライン反転駆動法において、フレーム毎に白と黒を交互に表示した場合における、映像信号NSIG、対向電圧VCOMとの対応関係を示す図である。

図13(a)において、210は奇数フレーム、220は偶数フレームであり、図13(a)では、奇数フレーム210に白を、偶数フレーム220に黒を表示したものを表している。

211は、奇数フレーム210、偶数フレーム220におけるある表示ライン、212は211の表示ラインの次のラインを表している。ここで、奇数フレーム210における211の表示ラインは正極性の書き込み、212の表示ラインは負極性の書き込みとする。すると、偶数フレーム220における211の表示ラインは負極性の書き込み、212の表示ラインは正極性の書き込みとなる。

【0017】

図13(b)に、211の表示ラインと、212の表示ラインの対向電圧(VCOM)と、階調電圧を示す。なお、ここでは、ノーマリブラック特性の液晶パネルを想定している。

310は、211の表示ラインの奇数フレーム210における電圧レベルを、320は、211の表示ラインの偶数フレーム220における電圧レベルを表す。同様に、330は、212の表示ラインの奇数フレーム210における電圧レベルを、340は、212の表示ラインの偶数フレーム220における電圧レベルを表す。

また、311は階調電圧の電圧レベル、312は、対向電圧の電圧レベル、321は対

向電圧の電圧レベル、3 2 2は階調電圧の電圧レベルを示す。同様に、3 3 1、3 3 2はそれぞれ対向電圧、階調電圧の電圧レベル、3 4 1、3 4 2はそれぞれ階調電圧、対向電圧の電圧レベルを表す。

この図1 3 (b)から分かるように、2 1 1の表示ラインには、奇数フレーム2 1 0では、大きな正極性の電圧（階調電圧>対向電圧）が印加され、偶数フレーム2 2 0では、小さな負極性の電圧（対向電圧>階調電圧）が印加される。また、2 1 2の表示ラインには、奇数フレーム2 1 0では、大きな負極性の電圧（対向電圧>階調電圧）が印加され、偶数フレーム2 2 0では、小さな正極性の電圧（階調電圧>対向電圧）が印加されることになる。

したがって、時間平均をとると、2 1 1の表示ライン上の画素には正に偏った電圧が印加され、2 1 2の表示ライン上の画素には負に偏った電圧が印加される。液晶パネルの画素は正負に偏った電圧をかけると残像が残るので、フレーム毎に白黒を反転させる画像を表示させると残像が残ることになる。

【0 0 1 8】

〔本発明の位相反転駆動法の説明〕

前記の問題点を解決するために、本発明では、一定周期（例えば、2 0 4 8フレーム）毎に極性の反転方法を入れ替えるようにしている。以下、本明細書では、この交流化駆動方法を、位相反転駆動法と称する。

図1 4は、図1 3に示すように、フレーム毎に白と黒を交互に表示する時に、ある一定周期で画素極性の位相を反転した場合のフレーム毎の画素極性を表す模式図である。

図1 4において、4 1 0が1フレーム目の画素極性、4 2 0が2フレーム目、4 3 0、4 4 0、4 5 0、4 6 0、4 7 0がそれぞれ3、4、2 0 4 8、2 0 4 9、2 0 5 0フレーム目の画素極性である。また、（+）は正極性の書き込み、（-）は負極性の書き込みを表す。

この位相反転駆動法によれば、フレーム毎に白黒反転する画像を表示させても、1～2 0 4 8フレームまで、例えば、正に電圧が偏っていたのを、2 0 4 9～4 0 9 6フレームで負に電圧を偏らせることで時間平均的に電圧の偏りをなくすることができる。

このように、画素の電圧の偏りを、ある一定周期で、正極性側、および、負極性側になるように交流化駆動することで、結果として液晶に印加される実効的な直流電圧を低減することができる。

【0 0 1 9】

ところが、この位相反転駆動法で中間調表示、例えば、1 2 7階調の灰色べた表示を行うと、極性の反転方法が入れ替えた2 0 4 9フレーム目に画面全体の輝度が上がる、フラッシュのような現象が発生する。

図1 5に、位相反転駆動法を採用し、中間調を表示した時のある画素におけるゲート電極の電圧波形、ソース電極の電圧波形、対向電極の電圧波形を示す。

図1 5において、5 7 0がゲート電極の電圧波形、5 8 0が対向電極の電圧波形、5 9 0がソース電極の電圧波形である。また、5 1 0、5 2 0、5 3 0がそれぞれ1フレーム目、2フレーム目、3フレーム目を表し、5 4 0、5 5 0、5 6 0がそれぞれ2 0 4 8フレーム目、2 0 4 9フレーム目、2 0 5 0フレーム目を表す。

図1 5の5 4 1、5 4 2が、それぞれ2 0 4 8フレーム目と2 0 4 9フレーム目に、液晶に直接印加されている電圧である。2 0 4 8フレーム目と2 0 4 9フレーム目は同じ極性が続いたため2 0 4 9フレーム目は少しの書き込みで設定の電圧に達する。従って大幅に書き込まなければならない2 0 4 8フレーム目の5 4 1の電圧と、少しの書き込みで済む2 0 4 9フレーム目の5 4 2の電圧とでは、電圧差が生じ輝度差が生じるため、前述したフラッシュのような現象が発生する。

そこで、本実施例は、位相反転駆動法により、画素極性が、{（-）→（-）}、あるいは、{（+）→（+）}と連続する場合に、位相反転直後の最初のフレームにおいて、画素に印加する電圧を通常の場合よりも低くし、これにより、前述したフラッシュ（輝度上昇）を防止するようにしたものである。

10

20

30

40

50

【0020】

以下、位相反転直後の最初のフレームの（以下、フレームAという）において、画素に印加する電圧を通常のフレーム（以下、フレームBという）の時よりも低くする本実施例の方法について説明する。

図5は、図1に示す駆動回路5内の階調電圧生成回路の概略回路構成を示すブロック図である。

図5において、51はクロック制御部、52はラッチアドレスセクタ、53はラッチ回路、54はD/Aコンバータ回路、55は出力アンプ回路である。

ラッチ回路53は、ラッチアドレスセクタ52の制御の元に、駆動回路5内の表示制御部から出力される表示データラッチ用クロック（CL2）に同期して、入力される表示データ（R[7:0]、G[7:0]、B[7:0]）を順次ラッチする。

ラッチ回路53にラッチされた表示データは、駆動回路5内の表示制御部から出力される、出力タイミング制御用クロック信号（CL1）に基づき、D/Aコンバータ回路54に出力される。

D/Aコンバータ回路54は、駆動回路5内の階調基準電圧生成回路740から入力される、例えば、正極性のV1～V6の階調基準電圧と、負極性のV7～V12の階調基準電圧に基づき、正極性および負極性の0～255階調の階調電圧を生成する階調電圧生成回路（54-1）を有する。

D/Aコンバータ回路54は、抵抗分圧回路で構成される階調電圧生成回路（54-1）で生成された、正極性および負極性の0～255階調の階調電圧の中から、ラッチ回路53から入力された表示データに対応した階調電圧を選択して、出力アンプ回路55に

入力する。

出力アンプ回路55は、D/Aコンバータ回路54から入力された階調電圧を、アンプ回路で電流増幅し、対応する映像線22に出力する。

【0021】

図6は、駆動回路5内の階調基準電圧生成回路740の回路構成を示すブロック図である。

図6に示す階調基準電圧生成回路740は、直列に接続された基準電圧調整回路601により、端子622と623の間に印加した電圧を分圧して、例えば、正極性のV1～V6の階調基準電圧と、負極性のV7～V12の階調基準電圧を、入力611または出力612に接続された出力端子621から出力する。

図6に示す階調基準電圧生成回路740では、基準電圧調整回路601の抵抗を変化させることにより、端子622と623の間に印加した電圧を分圧する割合を変化させることが可能である。即ち、制御端子639に inputs する制御信号線群639（631～638の制御信号線）により、階調基準電圧生成回路740の出力端子621から出力する階調基準電圧を変化させる。

【0022】

図7は、図6に示す基準電圧調整回路601の回路構成を示す回路図である。

基準電圧調整回路601は、直列に接続された抵抗661から673と、幾つかの抵抗の間に並列に接続されたアナログスイッチ651、652、653、654から構成されている。

入力611は抵抗661とアナログスイッチ651に接続している。また、アナログスイッチ651の他方の端子は配線681を介して抵抗666に接続している。

抵抗661、662、663、664、665、666の各抵抗が直列に接続されており、アナログスイッチ651により直列に接続された抵抗の入力と出力とを短絡可能になっている。

制御信号線631がLレベルの電圧で、制御信号線632がHレベルの電圧となると、抵抗661、662、663、664、665、666の入力と出力が短絡されるので、抵抗661、662、663、664、665、666の抵抗は見かけ上無いものとなる。

。

10

20

30

40

50

同様に、制御信号線 6 3 3 と 6 3 4 によりアナログスイッチ 6 5 2 オン状態とすることで、抵抗 6 6 7、6 6 8、6 6 9 の入力と出力を短絡することが可能で、制御信号線 6 3 5 と 6 3 6 によりアナログスイッチ 6 5 3 オン状態とすることで、抵抗 6 7 1、6 7 2 の入力と出力を短絡することが可能で、制御信号線 6 3 7 と 6 3 8 によりアナログスイッチ 6 5 4 オン状態とすることで、抵抗 6 7 3 の入力と出力を短絡することが可能である。

例えば、アナログスイッチ 6 5 1 をオン状態にすると、入力 6 1 1 と出力 6 1 2 の間に、1 2 個の抵抗が直列に接続している状態から、6 個の抵抗が直列に接続している状態に変更可能で、入力 6 1 1 と出力 6 1 2 の間の抵抗値を変更することが可能となる。

【0023】

階調基準電圧生成回路 7 4 0 は、フレーム A（位相反転直後の最初のフレーム）の期間内に補正した階調基準電圧を、また、フレーム B（通常のフレーム）の期間内に、通常の階調基準電圧を、階調電圧生成回路（5 4 - 1）に出力する。

図 8 に、本実施例で、各階調（K）と、フレーム A の期間と、フレーム B の期間とで生成される階調電圧（KV）との関係を示す。

図 8 の 6 2 0 が、各階調（K）と、フレーム A の期間に、階調電圧生成回路（5 4 - 1）が、補正した階調基準電圧に基づき生成する階調電圧（KV）との関係を示し、6 1 0 が、フレーム B の期間に、階調電圧生成回路（5 4 - 1）が、通常の階調基準電圧に基づき生成する階調電圧（KV）との関係を示す。なお、図 8 では、各階調（K）と、フレーム B の期間の階調電圧（KV）とは、線形に比例するように規格化している。

図 8 の 6 2 0 に示すように、本実施例では、同じ中間階調でも、フレーム A の期間に生成される階調電圧が、フレーム B の期間に生成される階調電圧よりも小さくされ、同じ中間階調において、フレーム A の期間に生成される階調電圧による輝度が、フレーム B の期間に生成される階調電圧による輝度よりも小さくなる。

これにより、本実施例では、位相反転直後の最初のフレーム A において、前述したフラッシュ（輝度上昇）を防止することが可能となる。

なお、図 8 は、液晶表示パネルの γ 特性を表していることと等価であり、本実施例では、フレーム A の期間に、液晶表示パネルの γ 特性を変更していることと等価である。

なお、本実施例において、フレーム A の期間に階調基準電圧を変更せず、フレーム A、フレーム B の両方の期間、階調基準電圧は同じとし、フレーム A の期間に、入力される表示データ（Din）に演算を施し、演算後の表示データに基づき生成される階調電圧が、図 8 の 6 2 0 の特性を満たすようにしてもよい。

【0024】

〔実施例 2〕

本実施例では、図 9 に示すように、フレーム A（位相反転直後の最初のフレーム）の期間の 1 水平走査期間 8 8 0 の長さを、フレーム B（通常のフレーム）の期間の 1 水平走査期間 8 6 0 の長さよりも短くしたものである。

本実施例によれば、フレーム A の期間における 1 水平走査期間内の映像電圧の書き込み時間が、フレーム B の期間における 1 水平走査期間内の画素への階調電圧の書き込み時間よりも短くなるので、フレーム A の期間に、画素に書き込まれる映像電圧（図 9 の 8 9 0）と、フレーム B の期間に、画素に書き込まれる映像電圧（図 9 の 8 7 0）との間の電位差をほぼ 0 V にすることができる。これにより、位相反転直後の最初のフレームに前述したフラッシュが発生するのを防止することが可能となる。

そのため、本実施例では、フレーム B の期間内の H レベル幅設定レジスタ 8 1 0 と、フレーム A の期間内の H レベル幅設定レジスタ 8 2 0 とも設ける。そして、2 0 4 9 フレーム目を知らせるパルス 8 3 0 が入力されたときに、レジスタ 8 2 0 の値を読み出し、クロック生成回路 8 4 0 が、H レベルのパルス幅が短いクロック 8 5 0 を生成する。また、2 0 4 9 フレーム目を知らせるパルス 8 3 0 が入力されないときに、レジスタ 8 1 0 の値を読み出し、H レベルのパルス幅が長いクロック 8 5 0 を生成する。

このクロック 8 5 0 を使用し、T F T 1 0 のゲートオンの期間を変更し、フレーム A の期間における 1 水平走査期間内の映像電圧の書き込み時間が、フレーム B の期間における

10

20

30

40

50

1 水平走査期間内の画素への階調電圧の書き込み時間よりも短くする。

なお、図 9 は、本実施例 2 の液晶表示装置において、位相反転直後の最初のフレームの期間に画素に書き込まれる映像電圧と、通常のフレームの期間に画素に書き込まれる映像電圧とを説明するための図である。また、図 9 に示す回路は、駆動回路 5 内に設けられる。

【0025】

〔実施例 3〕

図 10 は、図 5 に示す出力アンプ回路 55 の回路構成の一例を示す回路図である。図 10 (a) は、負極性の階調電圧を出力するアンプ回路、図 10 (b) は、正極性の階調電圧を出力するアンプ回路である。

図 10 に示すアンプ回路は、p 型トランジスタ (PM1 ~ PM7) と、n 型トランジスタ (NM1 ~ NM7) を用いて構成される差増幅回路の出力端子と (−) 入力端子とを接続した周知のボルテージホロワ回路である。

この図 10 に示すアンプ回路において、例えば、図 10 (b) に示すバイアス電源 VB の電圧値を変更し、定電流源を構成するトランジスタ (NM1, NM2) を流れる電流を大きくすると、映像線 22 を介して、映像線 22 の分布容量、あるいは画素容量を充電する電流を小さくできるので、TF T 10 のソース電極 (即ち、画素電極 6) が正規の階調電圧に立ち上がるまでの時間を長くすることができる。即ち、出力アンプ回路 55 の定電流源の電流値を減少させると、画素電極 6 が正規の階調電圧まで立ち上がるのを遅くすることが出来る。

本実施例では、この現象を利用し、2049 フレームにおいて出力アンプ回路 55 の定電流源の電流値を減少させることで、1 水平走査期間 980 内に画素電極 6 が正規の階調電圧まで立ち上がるのを遅くして、フレーム A の期間に画素に書き込まれる映像電圧 (図 11 の 990) と、フレーム B の期間の 1 水平走査期間 960 内に画素に書き込まれる映像電圧 (図 11 の 970) との間の電位差をほぼ 0 V にすることができる。これにより、位相反転直後の最初のフレームに前述したフラッシュが発生するのを防止することが可能となる。

【0026】

そのため、本実施例では、図 11 に示すように、フレーム B (通常のフレーム) の期間内の定電流設定レジスタ 910 と、フレーム A (位相反転直後の最初のフレーム) の期間内の定電流設定レジスタ 920 とを設ける。

そして、2049 フレーム目を知らせるパルス 930 が入力されたときに、レジスタ 920 の値を読み出し、出力アンプ回路 940 の定電流源の電流値を減少させる。また、2049 フレーム目を知らせるパルス 930 が入力されないときに、レジスタ 910 の値を読み出し、出力アンプ回路 940 の定電流源の電流値を通常の電流値とし、それぞれの定電流源の電流値で電流増幅して、階調電圧 950 を出力する。

なお、図 11 は、本実施例 3 の液晶表示装置において、位相反転直後の最初のフレームの期間に画素に書き込まれる映像電圧と、通常のフレームの期間に画素に書き込まれる映像電圧とを説明するための図である。また、図 11 に示す回路は、駆動回路 5 内に設けられる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0027】

【図 1】本発明の実施例 1 の液晶表示装置の基本構成を示すブロック図である。

【図 2】本発明の実施例 1 の液晶表示装置の画素部を示す概略平面図である。

【図 3】図 2 の A-A 線で示す断面図である。

【図 4】対向電極に供給する対向電圧を一定周期で反転させる、所謂、対向電圧反転駆動方式を用いる場合の走査信号と、映像信号と、対向電極に印加する対向電圧とを示す図で

10

20

30

40

50

ある。

【図 5】図 1 に示す駆動回路内の階調電圧生成回路の概略回路構成を示すブロック図である。

【図 6】駆動回路内の階調基準電圧生成回路の回路構成を示すブロック図である。

【図 7】図 6 に示す基準電圧調整回路の回路構成を示す回路図である。

【図 8】本発明の実施例の液晶表示装置において、各階調（K）と、位相反転直後の最初のフレームと、通常のフレームの期間とで生成される階調電圧（K V）との関係を示すグラフである。

【図 9】本発明の実施例 2 の液晶表示装置において、位相反転直後の最初のフレームの期間に画素に書き込まれる映像電圧と、通常のフレームの期間に画素に書き込まれる映像電圧とを説明するための図である。

10

【図 10】図 5 に示す出力アンプ回路の回路構成の一例を示す回路図である。

【図 11】本発明の実施例 3 の液晶表示装置において、位相反転直後の最初のフレームの期間に画素に書き込まれる映像電圧と、通常のフレームの期間に画素に書き込まれる映像電圧とを説明するための図である。

【図 12】図 4 に示す対向電圧反転駆動方式の一つである 1 ライン反転駆動法を説明するための図である。

【図 13】図 4 に示す 1 ライン反転駆動法において、フレーム毎に白と黒を交互に表示した場合における、映像信号、対向電圧の対応関係を示す図である。

【図 14】図 13 に示すように、フレーム毎に白と黒を交互に表示する時に、ある一定周期で画素極性の位相を反転した場合のフレーム毎の画素極性を表す模式図である。

20

【図 15】位相反転駆動法を採用し、中間調を表示した時のある画素におけるゲート電極の電圧波形、ソース電極の電圧波形、対向電極の電圧波形を示す。

【符号の説明】

【0028】

- 1 TFT 基板
- 2 液晶パネル
- 3 カラーフィルタ基板
- 4 液晶組成物
- 5 駆動回路
- 6 画素電極
- 8 画素部
- 9 表示領域
- 10 薄膜トランジスタ（TFT）
- 11 反射領域
- 12 透過領域
- 15 対向電極
- 16 保持容量部
- 17, 18 配向膜
- 21 走査線
- 22 映像線
- 25 容量線
- 26 保持容量電極
- 51 クロック制御部
- 52 ラッチアドレスセクタ
- 53 ラッチ回路
- 54 D/A コンバータ回路
- 54-1 階調電圧生成回路
- 55, 940 出力アンプ回路
- 70 フレキシブルプリント基板

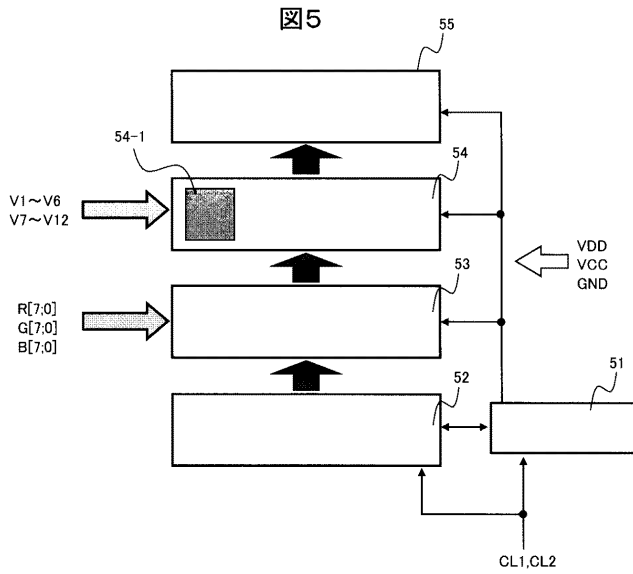
30

40

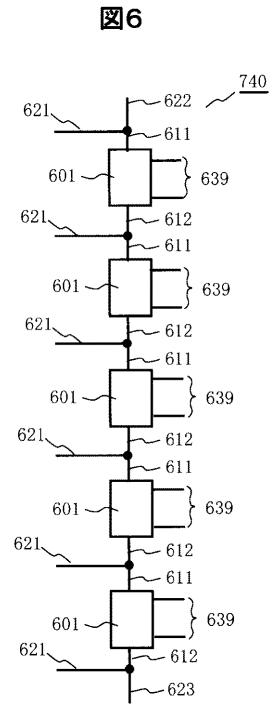
50

7 1	配線	
7 2	コネクタ	
1 1 0	バックライト	
1 3 1	ゲート電極	
1 3 2	ドレイン電極	
1 3 3	ソース電極	
1 3 4	半導体層	
1 3 5	オーミックコンタクト層 (n ⁺ 層)	
1 3 6	ゲート絶縁膜	
1 4 3	無機絶縁膜	10
1 4 4	有機絶縁膜	
1 4 6, 1 4 7	スルーホール	
1 5 0	カラーフィルタ	
1 5 1	オーバーコート層	
1 6 2	ブラックマトリクス	
6 0 1	基準電圧調整回路	
6 5 1, 6 5 2, 6 5 3, 6 5 4	アナログスイッチ	
6 8 1	配線	
6 3 1 ~ 6 3 8	制御信号線	
6 3 9	制御信号線群	20
6 6 1 ~ 6 7 3	抵抗	
7 1 0, 7 2 0	階調基準電圧設定レジスタ	
7 3 0, 8 3 0, 9 2 0	2049フレーム目を知らせるパルス	
7 4 0	階調基準電圧生成回路	
8 1 0, 8 2 0	Hレベル幅設定レジスタ	
8 4 0	クロック生成回路	
9 1 0, 9 2 0	定電流設定レジスタ	

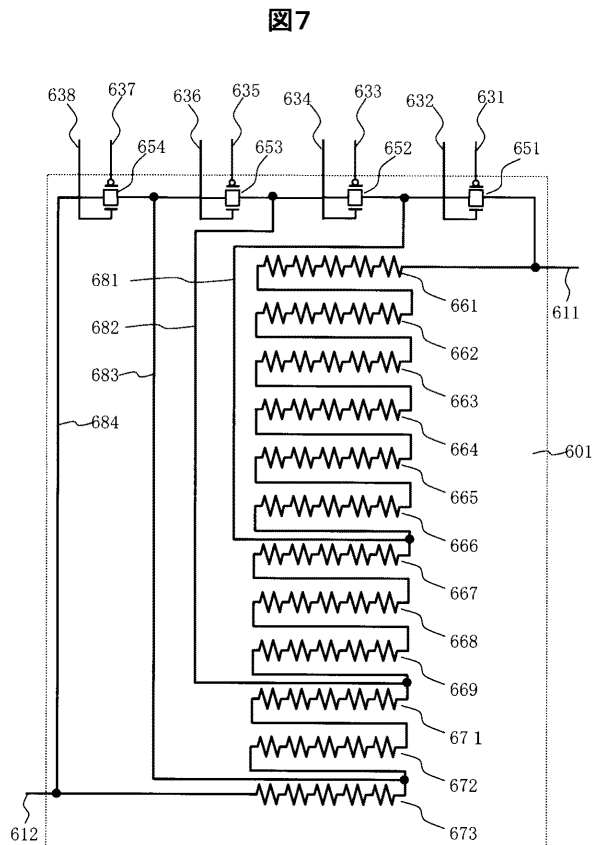
【図 5】



【図 6】

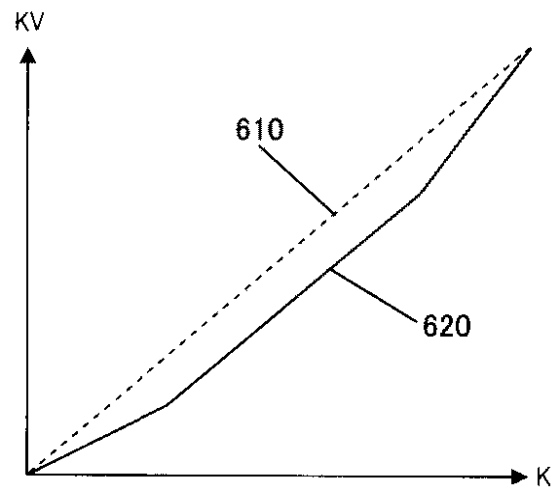


【図 7】



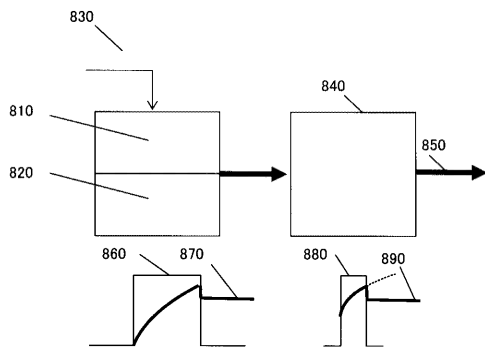
【図 8】

図8



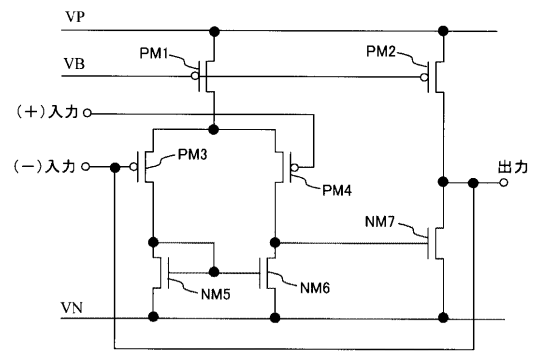
【図 9】

図9

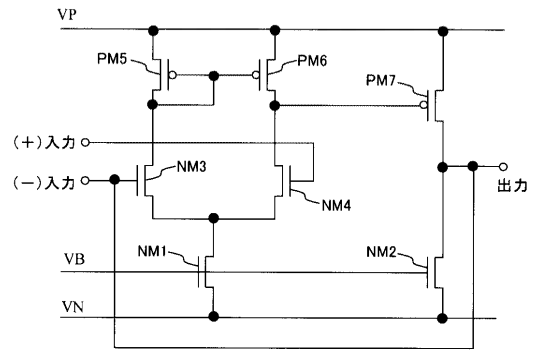


【図 10】

図10



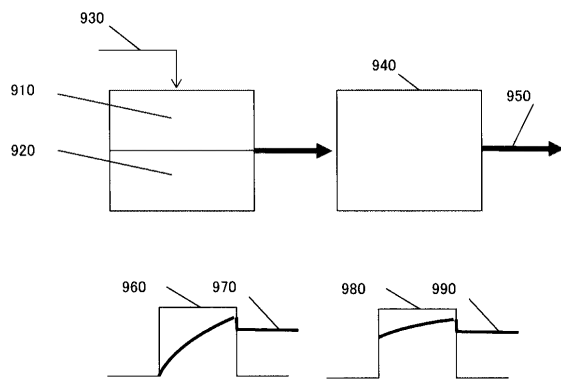
(a)



(b)

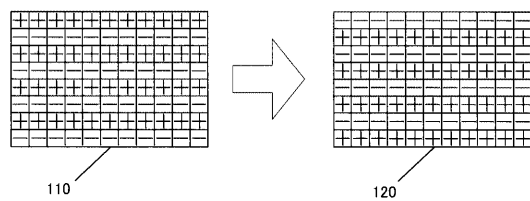
【図 11】

図11



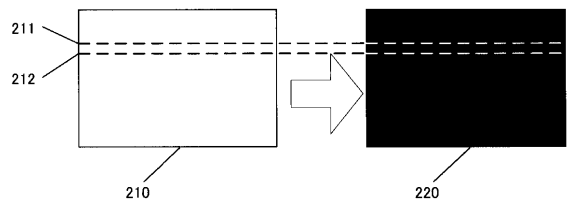
【図 12】

図12

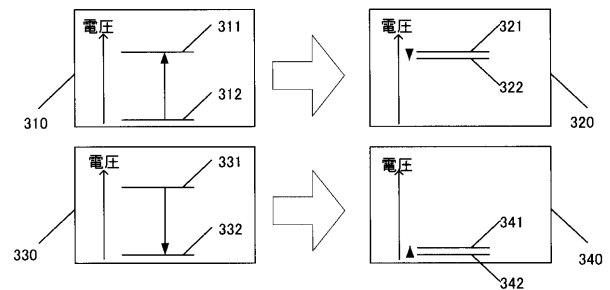


【図 13】

図13



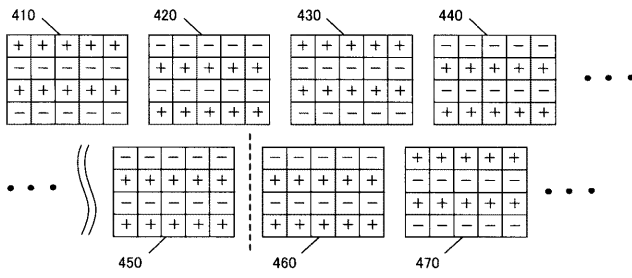
(a)



(b)

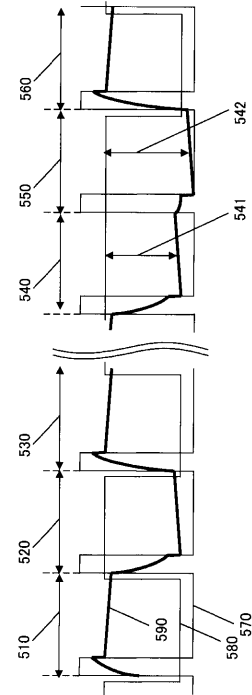
【図 14】

図 14



【図 15】

図 15



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 2 F 1/133	5 2 5
	G 0 2 F 1/133	5 7 5
	H 0 4 N 5/66	1 0 2 B
	G 0 9 G 3/20	6 1 2 F

(72)発明者 岩崎 伸一
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 高橋 洋之
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 松戸 利充
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H093 NA16 NA32 NA33 NA34 NA45 NA53 NC03 NC10 NC12 NC18
NC34 NC65 ND06 ND34 ND35 ND58 NE06
2H193 ZA04 ZC02 ZC15 ZC20 ZC26 ZD23 ZF03 ZF22 ZF36 ZF59
ZH40
5C006 AA16 AC26 AC27 AC29 AF46 BB16
5C058 AA06 AB03 BA02 BA13
5C080 AA10 BB05 DD03 EE28 JJ01 JJ02 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009210607A	公开(公告)日	2009-09-17
申请号	JP2008050417	申请日	2008-02-29
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	田村啓 長尾将志 岩崎伸一 高橋洋之 松戸利充		
发明人	田村 啓 長尾 将志 岩崎 伸一 高橋 洋之 松戸 利充		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3614 G02F2001/133397 G02F2203/30 G09G3/2018 G09G3/3648 G09G3/3685 G09G3/3696 G09G2310/0229 G09G2310/0291 G09G2320/0261		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.641.C G09G3/20.641.Q G02F1/133.550 G02F1/133.525 G02F1/133.575 H04N5/66.102.B G09G3/20.612.F		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA45 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC65 2H093/ND06 2H093/ND34 2H093/ND35 2H093/ND58 2H093/NE06 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZC20 2H193/ZC26 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZH40 5C006/AA16 5C006/AC26 5C006/AC27 5C006/AC29 5C006/AF46 5C006/BB16 5C058/AA06 5C058/AB03 5C058/BA02 5C058/BA13 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE28 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H193/ZA05 2H193/ZA08 2H193/ZA46 2H193/ZB03 2H193/ZB08 2H193/ZC04 2H193/ZC25 2H193/ZD02 2H193/ZD12 2H193/ZE23 2H193/ZF04 2H193/ZF05 2H193/ZF12 2H193/ZF13 2H193/ZF21 2H193/ZF31 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZF43 2H193/ZG03 2H193/ZG05 2H193/ZH30 2H193/ZH53 2H193/ZH54 2H193/ZP02 2H193/ZP03 2H193/ZP04 2H193/ZP13 2H193/ZP15 2H193/ZP16 2H193/ZQ04 2H193/ZQ16		
外部链接	Espacenet		

摘要(译)

要解决的问题：为用于电视显示器的隔行扫描显示器实现与视频信号相对应的高质量显示。解决方案：液晶显示装置具有液晶显示面板，该液晶显示面板包括夹在第一基板和第二基板之间的液晶组合物。液晶显示面板具有由以矩阵阵列排列的多个像素形成的像素区域和沿像素区域的第一侧安装在第一基板上的驱动电路，每个像素包括像素电极，面对的对电极像素电极以相对的方式，以及与像素电极电连接的开关元件。在这样的液晶显示装置中，驱动电路被配置为经由开关元件每隔一个帧周期重写像素区域的每个像素中的视频信号，并且驱动电路包括：第一AC驱动模式，其中极性为在帧周期之后的帧周期中重写的视频信号被反转;第二AC驱动模式，其中在后一帧周期中要重写的视频信号的极性等于帧周期中视频信号的极性，并且校正视频信号的参考电压以降低视频信号的亮度。在第二AC驱动模式中的像素。Z

图 8

