

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2009-3143

(P2009-3143A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.

F 1

テーマコード (参考)

G02F 1/1335 (2006.01)

G O 2 F 1/1335 5 2 0

2H091

G02F 1/1368 (2006.01)

GO2F 1/1368

2H092

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号 特願2007-163274 (P2007-163274)

(22) 出願日 平成19年6月21日 (2007. 6. 21)

(71) 出願人 502356528

株式会社 日立ディスプレイズ

千葉県茂原市早野3300番地

(74) 代理人 100075959

弁理士 小林 保

(72) 発明者 佐藤 健史

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

Fターム(参考) 2H091 FA14Y FA31Y GA02 GA07 GA13

HA06 LA16

2H092 HA05 JA24 JA46 JB58 JB69

KB22 KB25 NA01 PA12 QA06

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】製造工数を増加させることなく、光反射領域における表示の品質を向上させた液晶表示装置の提供。

【解決手段】ゲート信号線からの走査信号によって駆動される薄膜トランジスタを介してドレイン信号線からの

映像信号が供給される画素電極を備える画素を有し、

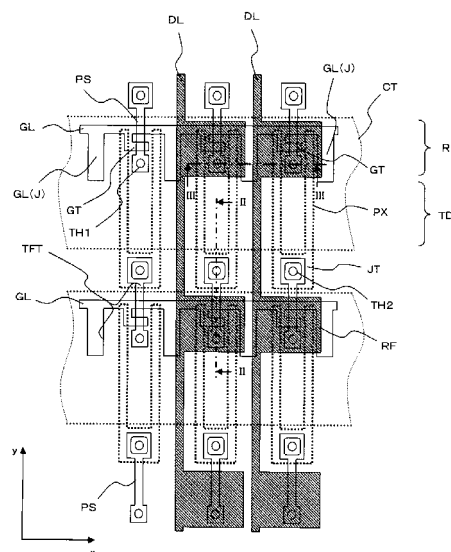
前記画素はその領域内に少なくとも光反射膜を備え、

前記光反射膜は、前記ドレイン信号線と同層であって、その表面に凹凸を有して形成され、

前記光反射膜を被って形成される表面が平坦化された絶縁膜の上面に前記画素電極が形成され、

前記絶縁膜に前記光反射膜と重畳され前記画素電極と絶縁される電極が介層されている。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

ゲート信号線からの走査信号によって駆動される薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極を備える画素を有し、

前記画素はその領域内に少なくとも光反射膜を備え、

前記光反射膜は、前記ドレイン信号線と同層であって、その表面に凹凸を有して形成され、

前記光反射膜を被って形成される表面が平坦化された絶縁膜の上面に前記画素電極が形成され、

前記絶縁膜に前記光反射膜と重畳され前記画素電極と絶縁される電極が介層されていることを特徴とする液晶表示装置。

10

【請求項 2】

前記画素電極と該画素電極と絶縁される前記電極は透明導電膜で形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記光反射膜は、画素の両脇に位置づけられる各ドレイン信号線のうち一方のドレイン信号線と接続され他方のドレイン信号線と分離されて形成され、当該分離箇所には、少なくとも前記ゲート信号線の延在部が重ね合わされて配置されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

液晶表示装置は横電界型からなり、前記画素電極は、該画素電極と絶縁される前記電極と重畳して形成されるとともに、複数の電極群で構成されていることを特徴とする請求項 2 に記載の液晶表示装置。

20

【請求項 5】

液晶表示装置は縦電界型からなり、前記画素電極と絶縁される前記電極は容量電極であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】

前記画素電極と絶縁される前記電極はその表面に凹凸を有する光反射膜で形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

ドレイン信号線と同層で形成される光反射膜と前記画素電極と絶縁される前記電極はその間に介在された絶縁膜を誘電体膜とする容量素子を構成することを特徴とする請求項 6 に記載の液晶表示装置。

30

【請求項 8】

前記画素電極と絶縁される前記電極は、画素の両脇に位置づけられる各ドレイン信号線を跨って形成されていることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】

前記反射膜は、その下層の絶縁膜に形成されたスルーホールを介して前記薄膜トランジスタのドレイン領域に直接に電氣的に接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 10】

前記画素電極は、その下層の絶縁膜に形成されたスルーホールを介して前記薄膜トランジスタのソース領域に直接に電氣的に接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 11】

前記薄膜トランジスタの半導体層はポリシリコン層で構成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は液晶表示装置に係り、いわゆる半透過型と称され、画素領域の一部に光反射領域を備える液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置において、たとえば太陽等の外来光をも光源として画像を認識させるいわゆる半透過型と称される液晶表示装置が知られている。

【0003】

液晶表示装置の各画素領域に、たとえば、バックライトからの光を透過させる光透過領域の他に、光反射膜を備えた光反射領域を設けることによって、該バックライトを消灯させても画像を認識できるように構成することができる。

10

【0004】

このような液晶表示装置は、たとえば、下記特許文献1ないし4に開示がなされている。

【特許文献1】特開2001-350158号公報

【特許文献2】特開2004-29650号公報

【特許文献3】特開平10-186414号公報

【特許文献4】特開2004-154691号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

20

このように構成された液晶表示装置は、その画素の光反射領域に形成する光反射膜において、その表面に反射光の散乱を惹起せしめる凹凸を形成するのが通常となっている。光反射領域における画質の向上が図れるからである。

【0006】

この場合、たとえ該光反射膜を被うように絶縁膜を形成しても該光反射膜の凹凸が該絶縁膜の表面に反映され、光反射領域における液晶の厚みが不均一になってコントラストを低下させるという不都合が生じる。

【0007】

また、製造工数の低減を図るため、前記光反射膜の形成にあって、たとえば信号線と同層に形成する場合があるが、画素電極の間の寄生容量を回避するために該信号線と物理的に分離させて形成することから、該光反射膜の面積を大きくできず、光反射率を大きく確保できないという不都合が生じる。

30

【0008】

本発明の目的は、製造工数を増加させることなく、光反射領域における表示の品質を向上させた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0010】

40

(1) 本発明による液晶表示装置は、たとえば、ゲート信号線からの走査信号によって駆動される薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極を備える画素有し、

前記画素はその領域内に少なくとも光反射膜を備え、

前記光反射膜は、前記ドレイン信号線と同層であって、その表面に凹凸を有して形成され、

前記光反射膜を被って形成される表面が平坦化された絶縁膜の上面に前記画素電極が形成され、

前記絶縁膜に前記光反射膜と重畳され前記画素電極と絶縁される電極が介層されていることを特徴とする。

50

【 0 0 1 1 】

(2) 本発明による液晶表示装置は、たとえば、(1) の構成を前提とし、前記画素電極と該画素電極と絶縁される前記電極は透明導電膜で形成されていることを特徴とする。

【 0 0 1 2 】

(3) 本発明による液晶表示装置は、たとえば、(1) の構成を前提とし、前記光反射膜は、画素の両脇に位置づけられる各ドレイン信号線のうち一方のドレイン信号線と接続され他方のドレイン信号線と分離されて形成され、当該分離箇所には、少なくとも前記ゲート信号線の延在部が重ね合わされて配置されていることを特徴とする。

【 0 0 1 3 】

(4) 本発明による液晶表示装置は、たとえば、(2) の構成を前提とし、液晶表示装置は横電界型からなり、前記画素電極は、該画素電極と絶縁される前記電極と重畳して形成されるとともに、複数の電極群で構成されていることを特徴とする。

10

【 0 0 1 4 】

(5) 本発明による液晶表示装置は、たとえば、(2) の構成を前提とし、液晶表示装置は縦電界型からなり、前記画素電極と絶縁される前記電極は容量電極であることを特徴とする。

【 0 0 1 5 】

(6) 本発明による液晶表示装置は、たとえば、(1) の構成を前提とし、前記画素電極と絶縁される前記電極はその表面に凹凸を有する光反射膜で形成されていることを特徴とする。

20

【 0 0 1 6 】

(7) 本発明による液晶表示装置は、たとえば、(6) の構成を前提とし、ドレイン信号線と同層で形成される光反射膜と前記画素電極と絶縁される前記電極はその間に介在された絶縁膜を誘電体膜とする容量素子を構成することを特徴とする。

【 0 0 1 7 】

(8) 本発明による液晶表示装置は、たとえば、(6) の構成を前提とし、前記画素電極と絶縁される前記電極は、画素の両脇に位置づけられる各ドレイン信号線を跨って形成されていることを特徴とする。

【 0 0 1 8 】

(9) 本発明による液晶表示装置は、たとえば、(1) の構成を前提とし、前記反射膜は、その下層の絶縁膜に形成されたスルーホールを介して前記薄膜トランジスタのドレイン領域に直接に電氣的に接続されていることを特徴とする。

30

【 0 0 1 9 】

(1 0) 本発明による液晶表示装置は、たとえば、(1) の構成を前提とし、前記画素電極は、その下層の絶縁膜に形成されたスルーホールを介して前記薄膜トランジスタのソース領域に直接に電氣的に接続されていることを特徴とする。

【 0 0 2 0 】

(1 1) 本発明による液晶表示送致は、たとえば、(1) の構成を前提とし、前記薄膜トランジスタの半導体層はポリシリコン層で構成されていることを特徴とする。

【 0 0 2 1 】

40

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【 発明の効果 】

【 0 0 2 2 】

このように構成した液晶表示装置は、製造工数を増加させることなく、光反射領域における表示の品質を向上させることができる。

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【 0 0 2 4 】

50

実施例 1

(等価回路)

図 9 は、本発明による液晶表示装置の一実施例を示す等価回路図である。この実施例における液晶表示装置はいわゆる横電界型と称されるもので、液晶を介して対向配置される各基板のうち一方の基板 SUB 1 の液晶側の画素領域において画素電極と対向電極とを備えるように構成される。

【0025】

図 9 において、まず、たとえばガラスからなる基板 SUB 1 があり、この基板 SUB 1 の液晶側の面において、その x 方向に延在し y 方向に並設されるゲート信号線 GL、および y 方向に延在し x 方向に並設されるドレイン信号線 DL が形成されている。

10

【0026】

これらゲート信号線 GL とドレイン信号線 DL とで囲まれる矩形状の領域は画素 PIX が形成される領域となっている。そして、これら各画素 PIX はマトリックス状に配置され、その集合体は液晶表示領域 AR を構成するようになっている。

【0027】

また、これら各画素 PIX の領域にはゲート信号線 GL と平行に配置される対向電極 CT が配置されている。

【0028】

各ゲート信号線 GL と対向電極 CT のたとえば一端（図中右端）は前記液晶表示領域 AR の外側に配置されている走査信号・対向電極駆動回路 V に接続されている。この走査信号・対向電極駆動回路 V によって、各ゲート信号線 GL には順次走査信号が供給されるとともに、対応する対向電極 CT に映像信号に対して基準となる基準信号が供給されるようになっている。

20

【0029】

各ドレイン信号線 DL のたとえば一端（図中下側）は前記液晶表示領域 AR の外側に配置されている映像信号駆動回路 H に接続されている。この映像信号駆動回路 H によって、各ドレイン信号線 DL には前記走査信号の供給のタイミングに合わせて映像信号が供給されるようになっている。

【0030】

各画素には、ゲート信号線 GL からの走査信号によってオンする薄膜トランジスタ TFT を備え、このオンされた薄膜トランジスタ TFT を介してドレイン信号線 DL からの映像信号が画素電極 PX に印加されるようになっている。

30

【0031】

そして、画素電極 PX と前記対向電極 CT の間の電位差に応じた電界が液晶 LC に印加されるようになり、該電界に応じて液晶 LC の分子が挙動するようになっている。

【0032】

この場合、画素電極 PX と対向電極 CT の間には液晶 LC による容量の他に保持容量 C1、絶縁膜容量 C2 が形成されている。このような各容量によって、画素電極 PX に供給された映像信号による電荷が該画素電極 PX に比較的長く蓄積されるようになっている。

【0033】

40

(画素の構成)

図 1 は、本発明による液晶表示装置の画素の構成を示す図で、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面の構成を示す平面図である。また、図 2 は、図 1 の II-II 線における断面図である。

【0034】

なお、図 1 において、図中 y 方向へ延在し x 方向へ並設される各ドレイン信号線 DL と x 方向へ延在し y 方向へ並設される各ゲート信号線 GL で囲まれた各領域において一画素が構成されている。

【0035】

そして、これら各画素において図中上側の領域において反射領域 RD を構成し、下側の

50

領域において透過領域 T D を構成している。

【 0 0 3 6 】

また、この実施例では、各画素に備えられる薄膜トランジスタ T F T は、たとえば、当該画素の図中下側に隣接された他の画素の反射領域 R D 内に形成されるようになっている。

【 0 0 3 7 】

まず、ガラスからなる基板 S U B 1 (図 2 参照) があり、この基板 S U B 1 の液晶側の表面には、 S i N からなる下地絶縁膜 I N 1 (図 2 参照) および S i O からなる下地絶縁膜 I N 2 (図 2 参照) が順次積層されて形成されている。これら下地絶縁膜 I N 1 および I N 2 は該基板 S U B 1 内の不純物が後述する半導体層 P S への侵入を阻止する機能を有する。

10

【 0 0 3 8 】

前記下地絶縁膜 I N 2 の表面に島状からなる半導体層 P S が形成されている。この半導体層 P S は、たとえばポリシリコンからなり、各画素の画素駆動素子として機能する薄膜トランジスタ T F T の半導体層として構成されている。

【 0 0 3 9 】

この半導体層 P S は、図中 y 方向に延在し、その一端側は当該画素の領域において、他端側は当該画素の下側に隣接する他の画素の領域に位置づけられて形成されている。

【 0 0 4 0 】

なお、この半導体層 P S は、後に説明で明らかとなるように、ゲート絶縁膜 G I を介して、そのほぼ中央部においてゲート信号線 G L (ゲート電極 G T) が交差するようにして配置され、その前記一端側はドレイン領域、前記他端側がソース領域として機能するようになっている。

20

【 0 0 4 1 】

ここで、薄膜トランジスタ T F T は、そのバイアスの印加状態によってドレイン領域とソース領域が入れ替わることになるが、この明細書では、便宜上、後述のドレイン信号線 D L と接続される側をドレイン領域、後述の画素電極 P X と接続される側をソース領域と称する。

【 0 0 4 2 】

そして、このように半導体層 P S が形成された基板 S U B 1 の表面にはたとえば S i O からなる絶縁膜 G I が形成されている。この絶縁膜 G I は前記薄膜トランジスタ T F T の形成領域においてそのゲート絶縁膜として機能するようになっている。

30

【 0 0 4 3 】

前記絶縁膜 G I の表面には図中 x 方向に延在し y 方向に並設されてゲート信号線 G L が形成されている。このゲート信号線 G L は、図中上下に配置される各画素の領域の間において前記半導体層 P S のほぼ中央を交差するようにして形成されている。

【 0 0 4 4 】

そして、このゲート信号線 G L は、前記半導体層 P S の交差部の近傍において、該ゲート信号線 G L から枝別れし前記半導体層 P S のほぼ中央部を交差して配置されるゲート電極 G T を備えたパターンとして形成されている。ここで、前記ゲート信号線 G L の前記半導体層 P S の交差部も薄膜トランジスタ T F T のゲート電極として機能するようになっている。

40

【 0 0 4 5 】

なお、前記ゲート信号線 G L およびゲート電極 G T を形成した後に、これらゲート信号線 G L およびゲート電極 G T をマスクとして不純物をドーブすることによって、前記半導体層 P S の前記ゲート信号線 G L およびゲート電極 G T の下方にチャネル領域が形成された薄膜トランジスタ T F T を得ることができるようになっている。

【 0 0 4 6 】

また、前記ゲート信号線 G L は、図中下側の画素の領域に及んで図中 y 方向に延在する突出部 G L (J) を有するパターンとして形成されている。この突出部 G L (J) は、後

50

に説明で明らかとなるが、該突出部 G L (J) が延在される側の画素において反射膜 (図 1 において符号 R F で示す) とドレイン信号線 D L との間の隙間に重ね合わされて形成され、前記反射膜 R F と異なる反射膜として機能するようになっている。

【 0 0 4 7 】

そして、ゲート信号線 G L が形成された基板 S U B 1 の表面にはたとえば S i N からなる絶縁膜 I N 3 (図 2 参照) が形成され、さらに、その上面には樹脂等の有機材料からなる絶縁膜 I N 4 (図 2 参照) が塗布によって形成されている。この絶縁膜 I N 4 を形成することによってその表面を平坦化できるようになっている。

【 0 0 4 8 】

絶縁膜 I N 4 の表面にはドレイン信号線 D L が図中 y 方向に延在し x 方向に並設されて形成されている。

10

【 0 0 4 9 】

このドレイン信号線 D L は、たとえばその図中右側の各画素の反射領域 R D に形成される反射膜 R F と一体化させて形成されている。これにより、該反射膜 R F はドレイン信号線 D L の形成と同時に形成され、製造工数の低減を図ることができるようになる。また、該反射膜 R F の面積を大きくして形成することができる。

【 0 0 5 0 】

そして、該反射膜 R F は前記ドレイン信号線 D L と隣接して配置される図中右側のドレイン信号線 D L と僅かな隙間を有して離間されている。隣接するドレイン信号線 D L 同士で電気的な接続がなされないようにするためである。

20

【 0 0 5 1 】

前記反射膜 R F とドレイン信号線 D L との間の前記隙間の部分には、平面的に観た場合、前記ゲート信号線 G L の突出部 G L (J) が該隙間を十分に埋めるようにして配置され、該隙間においても、前記突出部 G L (J) によって光反射機能をもたせるように構成している。

【 0 0 5 2 】

該ドレイン信号線 D L と反射膜 R F は、M o W 合金層と A l 合金層が順次積層された積層体から構成され、前記 A l 合金層は前記反射膜 R F において反射効率の良好な面として機能するようになっている。

【 0 0 5 3 】

各画素の反射領域 R D に形成される前記反射膜 R F は、ゲート信号 G L (前記突出部 G L (J) を除く) および薄膜トランジスタ T F T (そのソース領域側の端部を除く) を被って形成されている。

30

【 0 0 5 4 】

また、前記反射膜 R F はその表面に多数の凹部 (凸部) R G 2 が形成されている。少なくとも前記反射膜 R F が形成される前記絶縁膜 I N 4 の表面に凹部 (凸部) R G 1 を形成することによって、該凹部 (凸部) R G 1 を該反射膜 R F の表面に反映させるようにしたものである。このように前記反射膜 R F の表面に多数の凹部 (凸部) R G 2 を形成することによって、該反射膜 R F の反射光を散乱させるようにしている。

【 0 0 5 5 】

そして、このように構成される前記反射膜 R F は、その下層の絶縁膜 I N 4 、 I N 3 および絶縁膜 G I を貫通して形成されるスルーホール T H 1 を通して、薄膜トランジスタ T F T のドレイン領域と直接に (ドレイン電極を介することなく) 接続がなされるようになっている。ドレイン信号線 D L からの映像信号はこの反射膜 R F を介して薄膜トランジスタ T F T のドレイン領域に供給されるようになっている。

40

【 0 0 5 6 】

このようにドレイン信号線 D L および反射膜 R F が形成された基板 S U B 1 の表面には、たとえば樹脂等の有機材料からなる絶縁膜 I N 5 が形成されている。これにより該絶縁膜 I N 5 の表面は、たとえ前記反射膜 R F に凹部 (凸部) R G 2 が形成されていても、平坦化されて形成される。このことは、少なくとも光反射領域 R D において、液晶 L C の厚

50

さを均一にでき、表示の品質の向上を図ることができる。

【 0 0 5 7 】

この絶縁膜 I N 5 の表面にはたとえば I T O (Indium Tin Oxide) 等の透明導電膜からなる対向電極 C T が形成されている。

【 0 0 5 8 】

この対向電極 C T は後述の画素電極 P X との間に電界を発生せしめる電極で、各画素において反射領域 R D および透過領域 T D に形成され、薄膜トランジスタ T F T のソース領域側の端部を被うことなく形成されている。これにより、後述の画素電極 P X とドレイン信号線 D L の間に絶縁された対向電極 C T が形成され、前記ドレイン信号線 D L と同層で接続された反射膜 R F を形成したとしても、ドレイン信号線 D L からの電界を前記対向電極 C T によって遮蔽でき、画素電極 P X に影響を及ぼすことがなく、画質の低下を抑制できるようになる。

10

【 0 0 5 9 】

対向電極 C T が薄膜トランジスタ T F T のソース領域側の端部を被うのを回避させているのは、後述の画素電極 P X と該ソース領域側の端部を電氣的に接続させる必要があるからである。

【 0 0 6 0 】

各画素の対向電極 C T は図中左右に配置される画素の対向電極 C T と互いに接続されて形成され、これにより、該対向電極 C T は各ドレイン信号線 D L を跨ぐようにして形成されている。

20

【 0 0 6 1 】

このように対向電極 C T が形成された基板 S U B 1 の表面には、たとえば S i N からなる絶縁膜 I N 6 (図 2 参照) が形成されている。

【 0 0 6 2 】

そして、この絶縁膜 I N 6 の表面にはたとえば I T O (Indium Tin Oxide) 等の透明導電膜からなる画素電極 P X が形成されている。

【 0 0 6 3 】

この画素電極 P X は、図中 y 方向に延在され x 方向に並設された複数 (図では 2 個) の帯状の電極の一端を互いに接続させた接続部 J T を有する電極群から構成され、該接続部 J T を除く各電極は前記対向電極 C T と重畳させるように配置されている。この場合、対向電極 C T に対する画素電極 P X の重畳部は、絶縁膜 I N 6 を誘電体膜とする保持容量を構成するようになっている。

30

【 0 0 6 4 】

前記画素電極 P X の接続部 J T は、絶縁膜 I N 6 、 I N 5 、 I N 4 、 I N 3 、 G I を貫通して形成されているスルーホール T H 3 を通して、前記薄膜トランジスタ T F T のソース領域の一部に直接に (ソース電極を介することなく) 接続されている。

【 0 0 6 5 】

なお、対向電極 C T に重畳されて形成される画素電極 P X は該対向電極 C T との間に絶縁膜 I N 6 を誘電体とする容量素子を形成するようになっている。

【 0 0 6 6 】

40

(基板 S U B 2)

図 3 は、前記基板 S U B 1 に液晶 L C を介して基板 S U B 2 を対向配置させて組み立てた際の構成を示す図であり、図 1 の I I I - I I I 線に相当する箇所の断面図に相当する。

【 0 0 6 7 】

図 3 に示す前記基板 S U B 1 は、その液晶 L C の側の表面において前記画素電極 P X を被って配向膜 O R I 1 が形成されている。液晶 L C の分子の初期配向方向を決定させるためである。

【 0 0 6 8 】

また、前記基板 S U B 1 の液晶 L C の側の反対側の面において位相差板 O R B 1 および偏光板 P O L 1 が順次積層されて形成されている。後述の基板 S U B 2 に形成された位相

50

差板 O R B 2 および偏光板 P O L 2 とともに液晶 L C の分子の挙動を可視化させるためである。

【 0 0 6 9 】

該基板 S U B 1 と液晶 L C を介在させて配置される基板 S U B 2 は、その液晶 L C 側の面において、カラーフィルタ F I L が形成されている。このカラーフィルタ F I L は、図中左側から右側にかけて、画素毎にたとえば赤 (R)、緑 (G)、青 (B) に着色されたものが順次配置され、以降において、この順番が繰り返されるようになっている。

【 0 0 7 0 】

このようにカラーフィルタ F I L が形成された基板 S U B 2 の面には配向膜 O R I 2 が形成されている。

【 0 0 7 1 】

また、前記基板 S U B 2 の液晶 L C の側の反対側の面において位相差板 O R B 2 および偏光板 P O L 2 が順次積層されて形成されている。

【 0 0 7 2 】

なお、図 3 においては、液晶表示装置を光反射型として機能させた場合に、たとえば太陽光等の外光が、基板 S U B 2、液晶 L C、を透過し、基板 S U B 2 に形成された反射膜 R F によって反射され、液晶 L C、基板 S U B 2 を透過する様を矢印 L によって示している。

【 0 0 7 3 】

(実施例 1 の構成の効果)

このように構成された液晶表示装置は、光反射領域 R D に形成される反射膜 R F に凹部 (凸部) R G が形成されていても、その上面は平坦化膜からなる絶縁膜 I N 5 によって被われていることから、液晶 L C の厚みを均一化でき、表示の品質を向上させることができる。

【 0 0 7 4 】

また、画素電極 P X とドレイン信号線 D L の間に絶縁された対向電極 C T が形成されていることから、前記ドレイン信号線と同層で接続された反射膜 R F を形成したとしても、ドレイン信号線 D L からの電界を前記対向電極 C T によって遮蔽でき、画素電極 P X に影響を及ぼすことがないので、画質の低下を抑制できるようになる。

【 0 0 7 5 】

また、平面的に観た場合、前記反射膜 R F と接続されたドレイン信号線 D L と該反射膜 R F を間に隣接する他のドレイン信号線 D L と該反射膜 R F との隙間には、ゲート信号線 G L およびこのゲート信号線 G L の突出部 G L (J) が配置されていることから、光反射領域 R D における光反射効率の向上を図ることができる。

【 0 0 7 6 】

(製造方法)

図 4 ないし図 8 は、図 1 に示した液晶表示装置の製造方法の一実施例を示す工程図で、特に、基板 S U B 1 の液晶側の面の構成においての製造工程を示している。図 4 ないし図 8 の各図において、(a) は平面図を、(b) は (a) の b - b 線における断面図を示している。以下、工程順に説明をする。

【 0 0 7 7 】

図 4 (a)、(b)

基板 S U B 1 を用意し、その表面に S i N からなる下地絶縁膜 I N 1 および S i O からなる下地絶縁膜 I N 2 を順次形成する。

【 0 0 7 8 】

前記基板 S U B 1 の下地絶縁膜 I M 2 の表面の全域にたとえば C V D 法を用いてアモルファスシリコン層を形成し、レーザ光を照射することによって該アモルファスシリコン層を結晶化しポリシリコン層とする。そして、このポリシリコン層をフォトリソグラフィ技術による選択エッチングをすることにより半導体層 P S を形成する。この半導体層 P S は薄膜トランジスタ T F T の半導体層となるものである。

10

20

30

40

50

【 0 0 7 9 】

そして、該半導体層 P S をも被って基板 S U B 1 の表面にたとえば C V D 法を用いて絶縁膜 G I を形成する。

【 0 0 8 0 】

前記絶縁膜 G I の表面にたとえばスパッタリング法を用いて M o W 合金層を形成し、この M o W 合金層をフォトリソグラフィ技術による選択エッチング法によりゲート信号線 G L を形成する。

【 0 0 8 1 】

その後、前記ゲート信号線 G L のパターン化の際に用いたフォトレジスト膜をそのまま残存させ、N 型不純物（例えばリン）をイオン注入し、フォトレジスト除去後にさらに低濃度のドーパントをイオン注入することにより、L D D 領域が形成された N 型の薄膜トランジスタ T F T をいわゆる自己整合的に形成する。

【 0 0 8 2 】

図 5 (a)、(b)

前記ゲート信号線 G L をも被って基板 S U B 1 の表面にたとえば C V D 法を用いて絶縁膜 I N 3 を形成し、さらに、この絶縁膜 I N 3 の表面に感光性の樹脂等からなる絶縁膜 I N 4 を形成する。

【 0 0 8 3 】

そして、該絶縁膜 I N 4 の表面において、反射領域 R D となる部分に多数の散在する凹部（凸部）R G 1 を形成する。これら凹部（凸部）R G 1 の形成は、たとえば、部分的に光の透過率を変化させたいいわゆるハーフ露光マスクを介した露光によるフォトリソグラフィ技術を用いて行う。この際、前記絶縁膜 I N 4 にスルーホール T H 1、T H 2 を形成する工程は同時になされるようにし、工数の低減を図るようにしている。

【 0 0 8 4 】

その後、このスルーホール T H 1、T H 2 が形成された前記絶縁膜 I N 4 をマスクとして絶縁膜 I N 3、G I にコンタクトホールを形成し、前記半導体層 P S の各端部の一部を露出させるようにする。これにより、薄膜トランジスタ T F T のドレイン領域およびソース領域のそれぞれの一部が露出されるようになる。

【 0 0 8 5 】

図 6 (a)、(b)

前記絶縁膜 I N 4 の表面にたとえば M o W 合金膜および A l 合金膜を順次積層させて形成し、この積層体膜をフォトリソグラフィ技術による選択エッチング法によって、ドレイン信号線 D L および反射膜 R F を形成する。この場合のドレイン信号線 D L および反射膜 R F の形成は同時になされるようにし、工数の低減を図るようにしている。

【 0 0 8 6 】

前記反射膜 R F の表面は、その下地層となる絶縁膜 I N 4 の表面に形成された前記凹部（凸部）R G 1 が反映され、該凹部（凸部）R G 1 と同様の凹部（凸部）R G 2 が形成されるようになる。

【 0 0 8 7 】

また、前記反射膜 R F は、薄膜トランジスタ T F T のドレイン領域を露出させた前記スルーホール T H 1 を被って形成され、該薄膜トランジスタ T F T のドレイン領域に直接に接続されるようになる。

【 0 0 8 8 】

図 7 (a)、(b)

基板 S U B 1 の表面にたとえば樹脂を塗布することによって絶縁膜 I N 5 を形成する。これにより表面が平坦化された絶縁膜 I N 5 を形成することができる。

【 0 0 8 9 】

この絶縁膜 I N 5 の表面にたとえば I T O 膜を形成し、フォトリソグラフィ技術による選択エッチングにより対向電極 C T を形成する。

【 0 0 9 0 】

図 8 (a)、(b)

基板 SUB 1 の表面に SiN からなる絶縁膜 IN 6 を形成する。そして、該絶縁膜 IN 6、IN 5、IN 4、IN 3、GI を貫通するスルーホール TH 3 を形成し、前記薄膜トランジスタ TFT のソース領域の一部を露出させる。

【 0 0 9 1 】

なお、たとえば樹脂等の有機材料からなる前記絶縁膜 IN 5、IN 4 は、前記絶縁膜 IN 6 の開口の際に用いたフォトレジスト膜および該絶縁膜 IN 6 をマスクとし、たとえば酸素を用いたドライエッチングによって開口することにより、フォト工程の低減を図ることができる。

【 0 0 9 2 】

次に、前記絶縁膜 IN 6 の表面にたとえば ITO 膜を形成し、フォトリソグラフィ技術による選択エッチングにより画素電極 PX を形成する。

【 0 0 9 3 】

この画素電極 PX は、前記スルーホール TH 3 を通して前記薄膜トランジスタ TFT のソース領域に直接に接続され、複数の電極からなる電極群として形成されるようになる。

【 0 0 9 4 】

実施例 2

(等価回路)

図 1 7 は、本発明による液晶表示装置の他の実施例を示す等価回路図で、図 9 と対応した図となっている。図 1 7 に示す液晶表示装置はいわゆる縦電界方式と称される構成となっている。

【 0 0 9 5 】

図 9 の場合と比較して異なる構成は、まず、基板 SUB 1 側に対向電極 CT が形成されていない構成となっている。該基板 SUB 1 と液晶 LC を介して対向配置される基板 SUB 2 の液晶側の面に対向電極が形成されているからである。

【 0 0 9 6 】

そして、各画素 PIX には容量電極線 CPL が形成され、各画素 PIX の画素電極 PX と該容量電極線 (容量電極) CPL との間には保持容量 C 1 が形成されている。

【 0 0 9 7 】

(画素の構成)

図 1 0 は、本発明による液晶表示装置の他の実施例を示す構成図で、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面の構成を示す平面図である。また、図 1 1 (a) は、図 1 0 の XI (a) - XI (a) 線における断面図、図 1 1 (b) は、図 1 0 の XI (b) - XI (b) 線における断面図、図 1 1 (c) は、図 1 0 の XI (c) - XI (c) 線における断面図である。

【 0 0 9 8 】

なお、図 1 0 において、図中 y 方向へ延在し x 方向へ並設される各ドレイン信号線 DL と x 方向へ延在し y 方向へ並設される各ゲート信号線 GL で囲まれた各領域において一画素が構成されている。

【 0 0 9 9 】

そして、これら各画素において図中上側の領域において各ドレイン信号線 DL の離間距離よりも小さな幅を有する光透過領域 TD を構成し、他の残りの領域において光反射領域 RD を構成している。

【 0 1 0 0 】

また、この実施例では、各画素に備えられる薄膜トランジスタ TFT は、たとえば、当該画素の図中下側に隣接された他の画素の上部に形成されるようになっている。

【 0 1 0 1 】

まず、ガラスからなる基板 SUB 1 (図 1 1 参照) があり、この基板 SUB 1 の液晶側の表面には、SiN からなる下地絶縁膜 IN 1 (図 1 1 参照) および SiO からなる下地絶縁膜 IN 2 (図 1 1 参照) が順次積層されて形成されている。これら下地絶縁膜 IN 1

10

20

30

40

50

および I N 2 は該基板 S U B 1 内の不純物が後述する半導体層 P S への侵入を阻止する機能を有する。

【 0 1 0 2 】

前記下地絶縁膜 I N 2 の表面において画素の図中下側に島状からなる半導体層 P S が形成されている。この半導体層 P S は、たとえばポリシリコンからなり、各画素の画素駆動素子として機能する薄膜トランジスタ T F T の半導体層として構成されている。

【 0 1 0 3 】

この半導体層 P S は、後述のゲート信号線 G L と交差するように延在し、さらに図中左側屈曲して形成されている。これにより、該半導体層 P S の一端側は当該画素の領域において、他端側は当該画素の下側に隣接する他の画素の領域に位置づけられて形成されている。

10

【 0 1 0 4 】

なお、この半導体層 P S は、後述のゲート絶縁膜 G I 1、G I 2 を介して、前記ゲート信号線 G L および該ゲート信号線 G L から延在されて形成されたゲート電極 G T と交差するようにして配置され、その前記一端側はドレイン領域、前記他端側はソース領域として機能するようになっている。

【 0 1 0 5 】

そして、このように半導体層 P S が形成された基板 S U B 1 の表面にはたとえば S i O からなる絶縁膜 G I 1 (図 1 1 参照) および S i N からなる絶縁膜 G I 2 (図 1 1 参照) が積層されて形成されている。この絶縁膜 G I 1、G I 2 は前記薄膜トランジスタ T F T の形成領域においてそのゲート絶縁膜として機能するようになっている。

20

【 0 1 0 6 】

前記絶縁膜 G I 2 の表面には図中 x 方向に延在し y 方向に並設されてゲート信号線 G L が形成されている。このゲート信号線 G L は、図中上下に配置される各画素の領域の間において前記半導体層 P S を交差するようにして形成されている。

【 0 1 0 7 】

そして、このゲート信号線 G L は、前記半導体層 P S の交差部の近傍において、該ゲート信号線 G L から枝別れし前記半導体層 P S のほぼ中央部を交差して配置されるゲート電極 G T を備えたパターンとして形成されている。前記ゲート信号線 G L の前記半導体層 P S の交差部も薄膜トランジスタ T F T のゲート電極として機能するようになっている。

30

【 0 1 0 8 】

なお、前記ゲート信号線 G L およびゲート電極 G T を形成した後に、これらゲート信号線 G L およびゲート電極 G T をマスクとして不純物をドーブすることによって、前記半導体層 P S の前記ゲート信号線 G L およびゲート電極 G T の下方にチャネル領域が形成された薄膜トランジスタ T F T を得ることができるようになっている。

【 0 1 0 9 】

そして、ゲート信号線 G L が形成された基板 S U B 1 の表面にはたとえば樹脂等の有機材料からなる絶縁膜 I N 3 (図 1 1 参照) が形成されている。この絶縁膜 I N 3 を形成することによってその表面を平坦化できるようになっている。

【 0 1 1 0 】

また、この絶縁膜 I N 3 の表面には、後述のドレイン信号線 D L と薄膜トランジスタ T F T のドレイン領域との接続部を除いた領域に多数の散在された凹部 (凸部) R G 1 が形成されている。

40

【 0 1 1 1 】

このように形成された絶縁膜 I N 3 の表面にはドレイン信号線 D L が図中 y 方向に延在し x 方向に並設されて形成されている。

【 0 1 1 2 】

そして、前記ドレイン信号線 D L の一部は、絶縁膜 I N 3、G I 2、G I 1 に貫通して形成されたスルーホール T H 1 を通して、前記薄膜トランジスタ T F T のドレイン領域と直接に電氣的に接続されている。

50

【 0 1 1 3 】

また、前記ドレイン信号線 D L の形成の際に同時に形成される第 1 反射膜 R F 1 が、画素の図中下側の領域において、該ドレイン信号線 D L とは物理的に分離されて、すなわち該ドレイン信号線 D L と若干離間されて形成されている。

【 0 1 1 4 】

そして前記第 1 反射膜 R F 1 の一部は、絶縁膜 I N 3、G I 2、G I 1 に貫通して形成されたスルーホール T H 1 を通して、前記薄膜トランジスタ T F T のソース領域と直接に電氣的に接続されている。

【 0 1 1 5 】

ここで、ドレイン信号線 D L と第 1 反射膜 R F 1 は、いずれも、たとえば M o C r 合金と A g 合金の順次積層体から構成されている。M o C r 合金は半導体層 P S との接続が良好となり、A g 合金は高い光反射率を有するからである。

【 0 1 1 6 】

また、前記ドレイン信号線 D L の前記薄膜トランジスタ T F T のドレイン領域との接続部を除く他の部分、および第 1 反射膜 R F 1 において、その表面に凹部（凸部）R G 2 が形成されている。これらの凹部（凸部）R G 2 は前記絶縁膜 I N 3 の表面に形成された凹部（凸部）R G 1 が反映されて形成されたものである。

【 0 1 1 7 】

このようにドレイン信号線 D L および第 1 反射膜 R F 1 が形成された基板 S U B 1 の表面には、たとえば S i N からなる絶縁膜 I N 4（図 1 1 参照）が形成されている。この絶縁膜 I N 4 の表面にも凹部（凸部）R G 3 が形成され、これらの凹部（凸部）R G 3 は前記絶縁膜 I N 3 の表面に形成された凹部（凸部）R G 2 が反映されて形成されたものとなっている。

【 0 1 1 8 】

そして、前記絶縁膜 I N 4 の表面にはたとえば A g 合金からなる第 2 反射膜 R F 2 が形成されている。

【 0 1 1 9 】

この第 2 反射膜 R F 2 には、画素の光透過領域 T D となる部分、さらに光反射領域 R D の一部であって、前記第 1 反射膜 R F 1 と後述の画素電極 P X との電氣的接続部（図中スルーホール T H 3 で示す）を少なくとも含むようにして開口 O H が形成されている。

【 0 1 2 0 】

この第 2 反射膜 R F 2 の前記開口 O H は、その図中左右の各ドレイン信号線 D L から若干の距離を有して形成され、これにより、前記光透過領域 T D と各ドレイン信号線 D L との間の領域を光反射領域として機能させるようになっている。

【 0 1 2 1 】

そして、この第 2 反射膜 R F 2 は、図 1 7 に示した容量電極線（容量電極）C P L として機能し、前記第 1 反射膜 R F 1 との間に前記絶縁膜 I N 4 を誘電体膜とする容量素子を構成するようになっている。

【 0 1 2 2 】

前記第 2 反射膜 R F 2 の表面に凹部（凸部）R G 4 が形成されている。これらの凹部（凸部）R G 4 は前記絶縁膜 I N 4 の表面に形成された凹部（凸部）R G 3 が反映されて形成されたものである。

【 0 1 2 3 】

このように第 2 反射膜 R F 2 が形成された基板 S U B 1 の表面には、たとえば樹脂等の有機材料からなる絶縁膜 I N 4 が形成されている。これにより該絶縁膜 I N 4 の表面は平坦化されたものとなっている。

【 0 1 2 4 】

そして、画素内の領域において前記絶縁膜 I N 4 の表面に画素電極 P X が形成されている。この画素電極 P X は画素の僅かな周辺を除く中央の大部分の領域に形成され、絶縁膜 I N 5、I N 4 を貫通して形成されたスルーホール T H 3 を通して前記第 1 反射膜 R F 1

10

20

30

40

50

に直接に接続されている。これにより、画素電極 P X は、前記第 1 反射膜 R F 1 を介して薄膜トランジスタ T F T のソース領域に電氣的に接続されるようになる。

【 0 1 2 5 】

(実施例 2 の構成の効果)

このように構成された液晶表示装置は、第 1 反射膜 R F 1 および第 2 反射膜 R F 2 によって効率的な光反射を行うことができるようになる。

【 0 1 2 6 】

また、第 1 反射膜 R F 1 はドレイン信号線 D L の形成の際に同時に形成していることから、製造工数の増大を回避させることができる。

【 0 1 2 7 】

また、平坦化膜からなる絶縁膜 I N 5 の上面に画素電極 P X を形成した構成としたことから、液晶 L C の厚みを均一化でき、表示の品質を向上させることができる。

【 0 1 2 8 】

製造方法

図 1 2 ないし図 1 6 は、図 1 0 に示した液晶表示装置の製造方法の一実施例を示す工程図で、特に、基板 S U B 1 の液晶側の面の構成においての製造工程を示している。図 1 2 ないし図 1 6 の各図において、(a) は平面図を、(b) は (a) の b - b 線における断面図を示している。以下、工程順に説明をする。

【 0 1 2 9 】

図 1 2 (a)、(b)

基板 S U B 1 を用意し、その表面に S i N からなる下地絶縁膜 I N 1 および S i O からなる下地絶縁膜 I N 2 を順次形成する。

【 0 1 3 0 】

前記基板 S U B 1 の下地絶縁膜 I N 2 の表面の全域にたとえば C V D 法を用いてアモルファスシリコン層を形成し、レーザ光を照射することによって該アモルファスシリコン層を結晶化しポリシリコン層とする。そして、このポリシリコン層をフォトリソグラフィ技術による選択エッチング法により半導体層 P S を形成する。この半導体層 P S は薄膜トランジスタ T F T の半導体層となるものである。

【 0 1 3 1 】

そして、該半導体層 P S をも被って基板 S U B 1 の表面にたとえば C V D 法を用いて S i O からなる絶縁膜 G I 1 および S i N からなる絶縁膜 G I 2 を順次積層させて形成する。

【 0 1 3 2 】

前記絶縁膜 G I 2 の表面にたとえばスパッタリング法を用いて M o C r 合金層を形成し、この M o C r 合金層をフォトリソグラフィ技術による選択エッチング法によりゲート信号線 G L を形成する。該選択エッチングはいわゆるウェットエッチを用いるのが好ましい。

【 0 1 3 3 】

その後、前記ゲート信号線 G L のパターン化の際に用いたフォトレジスト膜を除去した後、P 型不純物 (たとえばホウ素) をイオン注入し、さらに低濃度のドーパントをイオン注入し、前記半導体層 P S に P 型のドレイン領域およびソース領域を形成する。その後アニール処理を行う。

【 0 1 3 4 】

図 1 3 (a)、(b)

前記ゲート信号線 G L をも被って基板 S U B 1 の表面に感光性の樹脂からなる絶縁膜 I N 3 を形成する。

【 0 1 3 5 】

そして、該絶縁膜 I N 3 の表面に多数の散在する凹部 (凸部) R G 1 を形成する。これら凹部 (凸部) R G 1 の形成は、たとえば、部分的に光の透過率を変化させたいわゆるハーフ露光マスクを介した露光によるフォトリソグラフィ技術を用いて行う。この際、前記

10

20

30

40

50

絶縁膜 I N 3 にスルーホール T H 1、T H 2 を形成する工程は同時になされるようにし、工数の低減を図るようにしている。

【 0 1 3 6 】

その後、このスルーホール T H 1、T H 2 が形成された前記絶縁膜 I N 3 をマスクとして前記絶縁膜 G I 2、G I 1 にコンタクトホールを形成し、前記半導体層 P S の各端部の一部を露出させるようにする。これにより、薄膜トランジスタ T F T のドレイン領域およびソース領域のそれぞれの一部が露出されるようになる。

【 0 1 3 7 】

図 1 4 (a)、(b)

前記絶縁膜 I N 3 の表面にたとえば M o C r 合金膜および A g 合金膜を順次積層させて形成し、この積層体膜をフォトリソグラフィ技術による選択エッチングによって、ドレイン信号線 D L および第 1 反射膜 R F 1 を形成する。この場合のドレイン信号線 D L および第 1 反射膜 R F 1 の形成は同時になされるようにし、工数の低減を図るようにしている。

【 0 1 3 8 】

前記第 1 反射膜 R F 1 の表面は、その下地層となる絶縁膜 I N 3 の表面に形成された凹部 (凸部) R G 1 が反映され、該凹部 (凸部) R G 1 と同様の凹部 (凸部) R G 2 が形成されるようになる。

【 0 1 3 9 】

また、前記ドレイン信号線 D L は、その一部において前記スルーホール T H 1 を被って形成され、薄膜トランジスタ T F T のドレイン領域に直接に接続されるようになっている。

【 0 1 4 0 】

そして、前記第 1 反射膜 R F 1 は、その一部において前記スルーホール T H 2 を被って形成され、薄膜トランジスタ T F T のソース領域に直接に接続されるようになる。

【 0 1 4 1 】

図 1 5 (a)、(b)

基板 S U B 1 の表面に C V D 法を用いてたとえば S i N からなる絶縁膜 I N 4 を形成する。この絶縁膜 I N 4 の表面には、前記絶縁膜 I N 3 の表面に形成された凹部 (凸部) R G 1、あるいは前記反射膜 R F の表面に形成された凹部 (凸部) R G 2 が反映されて凹部 (凸部) R G 3 が形成されるようになる。

【 0 1 4 2 】

基板 S U B 1 の表面にスパッタリング法を用いてたとえば A l 合金層を形成し、画素のほぼ中央部に開口 O H を形成し、該開口を除く他の部分において第 2 反射膜 R F 2 を形成する。

【 0 1 4 3 】

この第 2 反射膜 R F の表面には、前記絶縁膜 I N 4 の表面に形成された凹部 (凸部) R G 4 が形成されるようになる。

【 0 1 4 4 】

図 1 6 (a)、(b)

基板 S U B 1 の表面に感光性の樹脂等を塗布することにより絶縁膜 I N 5 を形成する。この絶縁膜 I N 5 はその表面が平坦化されて形成されるようになる。

【 0 1 4 5 】

そして、この絶縁膜 I N 5 にスルーホール T H 3 を形成し、前記第 1 反射膜 R F 1 の一部を露出させる。

【 0 1 4 6 】

前記絶縁膜 I N 5 の表面に I T O 膜を形成し、該 I T O 膜をフォトリソグラフィ技術による選択エッチングを用いて画素電極 P X を形成する。該画素電極 P X は前記スルーホール T H 3 を通して前記第 1 反射膜 R F 1 に電氣的に接続されるようになる。

【 0 1 4 7 】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの

実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【0148】

【図1】本発明による液晶表示装置の一実施例を示す構成図で、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面の構成を示す平面図である。

【図2】図1のII-II線における断面図である。

【図3】図1のIII-III線における断面図で、液晶を介した他の基板とともに示した図である。

【図4】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図5ないし図8とともに一連の工程を示した図である。

【図5】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図4、図6ないし図8とともに一連の工程を示した図である。

【図6】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図4ないし図5、図7ないし図8とともに一連の工程を示した図である。

【図7】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図4ないし図6、および図8とともに一連の工程を示した図である。

【図8】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図4ないし図7とともに一連の工程を示した図である。

【図9】本発明による液晶表示装置の全体の構成の一実施例を示す等価回路図である。

【図10】本発明による液晶表示装置の他の実施例を示す構成図で、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面の構成を示す平面図である。

【図11】図10のXI(a)-XI(a)、XI(b)-XI(b)、XI(c)-XI(c)における断面を示した図である。

【図12】本発明による液晶表示装置の製造方法の他の実施例を示す工程図で、図13ないし図16とともに一連の工程を示した図である。

【図13】本発明による液晶表示装置の製造方法の他の実施例を示す工程図で、図12、図14ないし図16とともに一連の工程を示した図である。

【図14】本発明による液晶表示装置の製造方法の他の実施例を示す工程図で、図12ないし図13、図15ないし図16とともに一連の工程を示した図である。

【図15】本発明による液晶表示装置の製造方法の他の実施例を示す工程図で、図12ないし図14、および図16とともに一連の工程を示した図である。

【図16】本発明による液晶表示装置の製造方法の他の実施例を示す工程図で、図12ないし図15とともに一連の工程を示した図である。

【図17】本発明による液晶表示装置の全体の構成の他の実施例を示す等価回路図である。

【符号の説明】

【0149】

SUB1、SUB2...基板、RD...光反射領域、TD...光透過領域、GL...ゲート信号線、DL...ドレイン信号線、DT...ゲート電極、TFT...薄膜トランジスタ、PS...半導体層、CT...対向電極、PX...画素電極、GI、GI1、GI2、IN1~IN6...絶縁膜、RF...反射膜、RF1...第1反射膜、RF2...第2反射膜、FIL...カラーフィルタ、LC...液晶、RG1~RG4...凹部(凸部)、TH1、TH2、TH3...スルーホール、OH...開口、CPL...容量電極線(容量電極)。

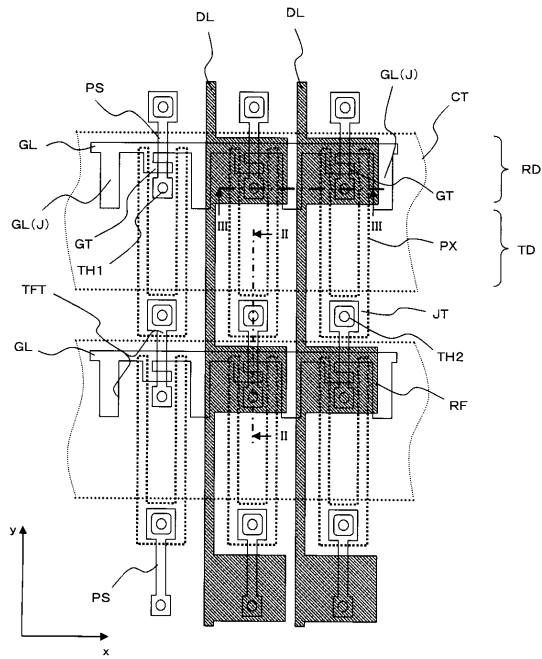
10

20

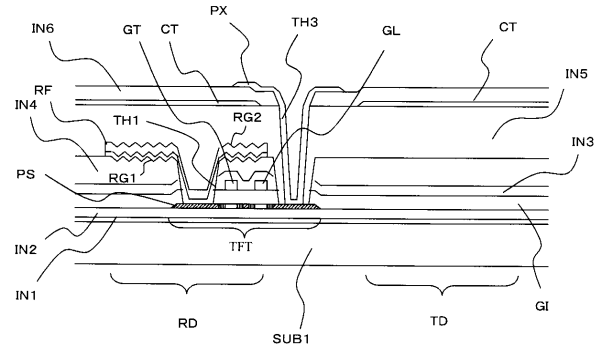
30

40

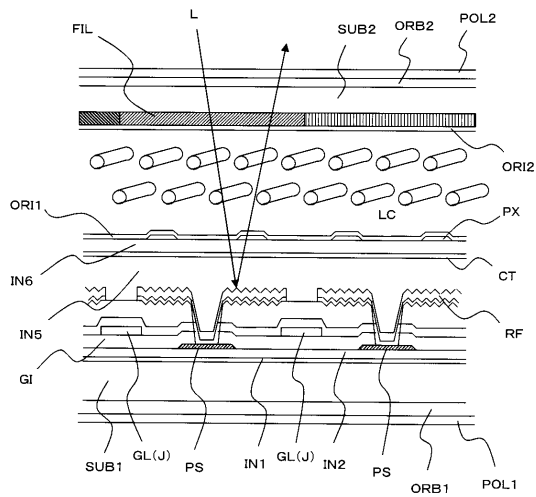
【図 1】



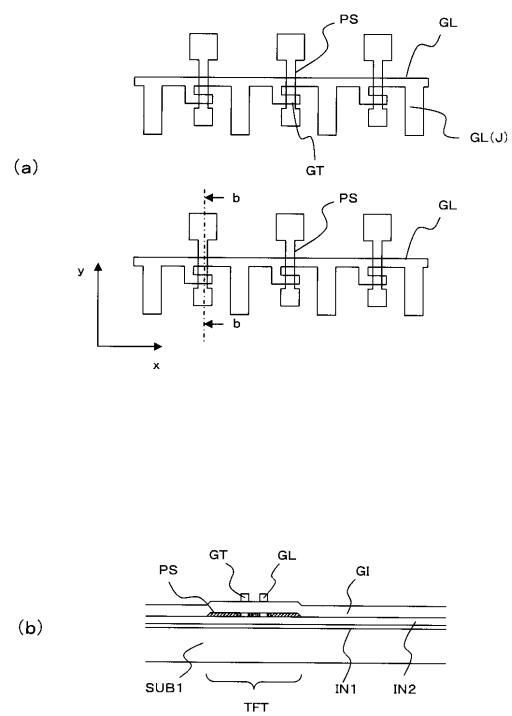
【図 2】



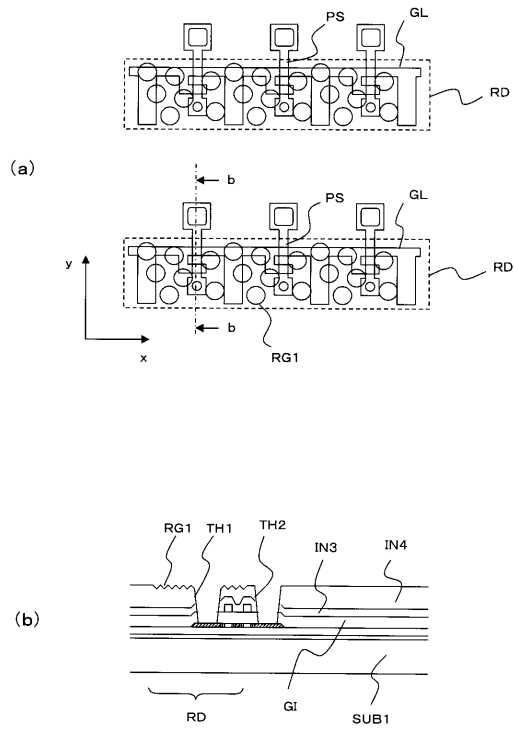
【図 3】



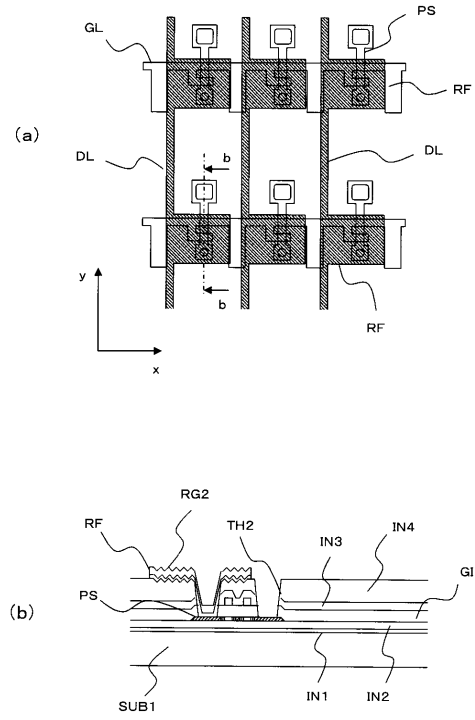
【図 4】



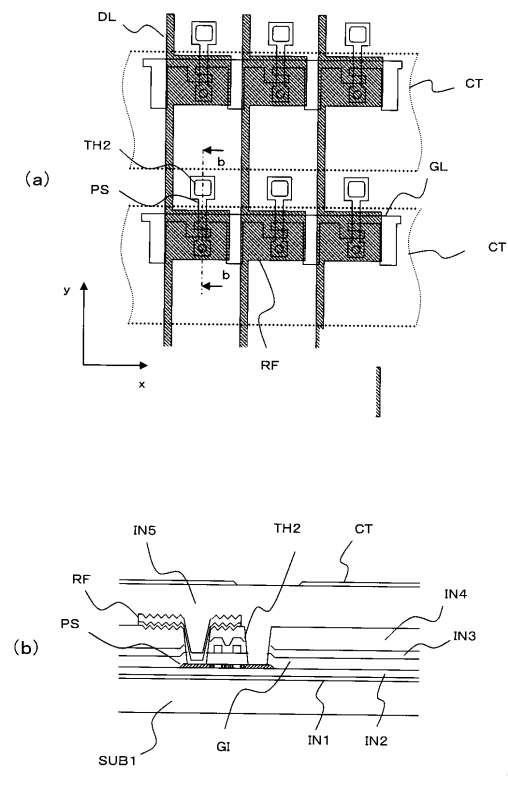
【図 5】



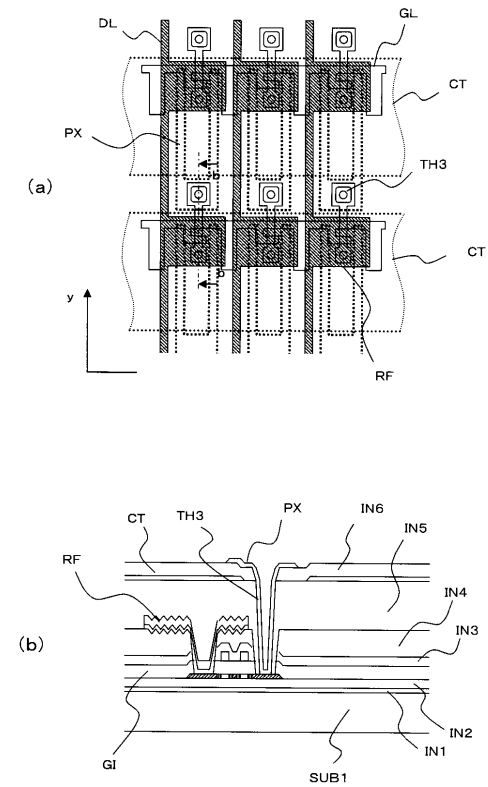
【図 6】



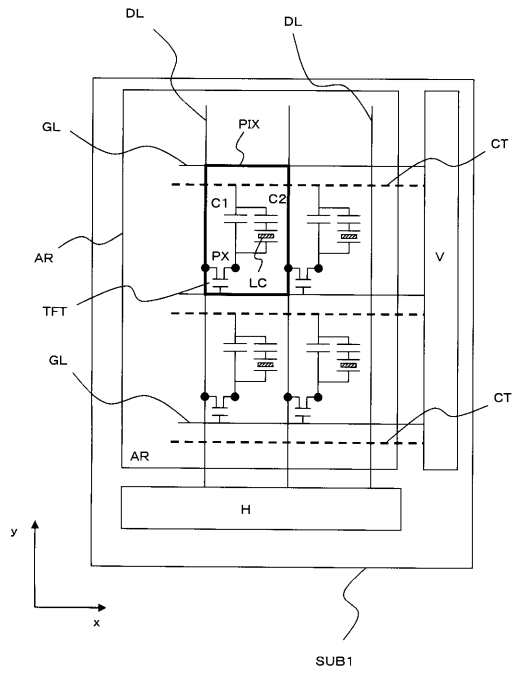
【図 7】



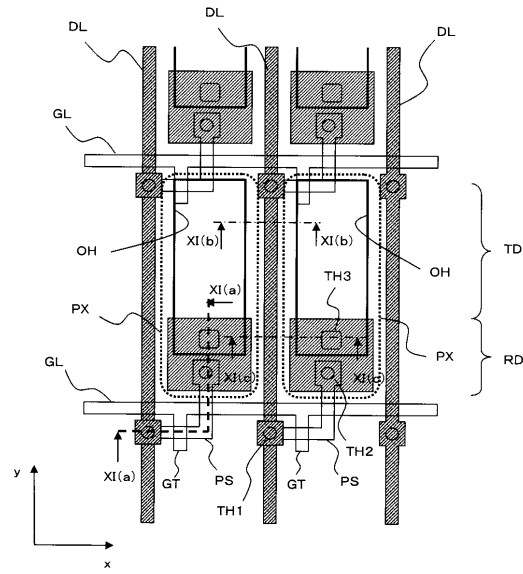
【図 8】



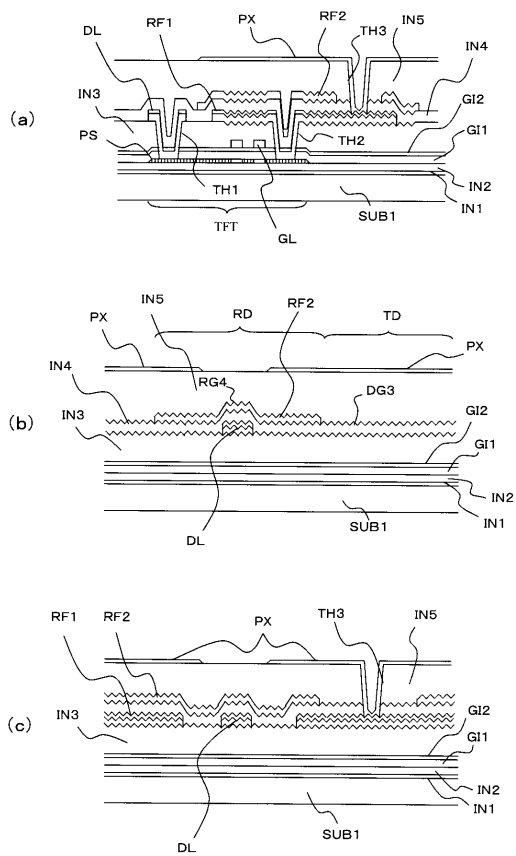
【図 9】



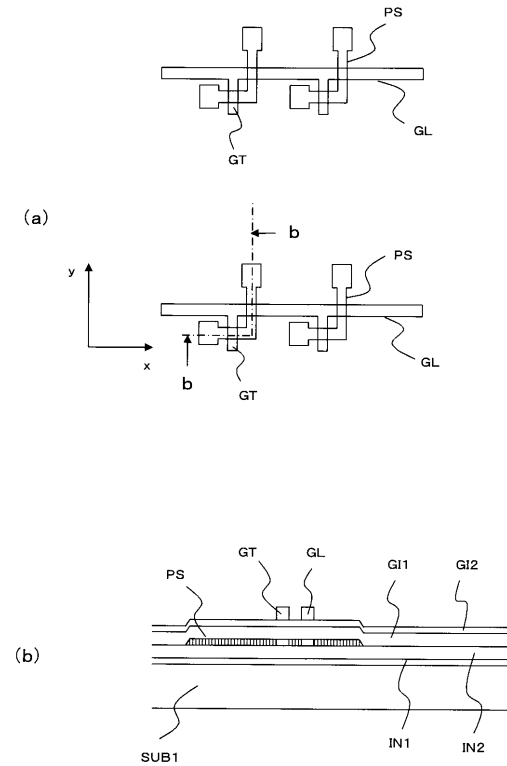
【図 10】



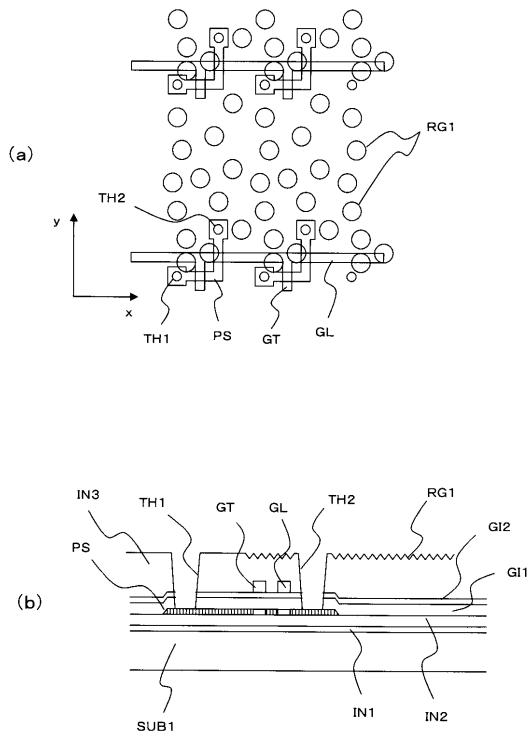
【図 11】



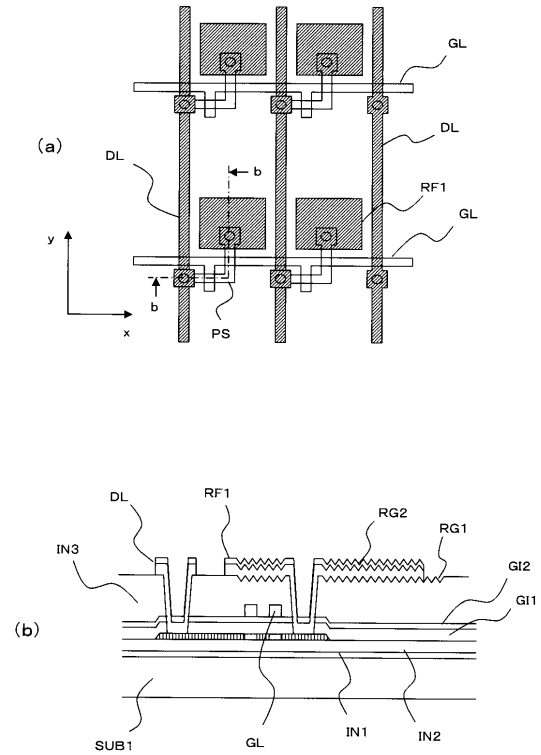
【図 12】



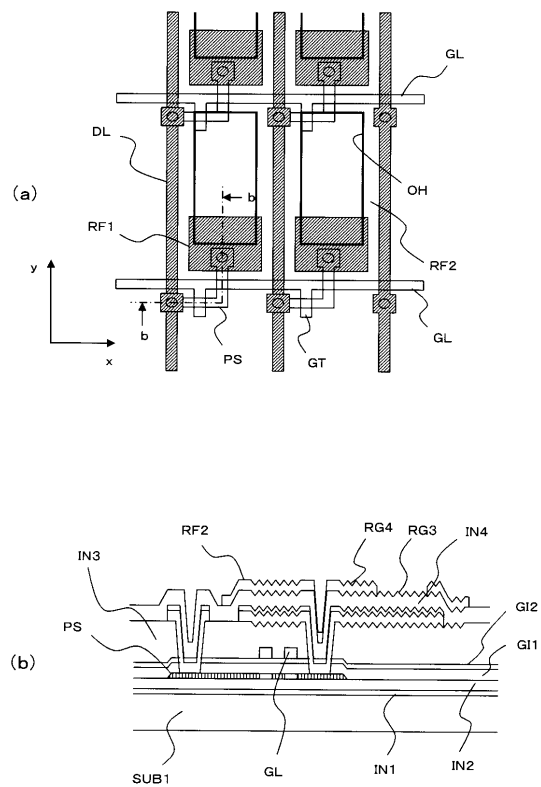
【図 13】



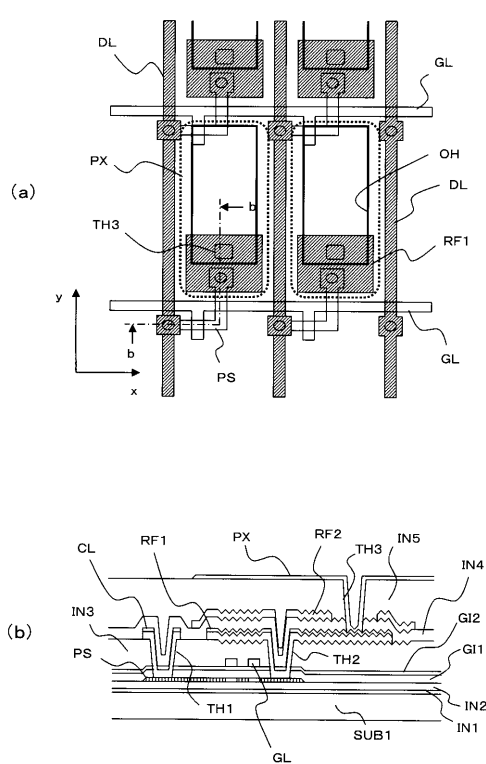
【図 14】



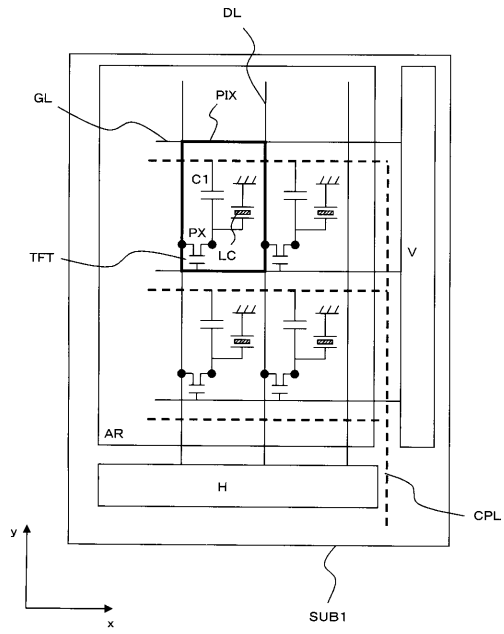
【図 15】



【図 16】



【図 17】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2009003143A	公开(公告)日	2009-01-08
申请号	JP2007163274	申请日	2007-06-21
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	佐藤健史		
发明人	佐藤 健史		
IPC分类号	G02F1/1335 G02F1/1368		
CPC分类号	G02F1/133555 G02F1/134363 G02F1/136286 G02F2001/133357		
FI分类号	G02F1/1335.520 G02F1/1368		
F-TERM分类号	2H091/FA14Y 2H091/FA31Y 2H091/GA02 2H091/GA07 2H091/GA13 2H091/HA06 2H091/LA16 2H092/HA05 2H092/JA24 2H092/JA46 2H092/JB58 2H092/JB69 2H092/KB22 2H092/KB25 2H092/NA01 2H092/PA12 2H092/QA06 2H191/FA02Y 2H191/FA22X 2H191/FA22Z 2H191/FA30X 2H191/FA30Z 2H191/FA34Y 2H191/FA45Y 2H191/FB14 2H191/FC02 2H191/FD07 2H191/GA05 2H191/GA08 2H191/GA10 2H191/GA19 2H191/HA15 2H191/LA13 2H191/LA21 2H191/NA29 2H191/NA35 2H191/NA37 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC35 2H192/BC42 2H192/BC63 2H192/BC74 2H192/BC82 2H192/CB02 2H192/CB13 2H192/CB34 2H192/CB44 2H192/CC04 2H192/CC17 2H192/DA12 2H192/DA32 2H192/EA43 2H192/EA67 2H192/GA03 2H192/HA33 2H192/HA44 2H192/JA02 2H192/JA32 2H291/FA02Y 2H291/FA22X 2H291/FA22Z 2H291/FA30X 2H291/FA30Z 2H291/FA34Y 2H291/FA45Y 2H291/FB14 2H291/FC02 2H291/FD07 2H291/GA05 2H291/GA08 2H291/GA10 2H291/GA19 2H291/HA15 2H291/LA13 2H291/LA21 2H291/NA29 2H291/NA35 2H291/NA37		
代理人(译)	小林 保		
其他公开文献	JP5026162B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种在光反射区域中具有改进的显示质量的液晶显示装置，而不增加制造步骤的数量。具有像素电极的像素，来自漏极信号线的视频信号通过由来自栅极信号线的扫描信号驱动的薄膜晶体管提供给该像素电极，其中像素在该区域中至少包括光反射膜，其中，光反射膜形成在与漏极信号线相同的层中，并且在其表面上具有不规则性，像素电极形成在绝缘膜的上表面上，该绝缘膜具有形成覆盖光反射膜的平坦化表面，插入与绝缘膜上的光反射膜重叠并与像素电极绝缘的电极。点域1

