

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-233420

(P2008-233420A)

(43) 公開日 平成20年10月2日(2008.10.2)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2007-71541 (P2007-71541)
 (22) 出願日 平成19年3月19日 (2007. 3. 19)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8

(74) 代理人 100059225
 弁理士 蔦田 璋子

(74) 代理人 100076314
 弁理士 蔦田 正人

(74) 代理人 100112612
 弁理士 中村 哲士

(74) 代理人 100112623
 弁理士 富田 克幸

(74) 代理人 100124707
 弁理士 夫 世進

最終頁に続く

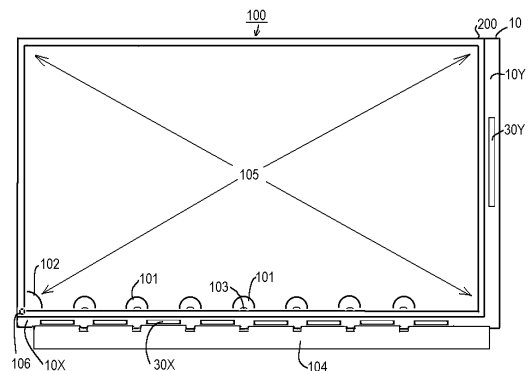
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】容量結合駆動方式の液晶表示装置において、駆動ICチップの装着時の熱圧着操作に起因する局所的な輝度レベルのズレによる表示不良（ツールムラ）や、液晶層の厚みの偏りに起因する輝度レベルのズレ（ギャップムラ）、またはその他の特定箇所が生じる輝度レベルのズレによる表示不良による表示不良（定点ムラ）を解消または低減することのできるものを提供する。

【解決手段】定点ムラの発生箇所に、補助容量（Cst）形成部の面積を所定量だけ増加させた輝度補正エリア101、102を設ける。すなわち、容量結合駆動の際のバイアス電圧（重畳電圧）を局所的に変化させることで、輝度を抑え、輝度ムラを解消する。この際、面積増加の量は、定点ムラによる輝度のズレの約1/2だけをうち消すように設定する。また、最大補正箇所103から輝度補正エリア101、102の縁に向かって直線的に減少するように設定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の走査線と、絶縁膜を介して略直交して配列される複数の信号線と、これら走査線及び信号線によって画される領域ごとに設けられる画素電極と、前記画素電極ごとに設けられ前記走査線の電流にしたがって前記信号線からの信号入力を行なうスイッチング素子と、対向電極と、第 1 及び第 2 の絶縁基板の間に挟持されシール材により封止された液晶層と、

前記各画素電極またはこれに電氣的に接続する導電層を、前段または後段の前記走査線、または補助容量駆動電圧が印加される補助容量線に、絶縁膜を介して重ね合わせることで設けられた補助容量形成部と、を備える液晶表示装置において、

局部的に前記補助容量形成部の面積を増減させた補正領域を設け、該補正領域内における面積の増減量について、特定箇所を最大となり、該特定箇所から前記補正領域の縁へと向かって徐々に小さくなるように設定したことを特徴とする液晶表示装置。

【請求項 2】

前記補正領域が、駆動 IC チップを搭載するための熱圧着箇所の近傍、基板間導通部の近傍、または、画像表示面の全体にわたって所定のドット分布パターンをなすように配置された領域であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記面積の増減量は、1 または複数の所定数の画素ドットごとに設定され、前記特定の箇所から、前記補正領域の縁に至るまで、直線的に変化するように設定されたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

複数の走査線と、絶縁膜を介して略直交して配列される複数の信号線と、これら走査線及び信号線によって画される領域ごとに設けられる画素電極と、前記画素電極ごとに設けられ前記走査線の電流にしたがって前記信号線からの信号入力を行なうスイッチング素子と、対向電極と、第 1 及び第 2 の絶縁基板の間に挟持されシール材により封止された液晶層と、

前記各画素電極またはこれに電氣的に接続する導電層を、前段または後段の前記走査線、または補助容量駆動電圧が印加される補助容量線に、絶縁膜を介して重ね合わせることで設けられた補助容量形成部と、を備える液晶表示装置の製造方法において、

局部的に前記補助容量形成部の面積を増減させた補正領域を設け、該補正領域内における面積の増減量について、特定箇所を最大となり、該特定箇所から前記補正領域の縁へと向かって徐々に小さくなるように設定することを特徴とする液晶表示装置の製造方法。

【請求項 5】

前記増減量について、前記特定箇所にて 40 ~ 70 % だけの輝度ズレを解消するように設定することを特徴とする請求項 4 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置及びその製造方法に関する。特に、容量結合駆動を行うものに関する。

【背景技術】

【0002】

近年、液晶表示装置等の平面表示装置は、薄型、軽量、かつ低消費電力であって目にやさしい等の特長により、パーソナル・コンピュータ、カーナビ装置、携帯電話その他の携帯情報端末あるいは TV 等の表示装置として、更に投射型の表示装置として各種分野で利用されている。中でも、各画素電極に薄膜トランジスタ (TFT) 等のスイッチ素子が電氣的に接続されて成るアクティブマトリクス型表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、盛んに研究・開発が行われている。

【0003】

10

20

30

40

50

一般に、アクティブマトリクス型液晶表示装置は、液晶表示パネルの周縁に駆動回路系統が実装されて成っており、表示パネルは、マトリクスアレイ基板（以下アレイ基板と呼ぶ）と対向基板とが所定の間隔をなすよう近接配置され、この間隔中に、両基板の表層に設けられた配向膜を介して液晶層が保持されたものである。アレイ基板においては、ガラス等の透明絶縁基板上に、信号線（ソース線）と走査線（ゲート線）とが絶縁膜を介して格子状に配置され、格子の各マス目または各交点に対応して、画素電極及びスイッチング素子が配される。液晶表示装置の周縁部では、例えば、その一長辺側及び一短辺側において、アレイ基板が対向基板から突き出して、外部からの駆動信号の入力を行うための柵状領域をなしている。これら柵状領域には、信号線や走査線に駆動信号等を入力するための接続パッドが配列される。

10

【 0 0 0 4 】

周縁部に駆動 IC チップを配置し上記接続パッドに入力を行う方式としては、駆動 IC チップを搭載した、テープキャリアパッケージ（TCP）と呼ばれる矩形のフレキシブル配線を柵状領域に実装する OLB (Outer Lead Bonding) 方式が従来一般的であったが、駆動 IC チップを柵状領域に直接実装する COG (Chip On Glass) 方式を採用するケースが近年増加しつつある。このような駆動 IC チップの実装にあたり、異方性導電層等の導電接続材を介して、TCP 先端の端子面、または駆動 IC チップの下面の端子形成面が、柵状領域に搭載されるとともに、この柵状領域上の接続パッド群と電氣的に接続されるのが一般的である。

20

【 0 0 0 5 】

異方性導電層とは、熱硬化性または熱可塑性の樹脂層の中に、導電性粒子を分散させたものであり、熱圧着を受けた個所で、樹脂層を挟む端子間の電氣的導通を実現するものである。異方性導電層としては、作業工程上の便宜のため、一般には、テープ状のフィルムとして供給される異方性導電膜（ACF）が用いられ、また、このような熱圧着のためには、ヒートツールまたは圧着ツールと呼ばれる加熱金属ブロックにより局部的な圧縮を行っている。

【 0 0 0 6 】

ところが、このような熱圧着箇所の近傍で局所的に輝度が大きくなって白っぽく見えるという問題があった。このような局所的な輝度のズレを「ツールムラ」と呼ぶことがあるが、このツールムラの原因は、熱圧着工程における加熱や圧縮の影響、及び異方性導電層をなす樹脂成分の硬化収縮等の影響に起因して液晶表示パネルに歪（ひず）みや反（そ）りが生じるためであると考えられている。ツールムラは、駆動 IC チップと、液晶表示面の縁との間隔を十分にとれば解消できるが、近年液晶表示パネルのコンパクト化、特に周縁の画像非表示領域（額縁領域）の低減が求められており、そのような方法を採用できない。また、軽量化の要求を満たすために、アレイ基板及び対向基板をなすガラス板の厚みが約 0.5 ~ 0.3 mm と小さくなっていることから、ツールムラが一層顕著に生じることとなっている。

30

【 0 0 0 7 】

ツールムラの発生を防止すべく、アレイ基板における駆動 IC チップが搭載される箇所の裏面に、反りを防止するための小片状の基板を貼り付けることも提案されている（特許文献 1）。しかし、このような方法であると、部品数及び工程数が増大する他、小片状の基板が外面に突出してしまう等の問題が生じうる。

40

【 0 0 0 8 】

一方、液晶表示パネルの液晶層の厚さムラに起因する輝度ムラ（「ギャップムラ」と呼ばれる）の発生を抑えるべく、入力信号に補正を行う方法も提案されている（例えば特許文献 2）。ギャップムラは、例えば、熱圧縮を行ってシール材を所定ギャップにて硬化させる際、「トランスファー」と呼ばれる基板間導通部の存在によりその付近で圧縮が不十分となることで生じる。ギャップムラと同様にツールムラも信号補正により解消することも不可能ではないが、信号補正のための回路設計その他のコストが増大してしまう。

【 0 0 0 9 】

50

他方、アクティブマトリクス型液晶表示装置の駆動方法の一つとして、容量結合（C C ; capacitance coupling）駆動方式がある（例えば特許文献 3 ~ 4）。表示品位を確保するために画素電極に十分な補助容量（保持容量 C st）が付加されるが、容量結合駆動方式は、この補助容量を用いて、画素電極電位にバイアス電圧（重畳電圧）を加えるものである。通常、補助容量は、画素電極またはこれに電氣的に接続する導電層と、前段または後段の走査線とが、絶縁膜を介して重ねられることで形成される。ここで、前段の走査線とは、走査パルスが、該画素電極のスイッチング素子をオン状態にする走査線の隣にあって、走査パルスが先に印加される走査線である。

【 0 0 1 0 】

図 5（特許文献 3 の図 3 5 に相当）には、容量結合駆動における電極電位の変化について模式的に示す。上側が前段のゲート電極の電位 $V_g(n-1)$ を示し、下側が、注目する画素電極の箇所では液晶層に印加される液晶印加電位 V_{LC} 、及び、該画素電極に直接関連したゲート電極 $V_g(n)$ の電位を示す。また、 V_{com} がコモン電極の電位、 V_{sig} が信号線から供給される画像信号電圧、そして、 $V_{ge}(+)$ 及び $V_{ge}(-)$ がバイアス電圧である。ここで、液晶印加電位 V_{LC} は、次式を満たす。

10

【 0 0 1 1 】

$$V_{LC} = V_{sig} - V_{com} \pm \{ C_{st} / (C_{LC} + C_{st} + C_{gd}) \} \cdot V_{cpP} / 2$$

ここで、 C_{gd} は T F T のゲート電極とドレイン電極との間の寄生容量、 C_{LC} は液晶容量、 V_{cpP} は、前段のゲート電極と、注目する画素ドットのゲート電極との電位差を示す。

20

【 0 0 1 2 】

容量結合駆動方式であると、画像信号電圧の低電圧化、駆動電力の低減、及び応答速度の向上を図ることができ。また、T F T のゲート電極とドレイン電極との間の寄生容量 C_{gd} に起因して、突き抜け電圧と呼ばれる電圧のズレが生じフリッカが生じるような場合に、該突き抜け電圧を補償して、表示性能を向上することができる（特許文献 4）。なお、容量結合駆動を行うにあたり、画素電極ごとの補助容量について、補償電圧を印加する補助容量線と、画素電極との間に設けることも提案されている（特許文献 4）。

【 0 0 1 3 】

このような駆動方式の液晶表示装置において、走査線の終端側でパルス電流波形になまりが生じることに起因する表示不良を防止すべく、走査線の給電側から終端側へと向かって補助容量の値を段階的に変化させることが提案されている（特許文献 3）。しかし、これは、上記のツールムラやギャップムラ等に関して、何らかの解決方法を示唆するものでない。

30

【特許文献 1】特開 2 0 0 0 - 1 8 7 2 3 4

【特許文献 2】特開 2 0 0 0 - 5 6 7 3 7

【特許文献 3】特開 2 0 0 2 - 7 2 2 5 0

【特許文献 4】特開 2 0 0 4 - 3 5 4 7 4 2

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

本発明は、上記問題点に鑑みなされたものであり、容量結合駆動方式の液晶表示装置において、駆動 I C チップの装着時の熱圧着操作に起因する局所的な輝度レベルのズレや、液晶層の厚みの偏りに起因する輝度レベルのズレ、またはその他の特定箇所に生じる輝度レベルのズレによる表示不良を解消または低減することのできる液晶表示装置及びその製造方法を提供するものである。

40

【課題を解決するための手段】

【 0 0 1 5 】

本発明は、複数の走査線と、絶縁膜を介して略直交して配列される複数の信号線と、これら走査線及び信号線によって画される領域ごとに設けられる画素電極と、前記画素電極ごとに設けられ前記走査線の電流にしたがって前記信号線からの信号入力を行なうスイッチング素子と、対向電極と、第 1 及び第 2 の絶縁基板の間に挟持されシール材により封止

50

された液晶層と、前記各画素電極またはこれに電氣的に接続する導電層を、前段または後段の前記走査線、または補助容量駆動電圧が印加される補助容量線に、絶縁膜を介して重ね合わせることで設けられた補助容量形成部と、を備える液晶表示装置またはその製造方法において、局部的に前記補助容量形成部の面積を増減させた補正領域を設け、該補正領域内における面積の増減量について、特定箇所を最大となり、該特定箇所から前記補正領域の縁へと向かって徐々に小さくなるように設定したことを特徴とする。

【発明の効果】

【0016】

駆動ICチップの装着時の熱圧着操作に起因する局所的な輝度レベルのズレや、液晶層の厚みの偏りに起因する輝度レベルのズレ、またはその他の特定箇所に生じる輝度レベルのズレによる表示不良を解消または低減することができる。

10

【発明を実施するための最良の形態】

【0017】

第1の実施の形態について、図1～3を用いて説明する。図1の平面図には、液晶表示装置100の外観及び輝度補正エリア101、102を示し、図2の平面図にはアレイ基板10の画素部分の構成を示す。図3の断面図には、補助容量形成部及びTFT9の箇所における液晶表示装置100の積層構造を示す。

【0018】

図2に示すように、液晶表示装置100がCOG(Chip On Glass)方式となっている。すなわち、アレイ基板10が対向基板200の一長辺及び一短辺から突き出す柵状領域10X、10Yには、複数の信号線入力用駆動ICチップ30X、及び一つの走査線入力用駆動ICチップ30Yが異方性導電フィルムを介して直接搭載されている。これら駆動ICチップ30X、30Yは、対向基板200の縁に近接しており、したがって、画像表示領域105の縁に近接して配置されている。また、信号線入力用駆動ICチップ30Xの列の外側では、駆動回路基板104が実装されており、柵状領域10X上の配線部に接続されている。液晶表示装置100は、容量結合駆動方式のものであり、具体例において、画像表示領域105の対角寸法が10.5インチであってXGA-TFT型のノーマリホワイトモードの光透過型液晶表示装置である。

20

【0019】

図1中に円弧により示す領域は、輝度レベルを補正した輝度補正エリア101、102である。図示の例で、画像信号入力側にて駆動ICチップ30X同士の間隙ごとに、その近傍に輝度補正エリア101が設けられている。また、走査線入力側の逆側で、かつ、信号線入力側にある隅部にも輝度補正エリア102が設けられている。駆動ICチップ30X同士の間隙の近傍は、前述したツールムラが最もやすい場所である。また、輝度補正エリア102が設けられた隅部には、シール材中に、対向基板200上の対向電極201への給電を行うための基板間導通部106が設けられている。この箇所では前述したギャップムラが生じるので同様の輝度補正エリア102を設けている。

30

【0020】

輝度補正エリア101、102における輝度補正は、画素ドットごとの補助容量を所定量だけ増大させることにより、行っている。すなわち、補助容量の局部的な追加による、容量結合駆動方式でのバイアス電圧値の補正を行うことにより輝度レベルの補正を行っている。具体的には、走査線11に重ねられる画素電極からの延在部51の面積を所定量だけ増大させることにより行っている。また、この面積の増大分すなわちシフト量は、最大補正箇所103から遠ざかるにしたがって線形的に減少し、輝度補正エリア101、102の縁に達したところでゼロとなるように設計される。この最大補正箇所103は、実験または経験により定点ムラが最も激しく表れることが知られた箇所に設定される。上記ツールムラの例では隣り合う駆動ICチップ10X同士の間の中間線と、画像表示領域105の縁とが交わる箇所である。なお、図示の例では、輝度補正エリアが半円状または扇状となっているが、最大補正箇所103とすべき箇所が線状に広がっているような場合には、輝度補正エリアを楕円状などとするすることができる。

40

50

【 0 0 2 1 】

上記のような輝度レベルの補正は、補助容量の追加によって補正しなかった場合に生じる、他の領域との輝度レベルの差を予め実測しておき、その輝度レベルの差の約 1 / 2 を補正するように行う。例えば、パネルーによるテストを繰り返した結果、輝度レベルの差が全く解消するようにすると、かえって違和感を感じる結果となり、この程度の補正を行うのが最も望ましいことが知られたからである。輝度レベルの差の補正は、例えば、その 4 0 ~ 7 0 %、特に 5 0 ~ 6 0 % を解消するように行えば良い。

【 0 0 2 2 】

典型的な実験によると、次のとおりである。ツールムラにより、最も輝度レベルのズレが大きい特定箇所にて、3 7 % の輝度ズレが生じていた。ところが、この箇所にて約 1 7 % の輝度ズレが残るように補正を行った場合、すなわち、輝度レベル差の約 5 5 % だけを解消するように補正を行った場合に、輝度ムラがほぼ全く認識されず、かつ違和感もない、最も良好な表示が得られた。

10

【 0 0 2 3 】

上記の具体例において、ツールムラを補正するための輝度補正エリア 1 0 1 の寸法は、約 1 5 m m であり、画像表示領域の隅部にてギャップムラを補正するための輝度補正エリア 1 0 2 の寸法が約 1 0 m m である。

【 0 0 2 4 】

次に、液晶表示装置、特にアレイ基板の具体的な構造について説明する。

【 0 0 2 5 】

図 2 及び 3 に示すように、アレイ基板 1 0 においては、1 0 2 4 × 3 本の信号線 3 1 と、7 6 8 本の走査線 1 1 が互いに直交するように配列される。走査線 1 1 及びゲート電極 1 2 を含む下層の金属配線パターンは、単層のモリブデン - タングステン (Mo-W) 合金により形成され、全体がゲート絶縁膜 1 7 により覆われる。

20

【 0 0 2 6 】

信号線 3 1 と走査線 1 1 とにより区画される画素開口ごとにおいて、信号線 3 1 と走査線 1 1 との交差部近傍に、スイッチング素子としての T F T 9 が配置される。T F T 9 は、図 3 に示すように、走査線 1 1 の延在部 1 2 をゲート電極とする逆スタガ型であって、このゲート電極 1 2 を覆う個所に、ゲート絶縁膜 1 7 を介して、半導体活性層としてのアモルファスシリコン (a-Si:H) 層 3 6 が配置される。各 T F T 9 において、この上には、信号線 3 1 から枝状に延びる 2 本のドレイン電極 3 2 と、これらの間を延びる 1 本のソース電極 3 3 とが配置される。これらの上には、信号線 3 1 と同時に形成されるソース電極 3 3 及びドレイン電極 3 2 が配置される。これらソース電極 3 3 及びドレイン電極 3 2 を含む上層の金属配線パターンは、アルミニウム (Al) から成り、全体が、窒化シリコン膜から成る層間絶縁膜 4 により覆われる。

30

【 0 0 2 7 】

層間絶縁膜 4 の上には画素開口ごとに I T O 層からなる画素電極 5 が配され、層間絶縁膜 4 を貫くコンタクトホール 4 1 を介してソース電極 3 3 と電氣的に接続する。このようなアレイ基板 1 0 は、液晶層 2 0 5 を介して対向基板 2 0 0 と重ね合わされる。対向基板 2 0 0 には、対向電極 2 0 1 及びカラーフィルター層 2 0 2 が設けられており、T F T 9 及び各画素電極 5 の周囲を覆う領域に遮光膜 2 0 3 が配置される。

40

【 0 0 2 8 】

図 2 に示すように、画素電極 5 には、この画素電極 5 に接続する T F T 9 から遠い側に、走査線 1 1 との間で補助容量を形成するための画素電極延在部 5 1 が形成されている。すなわち、一の画素電極 5 -1B を挟む二つの走査線 1 1 -1, 1 1 -2 のうち、一方 (図における下方) の走査線 1 1 -1 が該画素電極 5 -1B に接続する T F T 9 -1 のスイッチングを駆動する。そして、他方 (図における上方) の走査線 1 1 -2 上には、該画素電極 5 -1B から延在された画素電極延在部 5 1 -1 が重ね合わされて、これらの中に該一の画素電極 5 -1B のための補助容量 C s を形成している。ここで、走査線 1 1 -2 は、走査線 1 1 -1 及び画素電極 5 -1 から見ての、「前段」の走査線または画素電極である。すなわち、走査線 1 1 -2

50

の駆動の次に走査線 1 1-1 の駆動が行なわれる。

【 0 0 2 9 】

図示の例で、走査線 1 1 は、信号線 3 1 と交わる部分以外で、幅広となっており、前段の画素開口及びゲート電極 1 2 に沿った箇所にはスリット 1 4 を有している。略矩形形状の画素電極延在部 5 1 の先端の縁が、スリット 1 4 中に達しており、これによりパターンの位置ズレが生じた場合にも補助容量に不所望の変動が生じるのが防止されている。なお、画素電極延在部 5 1 には、すなわち走査線 1 1 方向の辺に矩形小片状の突出部 5 3 及び 5 4 が設けられている。

【 0 0 3 0 】

図 2 に示す画素部分は、輝度補正エリア内のものであり、画素電極延在部 5 1 の一方の突出部 5 3 は、一部が、補助容量を増大させるための追加部分 5 3 A である。したがって、輝度補正エリア 1 0 1 , 1 0 2 以外では、この追加部分 5 3 A が無いものとなっている。また、図 1 に示す例において、レッド (R)、グリーン (G) 及びブルー (B) の三原色の画素ドットをなす 3 つの隣り合う画素電極 5 -1R, 5 -1G 及び 5 -1B 間では、追加部分 5 3 A の面積が同一に設定されている。すなわち、一つの「カラー表示画素」をなす 3 つ組みの画素ドットごとに補助容量のシフト量が設定されている。

10

【 0 0 3 1 】

図示の具体例において、隣り合う一組の画素電極 5 -1R, 5 -1G 及び 5 -1B について、画素電極延在部の追加部分 5 3 A-1 の面積は同一である。また、走査線 1 1-1 を介して画素電極 5 -1B に隣接する画素電極 5 -1B' についても、追加部分 5 3 A-1 は同一である。一方、図の右方から隣接するカラー表示画素の画素電極 5 -2R は、画素電極延在部の追加部分 5 3 A-2 の面積が、図の中央のカラー表示画素中における追加部分の面積 5 3 A-1 よりも少し大きくなっており、また、図の左方から隣接する画素電極 5 -0R では、画素電極延在部の追加部分 5 3 A-0 の面積が、少し小さい。

20

【 0 0 3 2 】

輝度補正エリア内の画素電極に付与される追加部分 5 3 A の面積は、前述したように、上記特定箇所 1 0 3 からの距離に応じて、少しずつ、一定の比率で、変化するように設定される。なお、追加部分 5 3 A の面積は、一画素ドットごとに設定して徐々に変化させることもでき、また、2 ~ 6 個といった複数の画素ドットごとに設定することもできる。このような面積の変更は、画素電極 5 を作成するパターンニングの工程で、ITO 膜上のレジストパターンを露光するためのマスクパターンを部分的に変更することにより行うことができる。例えば、画素電極作製のマスクパターンを設計する際に、予め、追加用領域を設定するとともに、これを等寸法に細分したマス目状の小領域を設定しておき、輝度レベルの補正の程度にしたがって、順次、マス目状小領域を所定数だけ追加または削減すれば良い。

30

【 0 0 3 3 】

次に図 4 を用いて、第 2 の実施の形態について説明する。

【 0 0 3 4 】

第 2 の実施の形態においては、多数の小寸法円形の輝度補正エリア 1 0 1 が、輝度ムラの発生箇所であるかどうかにかかわらず、画像表示領域 1 0 5 のほぼ全体にわたって設けられている。また、格子状等の規則的な配列をするのではなく、モザイク模様をなすようにランダムに配置されている。モザイク状のパターンにしたがって、輝度補正量が比較的小さい輝度補正エリア 1 0 1 を、多数配置することにより、本来表示ムラを生じるような輝度ズレの大きい箇所を、視覚上、埋没させてしまうのである。

40

【 0 0 3 5 】

具体例において、各輝度補正エリア 1 0 1 は、輝度補正量が、中心の最大補正箇所 1 0 3 で約 8 % であり、直径が約 5 mm である。

【 0 0 3 6 】

上記実施例においては、補助容量が、走査線と、画素電極の一部との間で形成されるとして説明したが、別途に設けられる補助容量線と、画素電極の一部との間で形成される場

50

合にも、前述の特許文献 4 中に記載されたようにして容量結合駆動が行われるならば全く同様である。

【0037】

また、輝度が局部的に大きくなる表示ムラの対策について述べたが、もしも局部的に輝度が小さくなると表示不良が発生した場合には、輝度補正エリア中で補助容量形成部の面積を小さく設定することとなる。

【0038】

なお、上記実施例では透過型の液晶表示装置を例にとり説明したが、反射型や半透過型であっても全く同様である。また、IPS (In plane switchng) モードの液晶表示装置等であっても全く同様である。

10

【図面の簡単な説明】

【0039】

【図1】第1の実施の形態における輝度補正エリアの配置について示す液晶表示装置の平面図である。

【図2】輝度補正エリアにおける画素部分の構成について示す部分平面図である。

【図3】TF T 及び補助容量形成部の積層構造について示すための液晶表示装置の積層断面図である。

【図4】第2の実施形態についての図2に対応する平面図である。

【図5】容量結合駆動における電極電位の変化について示す模式的なグラフである。

【符号の説明】

20

【0040】

- 10 アレイ基板
- 100 液晶表示装置
- 101, 102 輝度補正エリア
- 103 最大補正箇所
- 104 駆動回路基板
- 105 画像表示領域
- 106 基板間導通部
- 200 対向基板
- 30X 画像信号入力側の駆動ICチップ

30

フロントページの続き

(72)発明者 脇本 竜也

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 北畑 元幸

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H092 GA12 GA15 JB62 JB64 JB66 JB67 JB69 JB71 JB75 KA21

KB11 NA01 NA11 NA29 PA01

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2008233420A	公开(公告)日	2008-10-02
申请号	JP2007071541	申请日	2007-03-19
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	脇本 竜也 北畑 元幸		
发明人	脇本 竜也 北畑 元幸		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA12 2H092/GA15 2H092/JB62 2H092/JB64 2H092/JB66 2H092/JB67 2H092/JB69 2H092/JB71 2H092/JB75 2H092/KA21 2H092/KB11 2H092/NA01 2H092/NA11 2H092/NA29 2H092/PA01		
代理人(译)	中村 聡 富田 克幸 夫 世进		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种容量耦合驱动型液晶显示器，其能够消除或减少由于在安装驱动IC芯片和显示器期间由热压接合操作引起的亮度水平的局部偏差引起的显示缺陷（工具不均匀性）由于液晶层的厚度偏差或在另一特定位置引起的亮度水平的偏差导致的亮度水平偏差（间隙不均匀）导致的缺陷（定点不均匀）。解决方案：提供亮度校正区域101和102，其中通过将辅助电容（Cst）形成部分的面积增加预定量来发生定点不均匀。即，通过在电容耦合驱动期间局部改变偏置电压（叠加电压）来抑制亮度，以消除亮度不均匀性。此时，面积增加量被设定为消除由于定点不均匀引起的亮度偏差的约1/2。此外，设置面积增加量，以便从最大校正位置103向亮度校正区域101和102的边缘线性减小。

