

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-97009

(P2008-97009A)

(43) 公開日 平成20年4月24日(2008.4.24)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F1

G02F 1/1343

テーマコード(参考)

2H092

審査請求 未請求 請求項の数 21 O L (全 21 頁)

(21) 出願番号 特願2007-264057 (P2007-264057)
 (22) 出願日 平成19年10月10日(2007.10.10)
 (31) 優先権主張番号 10-2006-0099408
 (32) 優先日 平成18年10月12日(2006.10.12)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100094145
 弁理士 小野 由己男

(74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

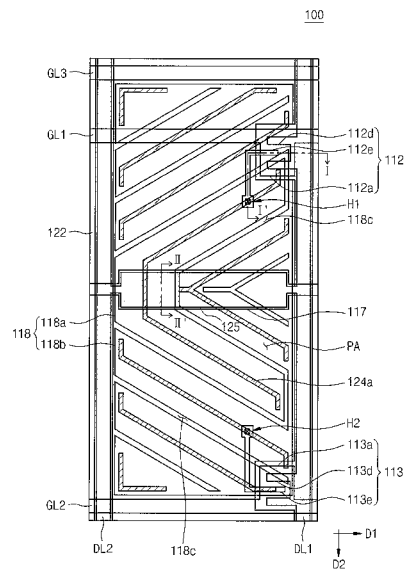
(54) 【発明の名称】 表示パネル及びこれの製造方法

(57) 【要約】

【課題】 表示パネル及びこれの製造方法を提供する。

【解決手段】 第1ベース基板には多数の画素領域が定義され、貯蔵電極は、各画素領域を貫通するように第1ベース基板上に備えられる。絶縁膜は、第1ベース基板上に備えられて貯蔵電極をカバーし、貯蔵電極が形成された領域で陥没した構造で形成される。画素電極は、絶縁膜上に備えられて、貯蔵電極と対向する。第1ベース基板と対向する第2ベース基板上には突出部が備えられる。突出部は、貯蔵電極が形成された領域で第1ベース基板の方に突出して、絶縁膜の陥没により増加した表示パネルのセルギャップを補償する。したがって、貯蔵電極が形成された領域でのセルギャップを減少させて、表示パネルに充填される全体液晶量を節減することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

多数の画素領域が定義された第 1 ベース基板と、前記各画素領域内で前記第 1 ベース基板上に備えられた貯蔵電極と、前記貯蔵電極をカバーし、前記貯蔵電極が形成された領域で陥没した構造で形成された絶縁膜と、前記絶縁膜上に備えられ、前記貯蔵電極と対向する画素電極とを含むアレイ基板と、

前記第 1 ベース基板と対向する第 2 ベース基板と、前記第 2 ベース基板上に備えられ、前記貯蔵電極が形成された領域に対応して前記第 1 ベース基板の方に突出した突出部とを含む対向基板と、

前記アレイ基板と前記対向基板の間に介在された液晶層と、を含むことを特徴とする表示パネル。 10

【請求項 2】

前記対向基板は、前記第 2 ベース基板上に備えられ、前記各画素領域の周辺部に形成された第 1 ブラックマトリックスをさらに含むことを特徴とする請求項 1 に記載の表示パネル。

【請求項 3】

前記突出部は、前記第 1 ブラックマトリックスと同一な物質からなる第 2 ブラックマトリックスを含むことを特徴とする請求項 2 に記載の表示パネル。

【請求項 4】

前記対向基板は、前記各画素領域に備えられる色画素からなるカラーフィルタ層をさらに含み、 20

前記色画素は、前記貯蔵電極が形成された領域で、前記第 2 ブラックマトリックスをカバーすることを特徴とする請求項 3 に記載の表示パネル。

【請求項 5】

前記突出部は、前記色画素と前記第 2 ブラックマトリックスの間に備えられ、隣接する色画素のうち何れか一つの色画素と同一なダミー色画素をさらに含むことを特徴とする請求項 4 に記載の表示パネル。

【請求項 6】

前記対向基板は、前記各画素領域に対応して備えられる色画素からなるカラーフィルタ層をさらに含むことを特徴とする請求項 1 に記載の表示パネル。 30

【請求項 7】

前記突出部は、前記色画素と前記第 2 ベース基板の間に備えられ、隣接する色画素のうち一つの選択された色画素と同一な第 1 ダミー色画素を含むことを特徴とする請求項 6 に記載の表示パネル。

【請求項 8】

前記突出部は、前記色画素上に備えられ、前記隣接する色画素のうち前記選択された色画素を除く他の一つの色画素と同一な第 2 ダミー色画素をさらに含むことを特徴とする請求項 7 に記載の表示パネル。

【請求項 9】

前記対向基板は、 40
前記カラーフィルタ層上に備えられた共通電極と、
前記画素電極と前記共通電極の間に介在されて、前記画素電極と前記共通電極の間にギャップを形成するギャップ維持パターンと、をさらに含むことを特徴とする請求項 6 に記載の表示パネル。

【請求項 10】

前記突出部は、前記ギャップ維持パターンと同一な工程により前記共通電極上に形成されたダミーギャップ維持パターンからなることを特徴とする請求項 9 に記載の表示パネル。

【請求項 11】

前記突出部は、前記絶縁膜の陥没した深さより小さいか同一な高さを有することを特徴 50

とする請求項 1 に記載の表示パネル。

【請求項 1 2】

前記絶縁膜は、
前記貯蔵電極をカバーするゲート絶縁膜と、
前記ゲート絶縁膜上に備えられた保護膜と、
前記保護膜上に備えられ、前記貯蔵電極が形成された領域で陥没した構造からなる有機絶縁膜と、を含むことを特徴とする請求項 1 に記載の表示パネル。

【請求項 1 3】

前記画素電極は、
第 1 画素電圧が印加される第 1 サブ画素電極と、
前記第 1 画素電圧より低い第 2 画素電圧が印加される第 2 サブ画素電極と、からなることを特徴とする請求項 1 に記載の表示パネル。

10

【請求項 1 4】

前記画素電極には、前記第 1 及び第 2 サブ画素電極を電気的に分離し、前記画素電極を多数のドメインに分割する多数の第 1 開口パターンが形成されることを特徴とする請求項 1 3 に記載の表示パネル。

【請求項 1 5】

前記対向基板は、前記画素電極と対向する共通電極をさらに含み、
前記共通電極には多数の第 2 開口パターンが形成され、前記第 2 開口パターンは前記第 1 開口パターンと相違する位置に形成されて、前記多数のドメインを再分割することを特徴とする請求項 1 4 に記載の表示パネル。

20

【請求項 1 6】

前記アレイ基板は、
第 1 ゲートラインと、
前記第 1 ゲートラインと所定間隔で離隔する第 2 ゲートラインと、
前記第 1 及び第 2 ゲートラインと絶縁されて交差するデータラインと、
前記第 1 ゲートラインと前記データラインに電気的に連結されて、前記第 1 画素電圧を出力する第 1 薄膜トランジスタと、
前記第 2 ゲートラインと前記データラインに電気的に連結されて、前記第 2 画素電圧を出力する第 2 薄膜トランジスタと、をさらに含むことを特徴とする請求項 1 3 に記載の表示パネル。

30

【請求項 1 7】

前記第 1 サブ画素電極は、前記第 1 薄膜トランジスタの出力電極に電気的に連結されて、前記第 1 画素電圧を受信し、
前記第 2 サブ画素電極は、前記第 2 薄膜トランジスタの出力電極に電気的に連結されて、前記第 2 画素電圧を受信することを特徴とする請求項 1 6 に記載の表示パネル。

【請求項 1 8】

画素領域が定義された第 1 ベース基板の上に、ゲート電極及び貯蔵電極を形成するステップと、
前記第 1 ベース基板の上に、前記ゲート電極及び貯蔵電極をカバーするゲート絶縁膜を形成するステップと、
前記ゲート絶縁膜上に、アクティブパターン、オーミックコンタクトパターン、前記オーミックコンタクトパターンと同一なパターンからなるソース及びドレイン電極を形成するステップと、
前記ソース及びドレイン電極をカバーし、前記貯蔵電極が形成された領域で陥没した構造からなる絶縁膜を形成するステップと、
前記絶縁膜上に画素電極を形成するステップと、
前記第 1 ベース基板と対向する第 2 ベース基板の上に、前記貯蔵電極が形成された領域に対応する突出部を形成するステップと、
前記第 1 及び第 2 ベース基板をアセンブリするステップと、

40

50

前記第 1 及び第 2 ベース基板の間に液晶層を形成するステップと、を含むことを特徴とする表示パネルの製造方法。

【請求項 19】

前記突出部を形成するステップは、

前記第 2 ベース基板上に遮光膜を塗布するステップと、

前記遮光膜をパターンニングして、前記画素領域の周辺部に対応する第 1 ブラックマトリックス及び前記貯蔵電極が形成された領域に対応する第 2 ブラックマトリックスを形成するステップと、を含むことを特徴とする請求項 18 に記載の表示パネルの製造方法。

【請求項 20】

前記第 2 ベース基板上に、多数の色画素のうち選択された一つの色画素からなるカラーフィルタ層を形成するステップをさらに含み、

前記突出部を形成するステップは、

前記貯蔵電極が形成された領域に対応して、前記カラーフィルタ層上に、前記多数の色画素のうち前記選択された色画素を除く他の色画素を形成するステップをさらに含むことを特徴とする請求項 19 に記載の表示パネルの製造方法。

【請求項 21】

前記カラーフィルタ層及び前記突出部上に共通電極を形成するステップをさらに含むことを特徴とする請求項 20 に記載の表示パネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネル及びこれの製造方法に関する。

【背景技術】

【0002】

一般に、液晶表示パネルは、アレイ基板、アレイ基板と対向するカラーフィルタ基板及びアレイ基板とカラーフィルタ基板の間に介在された液晶層からなる。

アレイ基板は、画像をディスプレイする最小単位である複数の画素からなる。画素のそれぞれは、ゲートライン、データライン、薄膜トランジスタ、貯蔵電極及び画素電極を備える。ゲートラインとデータラインは、ゲート信号とデータ信号をそれぞれ受信し、薄膜トランジスタのゲート電極とソース電極とそれぞれ電氣的に連結される。画素電極は、薄膜トランジスタのドレイン電極と電氣的に連結される。

【0003】

一方、カラーフィルタ基板は、カラーフィルタ層及び共通電極を備える。カラーフィルタ層は、赤、緑及び青色画素からなり、共通電極はカラーフィルタ層上に形成されて、液晶層をはさんで画素電極と対向する。

前記のアレイ基板は、5 枚のマスクを用いる方法または 4 枚のマスクを用いる方法で製造することができる。5 枚のマスクを用いる方法では、薄膜トランジスタのアクティブ層とオーミックコンタクト層をパターンニングするマスクとソース及びドレイン電極をパターンニングするマスクが別個に備えられる。一方、4 枚のマスクを用いる方法の場合、薄膜トランジスタのアクティブ層、オーミックコンタクト層、ソース及びドレイン電極は、1 枚のマスクを用いて同時にパターンニングされる。よって、5 枚のマスクを用いる方法より 4 枚のマスクを用いる方法の製造工程が単純化される。

【0004】

4 枚のマスクを用いて完成されたアレイ基板における貯蔵キャパシタは、貯蔵電極及び画素電極からなり、両電極の間に介在された絶縁膜が誘電体として作用する。従来には、貯蔵キャパシタの静電容量を増加させるために、絶縁膜が、貯蔵電極が形成された領域で陥没した構造からなる。しかし、絶縁膜が陥没されただけ、液晶表示パネルに充填される液晶量が増加する。

【特許文献 1】特開 2001 - 059960

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】**【0005】**

本発明は、上述の問題点に鑑みてなされたもので、その目的は、液晶量を節減し、均一なセルギャップを有する表示パネルを提供することにある。

本発明の他の目的は、前記表示パネルの製造方法を提供することにある。

【課題を解決するための手段】**【0006】**

上記目的を達成すべく、本発明1に係る表示パネルは、アレイ基板、対向基板及び前記アレイ基板と前記対向基板の間に介在された液晶層を含む。

前記アレイ基板は、多数の画素領域が定義された第1ベース基板、貯蔵電極、絶縁膜及び画素電極からなる。前記貯蔵電極は、前記各画素領域内で前記第1ベース基板上に備えられ、前記絶縁膜は、前記貯蔵電極をカバーし、前記各画素領域のうち前記貯蔵電極が形成された領域で陥没した構造で形成される。前記画素電極は、前記絶縁膜上に備えられ、前記貯蔵電極と対向する。

10

【0007】

前記対向基板は、前記第1ベース基板と対向する第2ベース基板及び突出部を備える。前記突出部は、前記貯蔵電極が形成された領域に対応して、前記第2ベース基板上に備えられて、前記第1ベース基板の方に突出する。

本発明の表示パネル及びこれの製造方法によれば、アレイ基板側の絶縁膜は、貯蔵電極が形成された領域に対応して陥没した構造からなり、対向基板側には、絶縁膜の陥没した部分に対応してアレイ基板の方に突出した突出部が備えられる。

20

【0008】

したがって、アレイ基板と対向基板のセルギャップが補償されることで、表示パネルは均一なセルギャップを有することができる。また、絶縁膜の陥没した構造により増加した液晶量が、突出部の体積だけ減少することで、前記表示パネルに充填される全体液晶量を節減することができる。

なお、絶縁膜は、前記貯蔵電極をカバーし、前記各画素領域のうち前記貯蔵電極が形成された領域で陥没した構造で形成される。よって、誘電体の厚さに比例する貯蔵キャパシタ Cst の静電容量を増加することができる。

30

【0009】

発明2は、発明1において、前記対向基板は、前記第2ベース基板上に備えられ、前記各画素領域の周辺部に形成された第1ブラックマトリックスをさらに含むことを特徴とする。第1ブラックマトリックスにより画素領域周辺での光漏れを防止することができる。

発明3は、発明2において、前記突出部は、前記第1ブラックマトリックスと同一な物質からなる第2ブラックマトリックスを含むことを特徴とする。突出部は、第1ブラックマトリックスと同一な物質である第2ブラックマトリックスで形成されるため、突出部を第1ブラックマトリックスと同一の工程で製造することができる。よって、製造工程を簡略化することができる。

【0010】

発明4は、発明3において、前記対向基板は、前記各画素領域に備えられる色画素からなるカラーフィルタ層をさらに含み、前記色画素は、前記貯蔵電極が形成された領域で、前記第2ブラックマトリックスをカバーすることを特徴とする。

40

発明5は、発明4において、前記突出部は、前記色画素と前記第2ブラックマトリックスの間に備えられ、隣接する色画素のうち何れか一つの色画素と同一なダミー色画素をさらに含むことを特徴とする。ダミー色画素は、隣接する画素領域に備えられる色画素の一つであって、隣接する画素領域に色画素を形成する時に一緒に形成することができる。

【0011】

発明6は、発明1において、前記対向基板は、前記各画素領域に対応して備えられる色画素からなるカラーフィルタ層をさらに含むことを特徴とする。

発明7は、発明6において、前記突出部は、前記色画素と前記第2ベース基板の間に備

50

えられ、隣接する色画素のうち一つの選択された色画素と同一な第1ダミー色画素を含むことを特徴とする。よって、突出部は、隣接する画素領域に色画素を形成する時に一緒に形成することができる。

【0012】

発明8は、発明7において、前記突出部は、前記色画素上に備えられ、前記隣接する色画素のうち前記選択された色画素を除く他の一つの色画素と同一な第2ダミー色画素をさらに含むことを特徴とする。よって、突出部は、隣接する画素領域に色画素を形成する時に一緒に形成することができる。

発明9は、発明6において、前記対向基板は、前記カラーフィルタ層上に備えられた共通電極と、前記画素電極と前記共通電極の間に介在されて、前記画素電極と前記共通電極の間にギャップを形成するギャップ維持パターンと、をさらに含むことを特徴とする。

10

【0013】

発明10は、発明9において、前記突出部は、前記ギャップ維持パターンと同一な工程により前記共通電極上に形成されたダミーギャップ維持パターンからなることを特徴とする。ダミーギャップ維持パターンは、ギャップ維持パターンと同一な物質からなり、同一な工程により同時にパターンニングされる。

発明11は、発明1において、前記突出部は、前記絶縁膜の陥没した深さより小さいか同一な高さを有することを特徴とする。これにより、アレイ基板と対向基板のセルギャップが補償されることで、表示パネルは均一なセルギャップを有することができる。また、絶縁膜の陥没した構造により増加した液晶量が、突出部の体積だけ減少することで、前記表示パネルに充填される全体液晶量を節減することができる。

20

【0014】

発明12は、発明1において、前記絶縁膜は、前記貯蔵電極をカバーするゲート絶縁膜と、前記ゲート絶縁膜上に備えられた保護膜と、前記保護膜上に備えられ、前記貯蔵電極が形成された領域で陥没した構造からなる有機絶縁膜と、を含むことを特徴とする。

発明13は、発明1において、前記画素電極は、第1画素電圧が印加される第1サブ画素電極と、前記第1画素電圧より低い第2画素電圧が印加される第2サブ画素電極と、からなることを特徴とする。第1及び第2画素電極に印加される電圧が異なることで、第1及び第2画素電極上で液晶の配列が異なる。その結果、該当領域で互いに異なる光特性が表れ、相互補償作用により前記表示パネルの画質（例えば、側面視野角）が改善されること

30

【0015】

発明14は、発明13において、前記画素電極には、前記第1及び第2サブ画素電極を電氣的に分離し、前記画素電極を多数のドメインに分割する多数の第1開口パターンが形成されることを特徴とする。多数のドメイン内の液晶分子は、様々な方向に傾いており、これにより側面視野角を改善することができる。

発明15は、発明14において、前記対向基板は、前記画素電極と対向する共通電極をさらに含み、前記共通電極には多数の第2開口パターンが形成され、前記第2開口パターンは前記第1開口パターンと相違する位置に形成されて、前記多数のドメインを再分割することを特徴とする。

40

【0016】

発明16は、発明1において、前記アレイ基板は、第1ゲートラインと、前記第1ゲートラインと所定間隔で離隔する第2ゲートラインと、前記第1及び第2ゲートラインと絶縁されて交差するデータラインと、前記第1ゲートラインと前記データラインに電氣的に連結されて、前記第1画素電圧を出力する第1薄膜トランジスタと、前記第2ゲートラインと前記データラインに電氣的に連結されて、前記第2画素電圧を出力する第2薄膜トランジスタと、をさらに含むことを特徴とする。

【0017】

発明17は、発明16において、前記第1サブ画素電極は、前記第1薄膜トランジスタの出力電極に電氣的に連結されて、前記第1画素電圧を受信し、前記第2サブ画素電極は

50

、前記第 2 薄膜トランジスタの出力電極に電氣的に連結されて、前記第 2 画素電圧を受信することを特徴とする。

本発明 18 に係る表示パネルの製造方法で、画素領域が定義された第 1 ベース基板には、ゲート電極及び貯蔵電極が形成される。前記第 1 ベース基板に、前記ゲート電極及び貯蔵電極をカバーするゲート絶縁膜が形成される。前記ゲート絶縁膜上に、アクティブパターン、オーミックコンタクトパターン、前記オーミックコンタクトパターンと同一なパターンからなるソース及びドレイン電極が形成される。前記ソース及びドレイン電極をカバーし、前記貯蔵電極が形成された領域で陥没した構造からなる絶縁膜が形成され、前記絶縁膜上には画素電極を形成される。前記第 1 ベース基板と対向する第 2 ベース基板に、前記貯蔵電極が形成された領域に対応する突出部が形成される。前記第 1 及び第 2 ベース基板は互いにアセンブリされ、前記第 1 及び第 2 ベース基板の間に液晶層を形成される。

10

【0018】

発明 19 は、発明 18 において、前記突出部を形成するステップは、前記第 2 ベース基板上に遮光膜を塗布するステップと、前記遮光膜をパターンングして、前記画素領域の周辺部に対応する第 1 ブラックマトリックス及び前記貯蔵電極が形成された領域に対応する第 2 ブラックマトリックスを形成するステップと、を含むことを特徴とする。

発明 20 は、発明 19 において、前記第 2 ベース基板上に、多数の色画素のうち選択された一つの色画素からなるカラーフィルタ層を形成するステップをさらに含み、前記突出部を形成するステップは、前記貯蔵電極が形成された領域に対応して、前記カラーフィルタ層上に、前記多数の色画素のうち前記選択された色画素を除く他の色画素を形成するステップをさらに含むことを特徴とする。

20

【0019】

発明 21 は、発明 20 において、前記カラーフィルタ層及び前記突出部上に共通電極を形成するステップをさらに含むことを特徴とする。

【発明の効果】

【0020】

本発明によれば、液晶量を節減し、均一なセルギャップを有する表示パネルを提供することができる。

【発明を実施するための最良の形態】

30

【0021】

以下、添付図面に基づき、本発明の好ましい実施の形態をより詳細に説明する。

図 1 は、本発明の一実施の形態に係る表示パネルの平面図であり、図 2 は、図 1 の I - I' 線及び II - II' 線断面図である。

図 1 及び図 2 に示すように、表示パネル 100 は、アレイ基板 110、前記アレイ基板 110 と対向して結合するカラーフィルタ基板 120 及び前記アレイ基板 110 と前記カラーフィルタ基板 120 の間に介在された液晶層からなる。

【0022】

前記アレイ基板 110 は、第 1 ベース基板 111 及び多数の画素を含む。前記第 1 ベース基板 111 には、多数の画素領域がマトリックス形態に定義され、前記各画素領域 PA には一つの画素が備えられる。前記各画素領域 PA に備えられる画素の構造は全て同一であるので、図 1 及び図 2 では一つの画素構造だけを説明し、他の画素についての説明は省略する。

40

【0023】

前記第 1 ベース基板 111 上には、前記画素と電氣的に連結される第 1 データライン DL1、第 1 及び第 2 ゲートライン GL1、GL2 が備えられる。また、前記第 1 ベース基板 111 上には、前記画素と隣接する画素に電氣的に連結される第 3 ゲートライン GL3 及び第 2 データライン DL2 がさらに備えられる。

具体的に、前記第 1 ~ 第 3 ゲートライン GL1 ~ GL3 は第 1 方向 D1 に延長され、前記第 1 及び第 2 データライン DL1、DL2 は、前記第 1 方向 D1 と直交する第 2 方向 D

50

2に延長される。よって、前記第1ベース基板111の画素領域は、前記第2及び第3ゲートラインGL2、GL3、第1及び第2データラインDL1、DL2により直四角形形態になる。ここで、前記第1及び第2データラインDL1、DL2は、前記第1～第3ゲートラインGL1～GL3と相違する層に備えられて、互いに電氣的に絶縁される。

【0024】

前記画素領域PAに備えられた画素は、第1及び第2薄膜トランジスタ112、113、ゲート絶縁膜114、保護膜115、有機絶縁膜116、貯蔵電極117、画素電極118を含む。

前記第1薄膜トランジスタ112は、第1ゲート電極112a、第1アクティブパターン112b、第1オーミックコンタクトパターン112c、第1ソース電極112d及び第1ドレイン電極112eを含む。

10

【0025】

前記第1ゲート電極112aは、前記第1ゲートラインGL1から分岐され、前記第1ベース基板111上に備えられる。前記第1ゲート電極112aは、前記ゲート絶縁膜114によりカバーされる。前記ゲート絶縁膜114上には、前記第1アクティブパターン112b及び第1オーミックコンタクトパターン112cが形成される。前記第1オーミックコンタクトパターン112cは、前記第1ゲート電極112aが形成された領域で部分的に除去される。前記第1ソース電極112dと前記第1ドレイン電極112eは、前記第1オーミックコンタクトパターン112c上に形成され、前記第1オーミックコンタクトパターン112cが除去された領域で、互いに所定間隔で離隔する。

20

【0026】

前記第2薄膜トランジスタ113は、第2ゲート電極113a、第2アクティブパターン(図示せず)、第2オーミックコンタクトパターン(図示せず)、第2ソース電極113d及び第2ドレイン電極113eを含む。

前記第1及び第2薄膜トランジスタ112、113は、同一な断面構造を有する。図2では、第1薄膜トランジスタ112の切断面だけを図示しているが、前記第2薄膜トランジスタ113もそれと同一な構造を有する。

【0027】

前記第2薄膜トランジスタ113の前記第2ゲート電極113aは、前記第2ゲートラインGL2から分岐され、前記第1ベース基板111上に備えられる。前記第2ゲート電極112aは、前記ゲート絶縁膜114によりカバーされる。前記ゲート絶縁膜114上には、前記第2アクティブパターン及び第2オーミックコンタクトパターンが形成され、前記第2オーミックコンタクトパターンは、前記第2ゲート電極113aが形成された領域で部分的に除去される。前記第2ソース電極113dと前記第2ドレイン電極113eは、前記第2オーミックコンタクトパターン上に形成され、前記第2オーミックコンタクトパターンが除去された領域で互いに所定間隔で離隔する。

30

【0028】

前記貯蔵電極117は、前記第1及び第2ゲート電極112a、113aと同一な物質からなり、前記第1ベース基板111上に備えられ、前記第1及び第2ゲートラインGL1、GL2の間に位置する。前記貯蔵電極117は、前記第1方向D1に延長された直四角形形状からなる。前記貯蔵電極117は、前記画素領域PAに全体的に形成される前記ゲート絶縁膜114によりカバーされる。

40

【0029】

前記ゲート絶縁膜114、前記第1及び第2薄膜トランジスタ112、113は、前記保護膜115によりカバーされる。前記保護膜115上には、前記有機絶縁膜116がさらに備えられる。前記保護膜115は及び前記有機絶縁膜116には、第1ドレイン電極112eを露出させる第1コンタクトホールH1及び前記第2ドレイン電極113eを露出させる第2コンタクトホールH2が形成される。また、前記有機絶縁膜116は、前記貯蔵電極が形成された領域で所定深さで陥没する。

【0030】

50

前記有機絶縁膜 116 上には、前記画素電極 118 が形成される。前記画素電極 118 は、前記画素領域 PA の中央に位置する前記貯蔵電極 117 を基準として、前記第 1 方向 D1 に対称の構造からなる。

前記画素電極 118 は、前記貯蔵電極 117 と対向して貯蔵キャパシタ Cst を形成する。ここで、前記画素電極 118 と前記貯蔵電極 117 との間に介在された前記有機絶縁膜 116、前記保護膜 115 及び前記ゲート絶縁膜 114 は、誘電体として作用する。このとき、前記貯蔵電極 117 が形成された領域で、前記有機絶縁膜 116 が完全に除去されるか、薄い厚さを有するよう部分的に除去される。これで、誘電体の厚さに比例する前記貯蔵キャパシタ Cst の静電容量が増加することができる。

【0031】

一方、前記画素電極 118 は、第 1 画素電圧が印加される第 1 サブ画素電極 118a 及び前記第 1 画素電圧より低い第 2 画素電圧が印加される第 2 サブ画素電極 118b を含む。このように、前記第 1 及び第 2 サブ画素電極 118a、118b に相違する画素電圧が印加されるために、前記第 1 及び第 2 サブ画素電極 118a、118b は相違する薄膜トランジスタと電氣的に連結される。

【0032】

具体的に、前記第 1 サブ画素電極 118a は、前記第 1 コンタクトホール H1 を介して前記第 1 ドレイン電極 112e と電氣的に連結され、前記第 2 サブ画素電極 118b は、前記第 2 コンタクトホール H2 を介して前記第 2 ドレイン電極 113e と電氣的に連結される。よって、前記第 1 ゲートライン GL1 に印加された第 1 ゲート信号に应答して、前記第 1 薄膜トランジスタ 112 がターンオンされると、前記第 1 データライン DL1 に印加された前記第 1 画素電圧が前記第 1 サブ画素電極 118a に提供される。その後、前記第 2 ゲートライン GL2 に印加された第 2 ゲート信号に应答して、前記第 2 薄膜トランジスタ 113 がターンオンされると、前記第 1 データライン DL1 に印加された前記第 2 画素電圧が前記第 2 サブ画素電極 118b に提供される。

【0033】

このように、前記第 1 及び第 2 サブ画素電極 118a、118b に印加される電圧が異なることで、前記第 1 及び第 2 サブ画素電極 118a、118b 上で液晶の配列が異なる。その結果、該当領域で互いに異なる光特性が表れ、相互補償作用により前記表示パネル 100 の画質（例えば、側面視野角）が改善されることことができる。

図 1 に示すように、前記第 1 サブ画素電極 118a は、横たわる V 字の形状からなり、前記貯蔵電極 117 とと一部分重なっている。また、前記第 1 サブ画素電極 118a は、前記貯蔵電極 117 を基準に、前記第 1 方向 D1 に対称の構造を有する。前記第 1 サブ画素電極 118a が形成されない他の画素領域 PA には、前記第 2 サブ画素電極 118b が形成される。

【0034】

前記第 1 及び第 2 サブ画素電極 118a、118b は、第 1 開口パターン 118c を介して、互いに所定間隔で離隔して電氣的に絶縁される。また、前記第 2 サブ画素電極 118b には、前記第 1 開口パターン 118c が所定間隔で形成される。前記の第 1 開口パターン 118c は、前記画素領域 PA を多数のドメインに分離する。

一方、前記カラーフィルタ基板 120 は、第 2 ベース基板 121、第 1 ブラックマトリックス 122、カラーフィルタ層 123、共通電極 124、第 1 突出部 125 及びコラムスペーサ 135 を含み、前記アレイ基板 110 と対向して結合する。

【0035】

前記第 1 ブラックマトリックス 122 は、遮光性物質からなり、前記第 2 ベース基板 121 上に備えられる。図 1 に示すように、前記第 1 ブラックマトリックス 122 は、前記第 1 及び第 2 データライン DL1、DL2、前記第 1 及び第 2 薄膜トランジスタ 112、113 が形成された領域に対応して備えられる。よって、前記第 1 ブラックマトリックス 122 は、前記画素領域 PA の周辺部で光の漏れを遮断することができる。

【0036】

10

20

30

40

50

前記カラーフィルタ層 1 2 3 は、赤、緑及び青色画素からなり、各色画素は、前記アレイ基板 1 1 0 の各画素領域 P A に対応して備えられる。本発明の一例として、前記画素領域 P A には、緑色画素 G が備えられる。

前記共通電極 1 2 4 は、前記カラーフィルタ層 1 2 3 上に均一な厚さで形成される。前記共通電極 1 2 4 には、互いに所定間隔で離隔する多数の第 2 開口パターン 1 2 4 a が形成される。また、前記画素電極 1 1 8 に形成された一つの第 1 開口パターン 1 1 8 c は、互いに隣接する二つの第 2 開口パターン 1 2 4 a の間に配置される。よって、前記画素領域 P A は、前記第 1 及び第 2 開口パターン 1 1 8 c、1 2 4 a により多数のドメイン（本発明の一例として、1 8 個のドメイン）に分割される。

【0037】

前記アレイ基板 1 1 0 と前記カラーフィルタ基板 1 2 0 の間には、液晶層が介在され、前記液晶層の液晶分子が前記各ドメインで互いに異なる方向に配向されることにより、前記表示パネル 1 0 0 の視野角が向上する。

前記コラムスペーサ 1 3 5 は、前記共通電極 1 2 4 上に備えられ、前記アレイ基板 1 1 0 と前記カラーフィルタ基板 1 2 0 が対向して結合されると、前記アレイ基板 1 1 0 と前記カラーフィルタ基板 1 2 0 を離隔させる。よって、前記コラムスペーサ 1 3 5 により形成された前記アレイ基板 1 1 0 と前記カラーフィルタ基板 1 2 0 との間には離隔空間が形成され、前記離隔空間には液晶が充填される。

【0038】

一方、前記貯蔵電極 1 1 7 が形成された領域は光が透過できない領域であって、実質的に映像が表示されないが、前記液晶が充填される。前記第 1 突出部 1 2 5 は、前記貯蔵電極 1 1 7 が形成された領域に充填される液晶の量を減少させるために、前記アレイ基板 1 1 0 の方に突出するように、前記第 2 ベース基板 1 2 1 上に備えられる。

本発明の一例として、前記第 1 突出部 1 2 5 は、前記第 1 ブラックマトリックス 1 2 2 と同一な遮光性物質からなって同時にパターンニングされる第 2 ブラックマトリックスからなる。前述したように、前記貯蔵電極 1 1 7 が形成された領域は、前記貯蔵電極 1 1 7 により光が透過できない領域である。よって、前記貯蔵電極 1 1 7 が形成された領域で前記第 1 突出部 1 2 5 を前記第 2 ブラックマトリックスで形成しても、前記表示パネル 1 0 0 の開口率は低下しない。

【0039】

前記第 1 突出部 1 2 5 の高さは、前記有機絶縁膜 1 1 6 が陥没した深さより小さいか同一で、前記第 1 突出部 1 2 5 の幅は、前記貯蔵電極 1 1 7 の幅より小さいか同じである。本発明の一例として、前記第 1 突出部 1 2 5 の高さは、前記第 1 ブラックマトリックス 1 2 2 の厚さと同一である。

このように、前記貯蔵電極 1 1 7 が形成された領域に対応して前記カラーフィルタ基板 1 2 0 に前記第 1 突出部 1 2 5 を備えることにより、前記貯蔵電極 1 1 7 が形成された領域で液晶層の厚さを減少させることができる。その結果、前記表示パネル 1 0 0 に介在される液晶の全体体積が減少し、それによって液晶量を節減することができる。

【0040】

また、前記第 1 突出部 1 2 5 は、前記表示パネルのセルギャップ（アレイ基板 1 1 0 とカラーフィルタ基板 1 2 0 の離隔距離）を均一にする。すなわち、前記有機絶縁膜 1 1 6 が陥没した位置で、前記有機絶縁膜 1 1 6 が陥没した深さだけ前記第 1 突出部 1 2 5 の高さを調節すると、前記表示パネル 1 0 0 のセルギャップが全体的に均一に維持されることができる。前記表示パネル 1 0 0 のセルギャップは、前記表示パネル 1 0 0 の表示品質に影響を与える要因であるので、このようにセルギャップが均一になれば、前記表示パネル 1 0 0 の表示品質が改善されることができる。

【0041】

図 3 は、本発明の他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図である。但し、図 3 に図示された構成要素のうち、図 2 に図示された構成要素と同一な構成要素には同一な参照符号を付け、それについての具体的な説明は省略する。

10

20

30

40

50

図3に示すように、貯蔵電極117が形成された領域で、カラーフィルタ基板120に備えられる第2突出部126は、第2ブラックマトリックス126a及びダミー色画素126bからなる。

【0042】

前記第2ブラックマトリックス126aは、前記カラーフィルタ基板120の第1ブラックマトリックス122(図2参照)と同一な物質からなって、同時にパターンニングされる。前記ダミー色画素126bは、隣接する画素領域に備えられる色画素の一つであって、隣接する画素領域に色画素を形成する時に一緒に形成することができる。本発明の一例として、前記ダミー色画素126bは、赤色画素Rからなり得る。

【0043】

このように、前記第2突出部126に前記ダミー色画素126bが追加されると、前記第2突出部126の全体高さは、図2に図示された第1と突出部125の高さより大きくなる。したがって、前記貯蔵電極117が形成された領域で液晶層の厚さがより減少し、その結果、前記表示パネル100に充填される液晶量を節減することができる。

図4は、本発明のまた他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図であり、図5は、本発明のまた他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図である。但し、図4及び図5に図示された構成要素のうち、図2に図示された構成要素と同一な構成要素には同一な参照符号を付け、それについての具体的な説明は省略する。

【0044】

図4に示すように、カラーフィルタ基板120は、貯蔵電極117が形成された領域に備えられる第3突出部127を含み、前記第3突出部127は、第1ダミー色画素からなる。

前記第1ダミー色画素は、隣接する画素領域に備えられる色画素の一つであって、隣接する画素領域に色画素を形成する時に一緒に形成することができる。本発明の一例として、前記第1ダミー色画素は、赤色画素Rからなり得る。

【0045】

図5に示すように、本発明の他の実施の形態に係るカラーフィルタ基板120は、貯蔵電極117が形成された領域に備えられる第4突出部128を含み、前記第4突出部128は、第1及び第2ダミー色画素128a、128bからなる。前記第1ダミー色画素128aは、隣接する画素領域に備えられる色画素のうち何れか一つであり、前記第2ダミー色画素128bは、隣接する画素領域に備えられる色画素のうち他の一つである。したがって、前記第1及び第2ダミー色画素128a、128bは、隣接する画素領域に色画素を形成する時に一緒に形成することができる。本発明の一例として、前記第1ダミー色画素128aは赤色画素Rからなり、前記第2ダミー色画素128bは青色画素Bからなる。

【0046】

図4及び図5を参照すると、前記カラーフィルタ基板120に第3及び第4突出部127、128を備えることで、前記貯蔵電極117が形成された領域で液晶層の厚さが減少し、その結果、前記表示パネル100に充填される液晶量を節減することができる。

図6は、本発明のまた他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図である。但し、図6に図示された構成要素のうち、図2に図示された構成要素と同一な構成要素には同一な参照符号を付け、それについての具体的な説明は省略する。

【0047】

図6に示すように、本発明の他の実施の形態に係るカラーフィルタ基板120は、貯蔵電極117が形成された領域に備えられる第5突出部137を含み、前記第5突出部137はダミーコラムスペーサからなる。前記ダミーコラムスペーサ137は、図2に図示されたコラムスペーサ135と同一な物質からなり、同一な工程により同時にパターンニングされる。

【0048】

前記ダミーコラムスペーサ137は、前記コラムスペーサ135より低い高さを有する

10

20

30

40

50

ことができる。すなわち、前記コラムスペーサ 135 を形成する工程で、前記ダミーコラムスペーサ 137 が形成される領域にスリットマスクを形成して、前記ダミーコラムスペーサ 137 の高さを前記コラムスペーサ 135 より低く形成することができる。本発明の一例として、前記ダミーコラムスペーサ 137 は、有機絶縁膜 116 が陥没した深さより小さいか同一な高さで形成される。

【0049】

このように、前記カラーフィルタ基板 120 に前記ダミーコラムスペーサ 137 を備えることで、前記貯蔵電極 117 が形成された領域で液晶層の厚さが減少し、その結果、前記表示パネル 100 に充填される液晶量を節減することができる。

図 7 は、本発明の他の実施の形態に係る表示パネルの平面図である。

図 7 に示すように、本発明の他の実施の形態に係る表示パネル 200 は、第 1 及び第 2 データライン DL1、DL2、第 1 ~ 第 3 ゲートライン GL1 ~ GL3 を含む。前記第 1 ~ 第 3 ゲートライン GL1 ~ GL3 は、第 1 方向 D1 に延長され、前記第 1 及び第 2 データライン DL1、DL2 は、前記第 1 方向 D1 と直交する第 2 方向 D2 に延長される。

【0050】

前記表示パネル 200 は、第 1 及び第 2 薄膜トランジスタ 212、213、貯蔵電極 217 及び画素電極 218 をさらに含む。前記第 1 薄膜トランジスタ 212 は、前記第 1 ゲートライン GL1 と前記第 1 データライン DL1 と電氣的に連結され、前記第 2 薄膜トランジスタ 213 は、前記第 2 ゲートライン GL2 と前記第 1 データライン DL1 と電氣的に連結される。

【0051】

前記画素電極 218 は、前記第 2 ゲートライン GL2 と前記第 3 ゲートライン GL3 の間の領域に形成され、前記貯蔵電極 217 は、前記第 2 ゲートラインと前記第 3 ゲートライン GL3 の中間地点から前記第 1 方向 D1 に延長される。前記画素電極 218 はジグザグ形状からなり、前記中間地点を基準に上下対称構造を有する。

前記画素電極 218 は、第 1 及び第 2 サブ画素電極 218a、218b からなる。前記第 1 サブ画素電極 218a は、横たわる V 字の形状からなり、前記中間地点を基準に上下対称構造を有する。前記第 1 サブ画素電極 218a が形成されない他の領域には、前記第 2 サブ画素電極 218b が形成される。前記第 1 サブ画素電極 218a は、前記第 1 薄膜トランジスタ 212 と電氣的に連結され、前記第 2 サブ画素電極 218b は、前記第 2 薄膜トランジスタ 213 と電氣的に連結され、前記第 1 及び第 2 サブ画素電極 218a、218b は互いに電氣的に絶縁される。

【0052】

前記第 1 及び第 2 サブ画素電極 218a、218b が互いに電氣的に分離されるように、前記第 1 及び第 2 サブ画素電極 218a、218b の間には、第 1 開口パターン 218c が形成される。ここで、前記第 1 データライン DL1 は、前記画素電極 218 と平行に延長された少なくとも二つの辺を備えるように、折曲される。よって、画素領域には、前記第 1 データライン DL1 と前記第 1 開口パターン 218c がオーバーラップする領域が存在する。

【0053】

前記表示パネル 200 は、前記画素領域の周辺部に備えられて、前記画素領域の周辺における光漏れを防止するための第 1 ブラックマトリックス 222 を備える。また、前記表示パネル 200 は、前記第 1 データライン DL1 と第 1 開口パターン 218c がオーバーラップする領域に備えられる第 3 ブラックマトリックス 229 及び前記貯蔵電極 217 と平衡な前記第 1 方向 D1 に延長された第 4 ブラックマトリックス 225 をさらに備える。前記第 3 ブラックマトリックス 229 は、前記第 1 データライン DL1 と前記第 1 開口パターン 218c がオーバーラップする領域における光漏れを防止する。前記第 4 ブラックマトリックス 225 は、前記第 3 ブラックマトリックス 229 から分岐され、前記貯蔵電極 217 が形成された領域に備えられる。

【0054】

10

20

30

40

50

図 1 に図示された構造と同様に、貯蔵キャパシタを増加させるために、前記貯蔵電極 217 が形成された領域で、有機絶縁膜（図示せず）は所定深さで陥没する。しかし、このような構造で、前記有機絶縁膜の陥没した部分には、不必要な液晶が充填され、その結果、表示パネル 200 の全体液晶量が増加する。前記第 4 ブラックマトリクス 225 は、前記有機絶縁膜が陥没した位置で前記貯蔵電極 217 の方に突出する。前記第 4 ブラックマトリクス 225 は、前記有機絶縁膜が陥没した位置に多量の液晶が充填されることを防止して、前記表示パネル 200 の全体液晶量を減少させる。

【0055】

本発明の一例として、前記第 4 ブラックマトリクス 225 は、前記貯蔵電極 217 の幅より小さいか同一な幅を有し、前記第 1 ブラックマトリクス 222 と同一な厚さを有する。よって、前記第 4 ブラックマトリクス 225 により前記表示パネル 200 の開口率が低下することを防止できる。

図 7 では、前記画素電極 218 がジグザグ形状に折曲された構造で、前記貯蔵電極 217 が形成された領域に対応して第 4 ブラックマトリクス 225 が形成された構造を提示している。しかし、図 3 ~ 図 6 に図示されたように、前記貯蔵電極 217 が形成された領域に対応して、様々な構造の突出部が備えられることができる。

【0056】

図 8 A ~ 図 8 K は、図 2 に図示された表示パネルの製造工程を示す断面図である。但し、下記に記載される第 1 薄膜トランジスタ 112 の製造過程の説明は、第 2 薄膜トランジスタ 113 の製造過程と類似して適用されるので、前記第 2 薄膜トランジスタ 113 の製造過程についての別途の説明は省略する。

図 8 A に示すように、第 1 ベース基板 111 上にゲート金属膜を形成した後、第 1 マスク（図示せず）を用いてパターンニングして、第 1 ゲート電極 112 a と貯蔵電極 117 が形成される。前記ゲート金属膜は、銅、アルミニウム、銀、クロム系列の金属やこれらの合金を蒸着して形成され、パターンニング工程で前記ゲート金属膜はエッチング液を用いるウェットエッチングによりエッチングされることができる。

【0057】

図 8 B に示すように、第 1 ゲート電極 112 a と貯蔵電極 117 上にはゲート絶縁膜 114 が形成される。前記ゲート絶縁膜 114 は、無機系化合物、例えば、シリコン窒化膜で形成され得る。前記ゲート絶縁膜 114 上にはアクティブ膜 119 a が形成される。前記アクティブ膜 119 a は、非晶質シリコン膜で形成され得る。前記アクティブ膜 119 a 上には、不純物イオンを含むオーミックコンタクト膜 119 b が形成される。前記ゲート絶縁膜 114、アクティブ膜 119 a 及びオーミックコンタクト膜 119 b は、プラズマ化学気相蒸着法で前記第 1 ベース基板 111 の前面をカバーするように形成される。

【0058】

前記オーミックコンタクト膜 119 b 上には、データ金属膜 119 c が形成される。前記データ金属膜 119 c、アクティブ膜 119 a 及びオーミックコンタクト膜 119 b は、フォト工程によりパターンニングされる。図面には図示していないが、前記データ金属膜 119 c 上には、感光膜パターンが形成される。前記感光膜パターンは、前記データ金属膜 119 c 上に感光膜をコーティングした後、第 2 マスク（図示せず）を用いて前記感光膜を露光及び現像して形成される。

【0059】

前記感光膜パターンは、位置によって相違する厚さを有するが、前記第 1 ゲート電極 112 a が形成された領域で薄い厚さを有する。すなわち、前記第 1 ゲート電極 112 a が形成された領域で、前記第 2 マスクとしてスリットマスクまたはハーフトーンマスクを使用することができる。

その後、前記感光膜パターンをエッチングマスクとして、前記データ金属膜 119 c、オーミックコンタクト膜 119 b 及びアクティブ膜 119 a がエッチングされる。前記のエッチング工程により、データ金属膜パターン、予備オーミックコンタクトパターン及びアクティブパターン 112 b が形成される。前記データ金属膜パターン、予備オーミック

10

20

30

40

50

コンタクトパターン及びアクティブパターン 1 1 2 b は、同一パターンで形成される。

【 0 0 6 0 】

次に、前記感光膜パターンが均一に除去されて、2次感光膜パターンが形成される。2次感光膜パターンをエッチングマスクとして、第1ゲート電極 1 1 2 a が形成された領域からデータ金属膜パターン及び予備オーミックコンタクトパターンを除去する。

図 8 C に示すように、データ導電膜パターン及び予備オーミックコンタクトパターンがエッチングされて、第1ゲート電極 1 1 2 a 上には、第1ソース電極 1 1 2 d と第1ドレイン電極 1 1 2 e が形成される。また、予備オーミックコンタクトパターンがエッチングされてオーミックコンタクトパターン 1 1 2 c が形成される。前記オーミックコンタクトパターン 1 1 2 c が二つの部分に分離され、それぞれ前記第1ソース電極 1 1 2 d 及び第1ドレイン電極 1 1 2 e とコンタクトされる。前記オーミックコンタクトパターン 1 1 2 c の下部には、前記アクティブパターン 1 1 2 b が形成される。

10

【 0 0 6 1 】

前記のような工程により、前記第1薄膜トランジスタ 1 1 2 が完成される。前述したように、前記アクティブパターン 1 1 2 b 及びオーミックコンタクトパターン 1 1 2 c と前記第1ソース電極 1 1 2 d 及び前記第1ドレイン電極 1 1 2 e を同一なマスクを用いて形成することで、工程手順とそれによる製造費用を減少させることができる。

図 8 D に示すように、前記第1薄膜トランジスタ 1 1 2 及びゲート絶縁膜 1 1 4 上には、第1透明絶縁膜 1 1 9 e 及び第2透明絶縁膜 1 1 9 f が形成される。前記第2透明絶縁膜 1 1 9 f は、アクリル成分の樹脂からなり、露光及び現像が可能であるように、感光性を有する。前記第2透明絶縁膜 1 1 9 f は、ポジティブタイプまたはネガティブタイプの感光性を有することができるが、以下では、ポジティブタイプの感光性を有する場合を例として説明する。

20

【 0 0 6 2 】

図 8 E に示すように、前記第2透明絶縁膜 1 1 9 f は、第3マスク 1 1 9 d を用いて露光される。前記第3マスク 1 1 9 d は、透光部 O P 1、スリット透光部及び不透光部を有する。前述したように、前記スリット透光部 S L 1 を有するように、前記第3マスク 1 1 9 d は、スリットマスクからなることができる。

その後、現像工程により、前記第2透明絶縁膜 1 1 9 f が前記透光部 O P 1 に対応して完全に除去することで、第1開口部 1 1 6 a が形成され、前記スリット透光部 S L 1 に対応して部分的に除去される。それによって、第1溝 1 1 6 b が形成された有機絶縁膜パターン 1 1 9 g が形成される。ここで、前記第1溝 1 1 6 b は、前記貯蔵電極 1 1 7 が形成された領域に対応して形成される。その後、前記有機絶縁膜パターン 1 1 9 g をエッチングマスクとして、前記第1透明絶縁膜 1 1 9 e をエッチングする。

30

【 0 0 6 3 】

図 8 F に示すように、前記のエッチング工程により前記第1開口部 1 1 6 a に対応して前記第1透明絶縁膜 1 1 9 e が除去されることで、第1コンタクトホール H 1 が形成された前記保護膜 1 1 5 が形成される。前記保護膜 1 1 5 に形成された前記第1コンタクトホール H 1 は、前記第1薄膜トランジスタ 1 1 2 の第1ドレイン電極 1 1 2 e を露出させる。

40

【 0 0 6 4 】

また、前記有機絶縁膜パターン 1 1 9 g が所定の厚さだけ均一に除去されて、有機絶縁膜 1 1 6 が形成される。前記有機絶縁膜 1 1 6 は、前記第1溝 1 1 6 b が形成された位置で完全に除去されるか、または部分的に残留し得る。図 8 F に示すように、前記有機絶縁膜 1 1 6 が前記第1溝 1 1 6 b が形成された位置で部分的に残留すると、前記有機絶縁膜 1 1 6 は、前記貯蔵電極 1 1 7 の方に陥没した構造を有する。

【 0 0 6 5 】

図 8 G に示すように、前記有機絶縁膜 1 1 6 上に透明導電膜（図示せず）が形成され、前記透明導電膜を第4マスク（図示せず）を用いてパターンングすることで、第1及び第2サブ画素電極 1 1 8 a、1 1 8 b を形成する。前記第1及び第2サブ画素電極 1 1 8 a

50

、 118b は、第1開口パターン118cを介して互いに電氣的に分離される。

前記第1サブ画素電極118aは、前記第1コンタクトホールH1を介して前記第1薄膜トランジスタ112の第1ドレイン電極112eと電氣的に連結される。また、前記第1サブ画素電極118aは、前記貯蔵電極117と対向する。前記貯蔵電極117が形成された領域で、前記有機絶縁膜116、保護膜115及びゲート絶縁膜114は、誘電体として利用される。

【0066】

このような過程により、アレイ基板110(図2参照)が完成され、その後、カラーフィルタ基板120(図2参照)は、下記の製造過程により完成される。

図8Hに示すように、第2ベース基板121上には、クロムまたは有機BMからなる遮光膜(図示せず)を形成し、その後、前記遮光膜をパターンングして、第1及び第2ブラックマトリックス122、125を形成する。前記第1ブラックマトリックス122は、第1データラインDL1及び第1薄膜トランジスタ112が形成された位置に対応して形成され、前記第2ブラックマトリックス125は、貯蔵電極117が形成された位置に対応して形成される。

【0067】

図8Iに示すように、前記第1及び第2ブラックマトリックス122、125が形成された前記第2ベース基板121上に、カラーフィルタ層123が形成される。前記第1ブラックマトリックス122は、画素領域の周辺部に備えられるので、前記カラーフィルタ層123と部分的にオーバーラップするが、前記第2ブラックマトリックス125は、画素領域内に備えられるので、前記カラーフィルタ層123により完全にカバーされる。前記カラーフィルタ層123は、赤、緑及び青色画素からなる。前記カラーフィルタ層123は、前記赤、緑及び青色画素がパターンング工程で順に形成されるが、インクジェットプリンティング方式で順に形成されることにより完成できる。

【0068】

図8Jに示すように、前記カラーフィルタ層123上に透明導電膜(図示せず)が形成され、その後、前記透明導電膜をパターンングして共通電極124を形成する。パターンング工程により、前記共通電極124に第2開口パターン124aが形成される。

図8Kに示すように、前記共通電極124上には、既設定のセルギャップと同一な厚さを有する離隔絶縁膜(図示せず)が塗布され、その後、前記離隔絶縁膜をパターンングして、コラムスペーサ135を形成する。前記離隔絶縁膜は、感光膜からなり得る。図8Kを参照すると、前記コラムスペーサ135は、前記第1ブラックマトリックス122が形成された領域に形成される。したがって、前記表示パネル100(図1参照)の開口率が前記コラムスペーサ135により低下することを防止できる。

【0069】

このように完成された前記カラーフィルタ基板120は、その後アレイ基板110と対向して結合される。前記カラーフィルタ基板120と前記アレイ基板110がアセンブリされる前に、前記カラーフィルタ基板120上に液晶が滴下されることができ。このとき、前記第2ブラックマトリックス125により前記カラーフィルタ基板120上に滴下される液晶の総量が減少することができる。したがって、前記貯蔵電極117が形成された領域に不必要に充填される液晶量を減少させることができる。

【0070】

一方、前記カラーフィルタ基板120と前記アレイ基板110がアセンブリされた後に、両基板の間に液晶が注入されることができ。このとき、前記第2ブラックマトリックス125は、前記カラーフィルタ基板120とアレイ基板110の間の離隔距離を減少させることにより、前記貯蔵電極117が形成された領域に不必要に充填される液晶量を減少させることができる。

【0071】

上述した本発明の好ましい実施の形態は、例示の目的のために開示されたものであり、本発明の属する技術の分野における通常の知識を有する者であれば、本発明の技術的思想

10

20

30

40

50

を逸脱しない範囲内で、様々な置換、変形、及び変更が可能であり、このような置換、変更などは、特許請求の範囲に属するものである。

【図面の簡単な説明】

【0072】

【図1】本発明の一実施の形態に係る表示パネルの平面図である。

【図2】図1のI-I'線及びII-II'線断面図である。

【図3】本発明の他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図である。

【図4】本発明のまた他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図である。

【図5】本発明のまた他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図である。 10

【図6】本発明のまた他の実施の形態に係る表示パネルの貯蔵電極領域を示す断面図である。

【図7】本発明の他の実施の形態に係る表示パネルの平面図である。

【図8A】図2に図示された表示パネルの製造工程を示す断面図である。

【図8B】図2に図示された表示パネルの製造工程を示す断面図である。

【図8C】図2に図示された表示パネルの製造工程を示す断面図である。

【図8D】図2に図示された表示パネルの製造工程を示す断面図である。

【図8E】図2に図示された表示パネルの製造工程を示す断面図である。

【図8F】図2に図示された表示パネルの製造工程を示す断面図である。 20

【図8G】図2に図示された表示パネルの製造工程を示す断面図である。

【図8H】図2に図示された表示パネルの製造工程を示す断面図である。

【図8I】図2に図示された表示パネルの製造工程を示す断面図である。

【図8J】図2に図示された表示パネルの製造工程を示す断面図である。

【図8K】図2に図示された表示パネルの製造工程を示す断面図である。

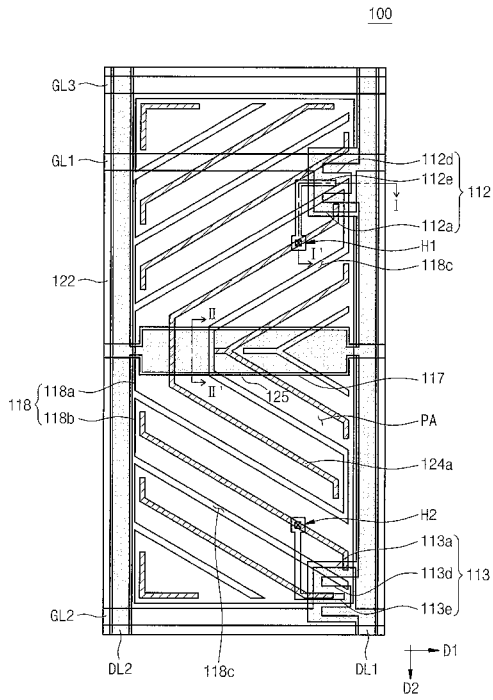
【符号の説明】

【0073】

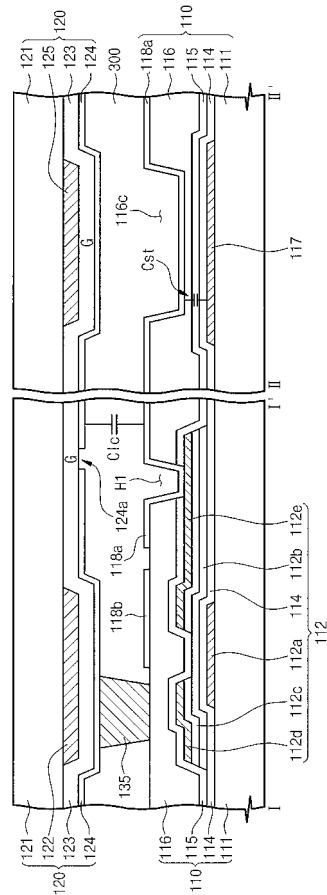
100、200	表示パネル
110	アレイ基板
112	第1薄膜トランジスタ
113	第2薄膜トランジスタ
116	有機絶縁膜
118a	第1サブ画素電極
118b	第2サブ画素電極
120	カラーフィルタ基板
122	第1ブラックマトリックス
123	カラーフィルタ層
124	共通電極
125	第2ブラックマトリックス

30

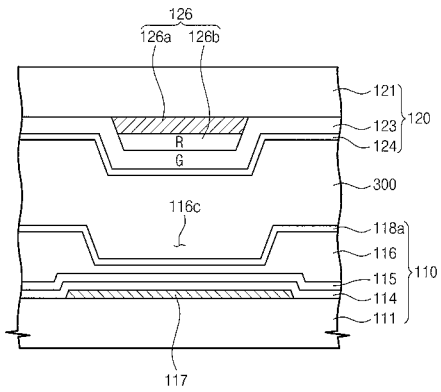
【 図 1 】



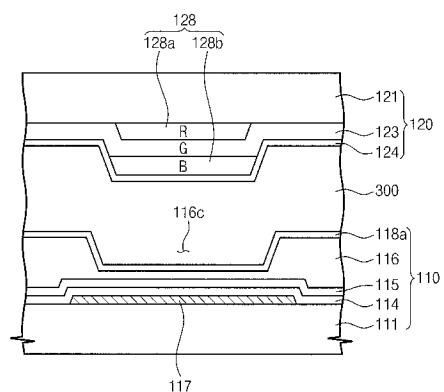
【 図 2 】



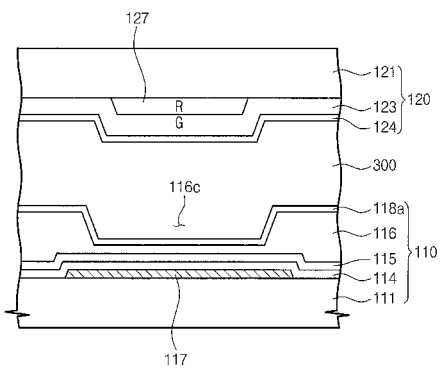
【 図 3 】



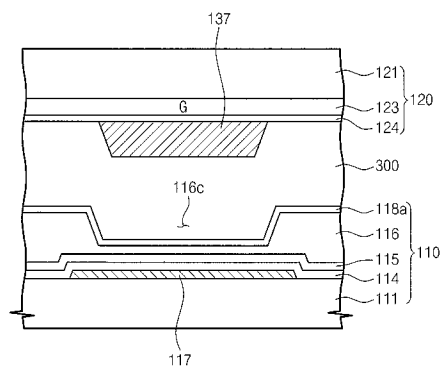
【 図 5 】



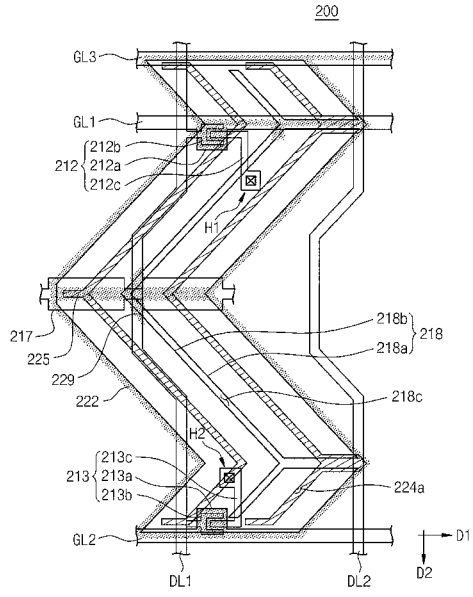
【 図 4 】



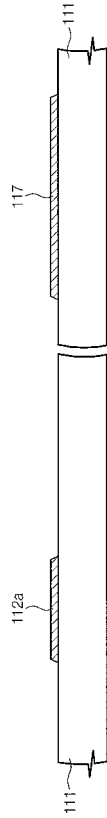
【 図 6 】



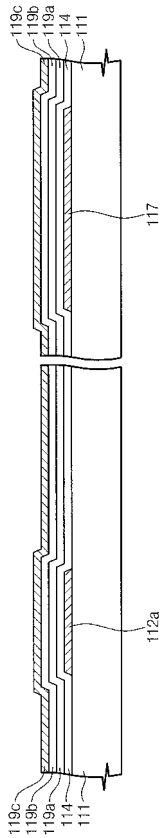
【 図 7 】



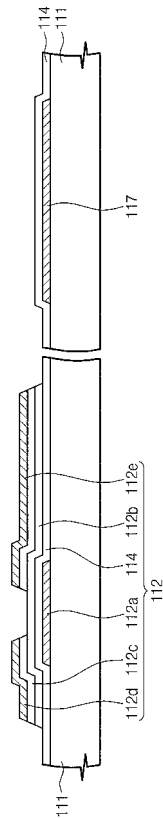
【 図 8 A 】



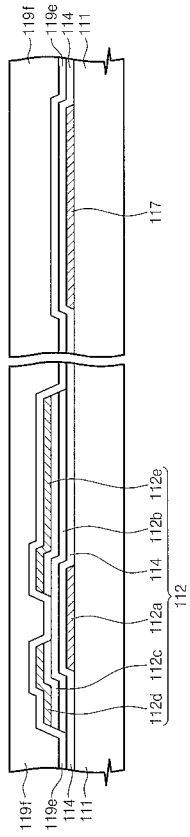
【 図 8 B 】



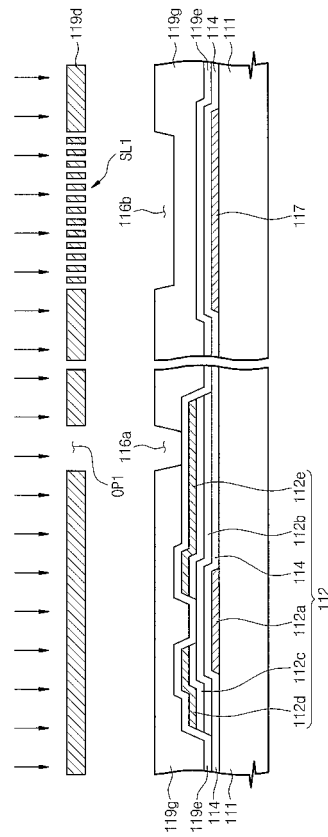
【 図 8 C 】



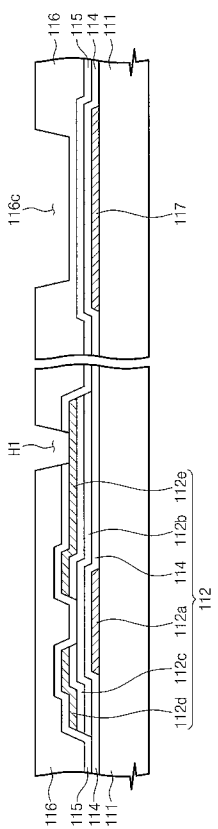
【 8 D 】



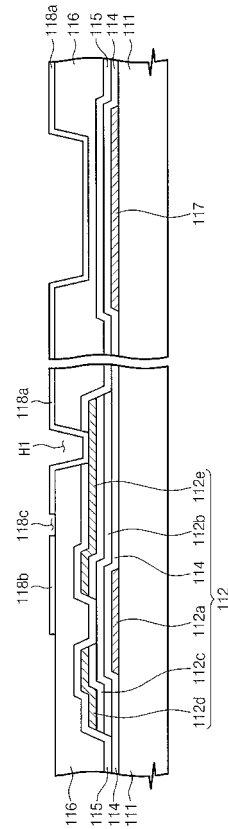
【 8 E 】



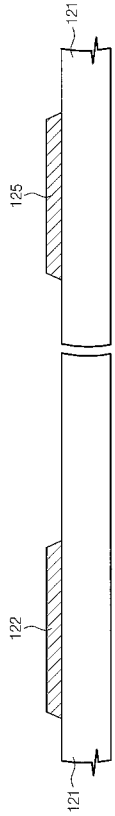
【 8 F 】



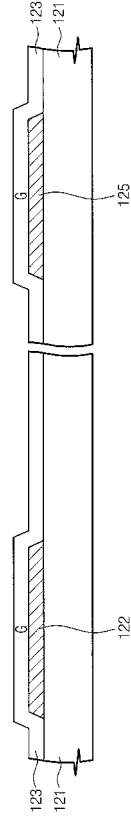
【 8 G 】



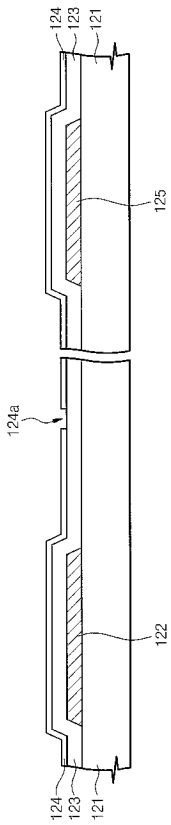
【 図 8 H 】



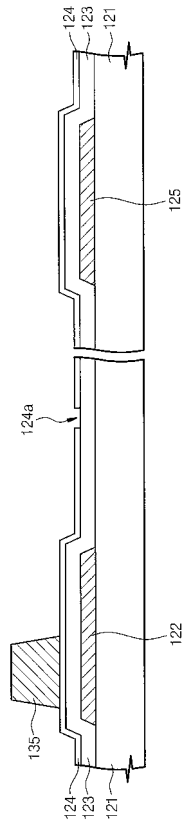
【 図 8 I 】



【 図 8 J 】



【 図 8 K 】



フロントページの続き

(72)発明者 趙 英 濟

大韓民国忠清南道天安市斗井洞 6 6 6 ドウジョン 4 チャプルギオ 4 0 5 - 1 0 1

(72)発明者 李 潤 錫

大韓民国忠清南道天安市斗井洞 1 0 7 8 ギェリョンリシュビルアパート 1 0 3 - 8 0 3

(72)発明者 孟 千 在

大韓民国京畿道水原市八達區靈通洞 1 0 5 3 - 2 プンリムアパート 2 3 2 - 1 0 6

(72)発明者 金 炳 ヒュン

大韓民国忠清南道牙山市湯井面サムスンクリスタルタウンキュービックドン 1 3 0 3

Fターム(参考) 2H092 GA13 GA14 GA17 JB61 JB62 JB66 JB69 NA24 NA25 NA27

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008097009A5	公开(公告)日	2010-11-25
申请号	JP2007264057	申请日	2007-10-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	趙英濟 李潤錫 孟千在 金炳ヒユン		
发明人	趙英濟 李潤錫 孟千在 金炳 ▲ヒユン▼		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136213 G02F1/133514 G02F1/1341 G02F2001/134318		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA17 2H092/JB61 2H092/JB62 2H092/JB66 2H092/JB69 2H092/NA24 2H092/NA25 2H092/NA27 2H092/JB32 2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CC24 2H192/CC42 2H192/CC55 2H192/DA12 2H192/DA63 2H192/EA22 2H192/EA43 2H192/HA33 2H192/HA44		
优先权	1020060099408 2006-10-12 KR		
其他公开文献	JP5415687B2 JP2008097009A		

摘要(译)

要解决的问题：通过减小其上形成有存储电极的区域中的单元间隙来减少要填充在显示面板中的液晶的总量。解决方案：在第一基础基板上限定许多像素区域，并且在第一基础基板上提供存储电极以穿过各个像素区域。在第一基底基板上设置绝缘膜以覆盖存储电极，并且在形成存储电极的区域中形成凹陷结构。像素电极设置在绝缘膜上并面向存储电极。突出部分设置在面对第一基础基板的第二基础基板上。突出部分在其上形成有存储电极的区域中朝向第一基础基板突出，并补偿由于绝缘膜的塌陷而增加的显示面板的单元间隙。 ǰ