

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-3337

(P2008-3337A)

(43) 公開日 平成20年1月10日(2008.1.10)

(51) Int.Cl.		F I				テーマコード (参考)
G09F	9/00	(2006.01)	G09F	9/00	338	2H092
G02F	1/1345	(2006.01)	G02F	1/1345		5G435

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号	特願2006-173242 (P2006-173242)	(71) 出願人	000006013
(22) 出願日	平成18年6月23日 (2006.6.23)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100103894
			弁理士 家入 健
		(72) 発明者	藤田 康雄
			熊本県合志市御代志997番地 メルコ・
			ディスプレイ・テクノロジー株式会社内
		Fターム(参考)	2H092 GA32 GA40 HA04 HA06 HA14
			HA19 JA24 JB77 KB04 NA15
			NA25 PA01 PA04
			5G435 AA13 AA14 BB12 KK07 KK10

(54) 【発明の名称】 パネル基板、表示装置、及びその製造方法

(57) 【要約】 (修正有)

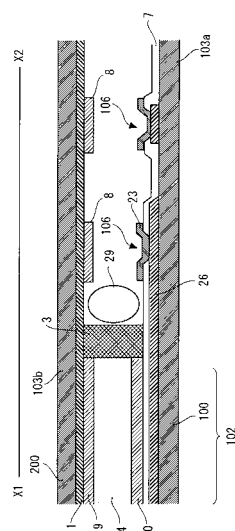
【課題】

表示品位の低下を防ぐことができるパネル基板、表示装置、及びその製造方法を提供すること。

【解決手段】

本発明の一態様にかかるパネル基板は、TFTアレイ基板100、対向基板200と、シール材3とで形成される液晶封入領域に設けられた液晶4と、を有する液晶パネル基板であって、TFT基板アレイ上に設けられたゲート配線26と、TFTアレイ基板100の液晶封入領域の外側に形成され、ゲート配線に信号を入力するゲート端子23と、対向基板200上に設けられた対向電極11と、対向基板200上に形成され、ゲート端子23と対向電極11とが対向する端子電極対向領域106に配置された疎水膜8とを、有するものである。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

アレイ基板を複数有する第 1 のマザー基板と、
前記アレイ基板に対向する対向基板を複数有する第 2 のマザー基板と、
前記アレイ基板と、前記対向基板と、を貼り合わせるシール材と、
前記アレイ基板、前記対向基板と、前記シール材とで形成される空間に設けられた表示材料と、を有するパネル基板であって、
前記第 1 のマザー基板上に設けられた配線と、
前記アレイ基板の前記表示材料が封入された表示材料封入領域の外側に形成され、前記配線に信号を入力する入力端子と、
前記第 2 のマザー基板上に形成され、前記入力端子と前記対向基板とが対向する対向領域に配置された疎水膜とを、有するパネル基板。

10

【請求項 2】

疎水膜が、前記シール材の外側において前記配線が形成された配線形成領域にも形成される請求項 1 に記載のパネル基板。

【請求項 3】

アレイ基板と、
前記アレイ基板に対向配置された対向基板と、
前記アレイ基板と、前記対向基板とを貼り合わせるシール材と、
前記アレイ基板と、前記対向基板と、前記シール材とで形成される空間に設けられた表示材料と、を備える表示装置であって、
前記アレイ基板上に設けられた配線と、
前記アレイ基板の前記シール材の外側に形成され、前記配線に信号を入力する入力端子と、
前記アレイ基板上に形成され、前記入力端子よりも前記アレイ基板端側に設けられた疎水膜と、を備える表示装置。

20

【請求項 4】

前記入力端子が形成されている端子形成領域を囲むように前記疎水膜が配置されている請求項 3 に記載の表示装置。

【請求項 5】

前記疎水膜と前記シール材とで、前記入力端子が形成された端子形成領域を囲んでいることを特徴とする請求項 3 に記載の表示装置。

30

【請求項 6】

前記シール材の外側において前記配線が形成された配線形成領域が、前記疎水膜と前記シール材とに囲まれている請求項 5 に記載の表示装置。

【請求項 7】

配線及び前記配線に信号を入力するための入力端子が形成されたアレイ基板と、対向基板と、を有する表示装置を、前記アレイ基板を複数有する第 1 のマザー基板と前記対向基板を複数有する第 2 のマザー基板とから製造する表示装置の製造方法であって、

前記第 1 のマザー基板上に、前記入力端子の近傍に配置される疎水膜を形成する工程と

40

、
前記第 1 のマザー基板に形成された疎水膜が、前記対向基板と対向するよう、前記第 1 のマザー基板と前記第 2 のマザー基板とをシール材を介して貼り合わせる工程と、

前記シール材と前記対向基板と前記アレイ基板とで形成される空間に表示材料を封入する工程と、

前記表示材料を封入した表示材料封入領域の外側において前記疎水膜、及び前記入力端子が対向した状態で、前記配線に信号を入力して検査する工程と、

前記検査工程後、1つの対向基板と1つのアレイ基板とを有する表示パネルに切断する工程と、を備える表示装置の製造方法。

【請求項 8】

50

配線及び前記配線に信号を入力するための入力端子が形成されたアレイ基板と、対向基板と、を有する表示装置を、前記アレイ基板を複数有する第１のマザー基板と前記対向基板を複数有する第２のマザー基板から製造する表示装置の製造方法であって、

前記第２のマザー基板の対向基板上に疎水膜を形成する工程と、

前記第２のマザー基板に形成された疎水膜が、前記入力端子と対向するよう、前記第１のマザー基板と前記第２のマザー基板とをシール材を介して貼り合わせる工程と、

前記シール材と前記対向基板と前記アレイ基板とで形成される空間に表示材料を封入する工程と、

前記表示材料を封入した表示材料封入領域の外側において前記疎水膜、及び前記入力端子が対向した状態で、前記配線に信号を入力して検査する工程と、

10

前記検査工程後、１つの対向基板と１つのアレイ基板とを有するパネルに切断する工程と、を備える表示装置の製造方法。

【請求項９】

前記貼り合わせられた第１のマザー基板と第２のマザー基板とを切断して、前記対向基板、及び前記アレイ基板を複数有するスティック基板を形成する工程をさらに備え、

前記スティック基板に切断された後、前記検査する工程が行われる請求項７又は８に記載の表示装置の製造方法。

【請求項１０】

疎水性を有する感光性樹脂膜によって前記疎水膜を形成することを特徴とする請求項７、８又は９に記載の表示装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明はパネル基板、表示装置、及びその製造方法に関する。

【背景技術】

【０００２】

一般に、表示装置の代表例である液晶表示装置の液晶パネルには、薄膜トランジスタ（ＴＦＴ）やＴＦＴと接続された画素電極を有するＴＦＴアレイ基板が設けられている。そして、ＴＦＴ、及び画素電極がマトリクス状に配置されることによって画素領域が形成される。さらに、ＴＦＴアレイ基板には、ＴＦＴと接続される走査信号線、及び表示信号線が形成されている。

30

このようなＴＦＴアレイ基板には、走査信号線、及び表示信号線を複数有する素子区画が１つ形成されている。そして、走査信号線、及び表示信号線に信号を入力するための端子が、ＴＦＴアレイ基板の素子区画の端に形成される。

【０００３】

さらに、このＴＦＴアレイ基板には対向基板が配置される。この対向基板には、対向電極、及び樹脂膜などが形成されている。そして、ＴＦＴアレイ基板と、対向基板とをシール材を用いて貼り合わせる。ここで、シール材は画素領域を囲むように枠状に形成されている。その後、ＴＦＴアレイ基板、対向基板、及びシール材で形成される領域に液晶を封入する。

40

【０００４】

ここで、ＴＦＴアレイ基板の端子や配線が腐食してしまうと、表示欠陥が生じてしまう。従って、ＴＦＴアレイ基板の各信号線の腐食を防止するため、引き回し配線を腐食防止用撥水膜で覆う技術が開示されている（特許文献１）。この文献では、ＡＣＦを介してＦＰＣを取り付け後、引き回し配線の配設部分、及びその近傍に有機溶剤を噴霧している。そして、塗布された有機溶剤が揮発しないうちに腐食防止用撥水膜を形成している。さら

50

に、切断工程の後、配線パターンの断面が露出する部分において、基板端面にUV樹脂を形成して、腐食を防ぐ技術が開示されている（特許文献2参照）。

【0005】

ところで、液晶パネルの製造工程において、上記のTFTアレイ基板、及び対向基板は、通常、量産性を考慮して、大型のマザー基板から多面取りされる。すなわち、マザー基板上には、縦方向、及び横方向に上記のTFTアレイ基板、又は対向基板が複数配列されている。そして、複数のTFTアレイ基板を有するマザー基板と、複数の対向基板を有するマザー基板とが、シール材を介して貼り合わせられる。そして、シール材によって貼り合わせ後、複数の素子区画が1列に並んだ状態となるように、マザー基板を分割する。すなわち、複数の液晶セルが1列に並んだ状態になるよう、マザー基板が分割される。このように、マザー基板を切断して、スティック基板を形成する。その後、複数の液晶セルに液晶を一度に封入する方法が用いられている（特許文献3参照）。

10

【0006】

【特許文献1】特開2003-195336号公報

【特許文献2】特開平10-187054号広報

【特許文献3】特開2004-317982号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、上記の対向電極は、通常、対向基板の略全面に形成される。従って、貼り合わせ工程後では、シール材の外側において、対向電極と、TFTアレイ基板の端子とが対向してしまうことがある。ここで、セルギャップは、5 μ m程度と非常に狭い。また、駆動回路などを接続する前では、TFTアレイ基板の配線の端子が露出している。そして、この端子と対向基板の対向電極とが対向する状態がある。

20

【0008】

ここで、液晶表示パネルの点灯検査を行う場合、例えば、検査端子にプローブ針等を接触させる。そして、プローブ針等から検査端子を介して配線に信号を供給する。これにより、対向電極や配線の間に電圧が印加される。そして、正常に点灯することができるか否かの検査を行う。この検査は、生産性を向上するため、スティック基板状態で実施されることがある。

30

【0009】

スティック基板状態の際、対向基板とTFTアレイ基板との狭いセルギャップの間には、洗浄工程や結露等によって、水滴が浸入することがある。端子上に水滴が付着した状態で、端子と対向電極の間、又は端子間に異なる電圧を印加すると、端子と対向電極の間、又は端子間で電気化学反応が発生することがある。この電気化学反応の発生により、端子が腐食して、液晶表示装置に表示欠陥をもたらすという問題がある。しかしながら、特許文献1では、液晶パネル形成後に腐食防止用撥水膜などを形成しているため、検査工程での腐食を防ぐことができない。また、特許文献2では、配線の切断部分に保護膜を形成しているものであるため、端子の腐食を防ぐことができない。このように、これらの技術では、検査工程時に印加される電圧によって、端子に腐食が生じてしまうことがある。従って、従来の液晶表示装置では、表示品位が低下してしまうという問題点がある。また、このような問題点は、液晶表示装置に限らず、液晶以外の表示材料を用いた表示装置であっても発生するおそれがある。例えば、TFTアレイ基板と対向基板とが貼り合わせられている電子ペーパー等においても、同様の問題点が生じる。

40

【0010】

本発明は上述の問題点に鑑みてなされたものであり、電気腐食による表示品位の低下を防ぐことができるパネル基板、表示装置、及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

50

本発明の第１の態様にかかるパネル基板は、アレイ基板を複数有する第１のマザー基板と、前記アレイ基板に対向する対向基板を複数有する第２のマザー基板と、前記アレイ基板と、前記対向基板と、を貼り合わせるシール材と、前記アレイ基板、前記対向基板と、前記シール材とで形成される空間に設けられた表示材料と、を有するパネル基板であって、前記第１のマザー基板上に設けられた配線と、前記アレイ基板の前記表示材料が封入された表示材料封入領域の外側に形成され、前記配線に信号を入力する入力端子と、前記第２のマザー基板上に形成され、前記入力端子と前記対向基板とが対向する対向領域に配置された疎水膜とを、有するものである。

【００１２】

本発明の第２の態様にかかる表示装置は、アレイ基板と、前記アレイ基板に対向配置された対向基板と、前記アレイ基板と、前記対向基板とを貼り合わせるシール材と、前記アレイ基板と、前記対向基板と、前記シール材とで形成される空間に設けられた表示材料と、を備える表示装置であって、前記アレイ基板上に設けられた配線と、前記アレイ基板の前記シール材の外側に形成され、前記配線に信号を入力する入力端子と、前記アレイ基板上に形成され、前記入力端子よりも前記アレイ基板端側に設けられた疎水膜と、を備えるものである。

【００１３】

本発明の第３の態様にかかる表示装置の製造方法は、配線及び前記配線に信号を入力するための入力端子が形成されたアレイ基板と、対向基板と、を有する表示装置を、前記アレイ基板を複数有する第１のマザー基板と前記対向基板を複数有する第２のマザー基板とから製造する表示装置の製造方法であって、前記第１のマザー基板上に、前記入力端子の近傍に配置される疎水膜を形成する工程と、前記第１のマザー基板に形成された疎水膜が、前記対向基板と対向するよう、前記第１のマザー基板と前記第２のマザー基板とをシール材を介して貼り合わせる工程と、前記シール材と前記対向基板と前記アレイ基板とで形成される空間に表示材料を封入する工程と、前記表示材料を封入した表示材料封入領域の外側において前記疎水膜、及び前記入力端子が対向した状態で、前記配線に信号を入力して検査する工程と、前記検査工程後、１つの対向基板と１つのアレイ基板とを有するパネルに切断する工程と、を備えるものである。

【００１４】

本発明の第４の態様にかかる表示装置の製造方法は、配線及び前記配線に信号を入力するための入力端子が形成されたアレイ基板と、対向基板と、を有する表示装置を、前記アレイ基板を複数有する第１のマザー基板と前記対向基板を複数有する第２のマザー基板とから製造する表示装置の製造方法であって、前記第２のマザー基板の対向基板上に疎水膜を形成する工程と、前記第２のマザー基板に形成された疎水膜が、前記入力端子と対向するよう、前記第１のマザー基板と前記第２のマザー基板とをシール材を介して貼り合わせる工程と、前記シール材と前記対向基板と前記アレイ基板とで形成される空間に表示材料を封入する工程と、前記表示材料を封入した表示材料封入領域の外側において前記疎水膜、及び前記入力端子が対向した状態で、前記配線とに信号を入力して検査する工程と、前記検査工程後、１つの対向基板と１つのアレイ基板とを有するパネルに切断する工程と、を備えるものである。

【発明の効果】

【００１５】

本発明によれば、表示品位の低下を防ぐことができるパネル基板、表示装置、及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【００１６】

以下に、本発明を適用可能な実施の形態を、表示材料が液晶である液晶表示装置を例として説明する。説明の明確化のため以下の記載及び図面は、適宜、省略及び簡略化がなされている。又、各図面において、同一要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

10

20

30

40

50

【 0 0 1 7 】

実施の形態 1 .

本実施の形態にかかる液晶表示装置について説明する。液晶表示装置は、通常、アレイ基板と、対向基板とを備えている。そして、アレイ基板と、対向基板とは、枠状のシール材によって貼り合わせられている。アレイ基板と、対向基板と、シール材とによって形成された領域に液晶が封入されている。なお、本実施の形態では、アレイ基板を、T F T がアレイ状に配列された T F T アレイ基板として説明する。すなわち、本実施の形態にかかる液晶表示装置は、アクティブマトリクス型の液晶表示装置である。

【 0 0 1 8 】

T F T アレイ基板、及び対向基板は、量産性を考慮して、1 対のマザー基板から多面取りされる。すなわち、複数の T F T アレイ基板を有するマザー基板と、複数の対向基板を有するマザー基板とを貼り合わせる。そして、貼り合わせた基板を行方向又は列方向に切断して、スティック基板を形成する。さらに、本実施の形態では、複数の液晶パネルが 1 列に並んで配置されたスティック基板状態で、点灯検査が行われる。そして、点灯検査が実施された後、それぞれの液晶パネルに切断される。

【 0 0 1 9 】

まず、図 1 を用いて複数の T F T アレイ基板を有するマザー基板について説明する。図 1 は、T F T アレイ基板用のマザー基板 1 の構成を示す平面図である。第 1 のマザー基板であるマザー基板 1 には、縦 3 × 横 4 の T F T アレイ基板 1 0 0 が形成されている。すなわち、1 枚のマザー基板 1 は、1 2 枚の T F T アレイ基板 1 0 0 を有している。換言すると、マザー基板 1 を行方向、及び列方向に切断することによって 1 2 枚の T F T アレイ基板 1 0 0 を得ることができる。T F T アレイ基板 1 0 0 は、矩形状に形成されている。もちろん、1 枚のマザー基板 1 における T F T アレイ基板 1 0 0 の数は、これに限られるものではない。ここで、1 枚の液晶パネルを形成するための領域を素子区画 1 0 1 とする。従って、1 素子区画は 1 枚の T F T アレイ基板 1 0 0 に対応する領域となる。そして、矩形状の素子区画 1 0 1 では、T F T アレイ基板 1 0 0 上に、T F T アレイを形成するための配線、及び端子などが形成される。

【 0 0 2 0 】

それぞれの素子区画 1 0 1 は、所定の間隔を隔てて配列されている。そして、各素子区画 1 0 1 の間に、切断線 1 0 4 が配置される。すなわち、この切断線 1 0 4 によってマザー基板 1 を切断することによって、それぞれの T F T アレイ基板 1 0 0 に分離される。なお、図 1 では、4 つの T F T アレイ基板 1 0 0 を有するスティック基板を形成するための切断線 1 0 4 のみ示している。すなわち、実際には、図 1 で示された横方向の切断線 1 0 4 の他、縦方向の切断線も配置される。それぞれの T F T アレイ基板 1 0 0 内には、液晶封入領域 1 0 2 が配置される。この液晶封入領域 1 0 2 は、画素が配列された表示領域に対応している。この液晶封入領域 1 0 2 が後述するシール材で囲まれる。さらに、この液晶封入領域 1 0 2 には、配向膜 1 0 が形成される。配向膜 1 0 は T F T アレイ基板 1 0 0 の表面に形成される。そして、T F T アレイ基板 1 0 0 の表示領域の外側が額縁領域となる。

【 0 0 2 1 】

次に、図 2 を用いて T F T アレイ基板 1 0 0 の構成について説明する。図 2 は、T F T アレイ基板 1 0 0 の構成を模式的に示す平面図である。以下に、T F T アレイ基板 1 0 0 の構成を製造工程順にしたがって説明する。T F T アレイ基板 1 0 0 には、例えば、透明なガラス基板を用いることができる。T F T アレイ基板 1 0 0 に、A l、C r などの金属からなる複数のゲート配線 2 6、及び複数の蓄積容量配線 2 0 を形成する。複数のゲート配線 2 6 は平行に形成されている。そして、隣接するゲート配線 2 6 の間に蓄積容量配線 2 0 が配置される。ゲート配線 2 6、及び蓄積容量配線 2 0 の上には、ゲート絶縁膜（図示せず）、及び半導体層（図示せず）が順次形成される。ゲート絶縁膜、及び半導体層は公知の C V D によって成膜することができる。ゲート絶縁膜は、例えば、シリコン酸化膜やシリコン窒化膜などの透明絶縁膜である。半導体層は、例えば、a - S i 層や p - S i

層である。ゲート絶縁膜は、ゲート配線 26 を覆うように形成される。半導体層は T F T 27 となる箇所に形成される。

【0022】

そして、ゲート絶縁膜、及び半導体層の上には、A l、C rなどの金属からなる複数のソース配線 25、ソース電極、及びドレイン電極が形成される。複数のソース配線 25 は、複数のゲート配線 26 とゲート絶縁膜を介して直交するように設けられている。複数のソース配線 25 は平行に形成されている。これにより、ゲート配線 26 とソース配線 25 との交差点近傍に、スイッチング素子である T F T 27 が形成されている。T F T 27 のソース電極は、ソース配線 25 と接続されている。ソース配線 25 の上には、層間絶縁膜が形成される。そして、層間絶縁膜の上には、画素電極 24 が形成される。T F T 27 のドレイン電極は、画素電極 24 と接続されている。画素電極 24 とドレイン電極とは、例えば、層間絶縁膜に設けられたコンタクトホールを介して接続される。駆動回路から、ゲート配線 26 には T F T を O N / O F F するためのゲート信号が入力される。ソース配線 25 には表示信号電圧に応じたソース信号が入力される。

10

【0023】

上記の画素電極 24 はマトリクス状に配置される。画素電極 24 には、通常、I T O などの透明導電膜が用いられる。なお、反射型、あるいは、半透過型の液晶表示装置の場合、画素電極 24 に、A l などの光反射率の高い金属材料が用いられる。この画素電極 24 が設けられている領域が画素となる。この画素がマトリクス状に形成された領域が表示領域となる。また、画素は、液晶封入領域 102 に形成される。従って、表示領域を囲むように液晶封入領域 102 が配置される。ここで、画素電極 24 の下には、蓄積容量配線 20 が形成される。画素電極 24 と蓄積容量配線 20 の間には、ゲート絶縁膜や、層間絶縁膜が形成される。絶縁膜を介して対向配置された画素電極 24 と蓄積容量配線 20 とによって、キャパシタが構成される。蓄積容量配線 20 は対向基板に設けられた対向電極にトランスファ電極を介して接続されている。従って、画素電極 24 と蓄積容量配線 20 とが、T F T 27 の保持特性を向上するための蓄積容量を形成する。これにより、T F T 27 がオフとなり、駆動電圧が供給されていない状態でも、画素電極に保持される表示信号電圧を維持することができる。すなわち、T F T 27 がオフとなった後でも、T F T 27 がオン状態となっていたときに画素電極 24 に供給された表示信号電圧が保持される。

20

【0024】

さらに、T F T アレイ基板 100 上には、検査用配線 16 ~ 19 が形成されている。検査用配線 17 は、複数のゲート配線 26 と接続される。検査用配線 19 は、複数のスイッチ素子 21 と接続されている。検査用配線 18 は、複数の蓄積容量配線 20 と接続されている。検査用配線 16 は、スイッチ素子 21 を介して複数のソース配線 25 と接続されている。検査用配線 19 は、スイッチ素子 21 の制御端子と接続されている。検査用配線 16 ~ 19 は、例えば、ゲート配線 26 やソース配線 25 と同じ工程で形成することができる。これらの検査用配線 16 ~ 19 は、表示領域の外側に配置される。

30

【0025】

また、ゲート配線 26 の端部には、ゲート端子 23 が形成される。ここでは、ゲート端子 23 が T F T アレイ基板 100 の右側の端部に配置されている。そして、ゲート配線 26 に対応する数のゲート端子 23 が縦一列に並んで配置されている。同様に、ソース配線 25 の端部には、ソース端子 22 が形成される。ここでは、ソース端子 22 が、T F T アレイ基板 100 の上側の端部に配置されている。そして、ソース配線 25 に対応する数のソース端子 22 が横一列に並んで配置されている。さらに、検査用配線 16 ~ 19 の端部には、検査端子 12 ~ 15 がそれぞれ形成されている。ここでは、検査端子 12 ~ 15 は、T F T アレイ基板 100 の上側の端部に形成されている。さらに、検査端子 12 ~ 15 は、ソース端子 22 の左側に配置されている。ソース端子 22、ゲート端子 23、及び検査端子 12 ~ 15 の表面には、画素電極 24 と同じ導電層が表面に形成されている。すなわち、ソース端子 22、ゲート端子 23、及び検査端子 12 ~ 15 では、表面に導電層が露出している。これにより、外部から信号を入力することができる。ソース端子 22、ゲ

40

50

ート端子 23、及び検査端子 12 ~ 15 は液晶封入領域 102 に外側に形成されている。また、図 1 において、ソース端子 22、及び検査端子 12 ~ 15 は、TFT アレイ基板 100 の上側の端部に並んで配置されている。

【0026】

スイッチ素子 21 は、ソース配線 25 のソース端子 22 側と反対側の端部に形成されている。スイッチ素子 21 は、薄膜トランジスタであり、TFT 27 の同じ工程で形成することができる。また、検査用配線 17 は、ゲート配線 26 のゲート端子 23 側と反対側の端部で、ゲート配線 26 に接続されている。検査用配線 18 は、蓄積容量配線 20 の一端で、それぞれの蓄積容量配線 20 と接続されている。

【0027】

TFT アレイ基板 100 上に形成された、ソース端子 22、ゲート端子 23、及び検査端子 12 ~ 15 は、信号を入力するための入力端子である。すなわち、ソース端子 22 には、駆動回路からソース信号が入力される。また、ゲート端子 23 には、駆動回路からゲート信号が入力される。従って、ソース端子 22 を介してソース配線 25 にソース信号が供給され、ゲート端子 23 を介してゲート配線 26 にゲート信号が供給される。また、検査端子 12 ~ 15 には、製造途中において点灯検査を行うための各種検査信号が入力される。

【0028】

具体的には、検査端子 15 にスイッチ素子 21 をオンするための検査信号が入力される。これにより、検査用配線 19 に入力された点灯検査用の検査信号がスイッチ素子 21 を介してソース配線 25 に供給される。さらに、検査端子 13、14 を介してゲート配線 26、及び蓄積容量配線 20 に検査信号がそれぞれ入力される。これにより、TFT 27、及び画素電極 24 に検査信号が供給される。また、素子区画 101 の背面側には、面状光源が配置される。よって、点灯検査を行うことができる。なお、点灯検査時以外の通常時には、スイッチ素子 21 はオフとなっている。すなわち、表示を行なう際には、ソース端子 22 からソース配線 25 にソース信号が入力される。

【0029】

以上のような構成が素子区画 101 内に形成される。これらの構成要素は、公知の成膜方法、及びリソグラフィ方法等によって形成することができる。そして、TFT アレイ基板 100 上には、全ての画素電極 24 を覆うように、上記の配向膜 10 が形成される。配向膜 10 としては、ポリイミドなどの樹脂膜を用いることができる。この配向膜の表面には、所定の方にラビング処理が施される。

【0030】

次に、複数の対向基板を有するマザー基板の構成について図 3 を用いて説明する。図 3 は、対向基板用のマザー基板 2 の構成を示す平面図である。第 2 のマザー基板であるマザー基板 2 は、マザー基板 1 と略同じ大きさとなっている。そして、マザー基板 2 には、図 1 と同様に縦 3 × 横 4 の対向基板 200 が形成されている。すなわち、マザー基板 2 は、12 枚の矩形状の対向基板 200 を有している。従って、マザー基板 2 にも 12 個の素子区画 101 がマトリクス状に配列されている。

【0031】

それぞれの素子区画 101 は、所定の間隔を隔てて配列されている。そして、各素子区画 101 の間には、切断線 104 が配置される。すなわち、この切断線 104 によってマザー基板 2 を切断することによって、それぞれの対向基板 200 に分離される。なお、図 2 でも、図 1 と同様に、4 つの対向基板 200 を有するスティック基板を形成するための切断線 104 のみ示している。切断線 104 は、対向基板 200 が TFT アレイ基板 100 よりも若干小さくなるように、配置されている。対向基板 200 は、TFT アレイ基板 100 よりも若干小さくなるよう切断され、TFT アレイ基板 100 に設けられたソース端子 22、ゲート端子 23、及び検査端子 12 ~ 15 を露出させることができる。また、マザー基板 1 と同様に、各素子区画 101 には、液晶封入領域 102 が形成されている。この液晶封入領域 102 には、配向膜 9 が設けられている。配向膜 9 は、対向基板 200

10

20

30

40

50

の表面に形成されている。

【 0 0 3 2 】

次に、対向基板 2 0 0 の画素構成について図 4、及び図 5 を用いて説明する。図 4 は、対向基板 2 0 0 の一部の構成を示す平面図である。図 5 は、図 4 の X - X 断面図である。ここでは、対向基板 2 0 0 が、カラーフィルタ基板であるとして説明する。対向基板 2 0 0 上には、ブラックマトリクス 5 が格子状に形成されている。ブラックマトリクス 5 は遮光性の樹脂膜、あるいは金属クロム膜などによって形成される。ブラックマトリクス 5 の間には、R G B の着色層 2 8 が形成される。着色層 2 8 は画素電極 2 4 に対応して配置される。また、ブラックマトリクス 5 はソース配線 2 5、及びゲート配線 2 6 に対応して配置される。ブラックマトリクス 5、及び着色層 2 8 の上には、対向電極 1 1 が形成される。対向電極 1 1 は、例えば、I T O などの透明導電膜によって形成されている。対向電極 1 1 は、ブラックマトリクス 5、及び着色層 2 8 を覆うように対向基板 2 0 0 の略全面に形成される。なお、対向基板 2 0 0 は、カラーフィルタ基板に限られるものではない。

10

【 0 0 3 3 】

そして、対向電極 1 1 の上に、配向膜 9 が形成される。配向膜 9 は、液晶封入領域 1 0 2 に形成される。従って、各素子区画の端部では配向膜 9 が形成されておらず、対向電極 1 1 が露出している。これにより、対向基板 2 0 0 の端部で対向電極 1 1 が露出する。配向膜 9 には、T F T アレイ基板 1 0 0 と同様に、ポリイミドなどからなる樹脂膜を用いることができる。そして、配向膜 9 は、所定の方にラビングされている。なお、対向電極 1 1 の上には、水に対して所定の接触角を有する疎水膜が形成される。この疎水膜の構成については後述する。なお、疎水膜は、対向電極 1 1 を形成した後、配向膜 9 を形成する前に形成することができる。あるいは、配向膜 9 を形成した後、T F T アレイ基板 1 0 0 と対向基板 2 0 0 とを貼り合わせる前に形成してもよい。

20

【 0 0 3 4 】

そして、配向膜 9、1 0 のラビング処理が完了した後、マザー基板 1 とマザー基板 2 を貼り合わせる。このため、まず、マザー基板 1 又はマザー基板 2 にシール材を形成する。シール材は、1 2 個の素子区画 1 0 1 毎に形成される。そして、シール材は、液晶封入領域 1 0 2 を囲むよう枠状に配置される。なお、シール材の一部には、液晶注入口が形成されている。そして、マザー基板 1、とマザー基板 2 とを位置合わせして、対向配置する。ここでは、配向膜 9、及び配向膜 1 0 が対向して配置される。そして、両基板を押圧して、シール材を硬化させる。これにより、マザー基板 1、とマザー基板 2 とがシール材を介して貼り合わせられる。なお、貼り合わせる前に、検査用配線 1 8 と対向電極 1 1 とが接続されるよう、トランスファ電極等を形成する。トランスファ電極としては、例えば、銀ペーストを用いることができる。さらに、貼り合わせる前に、セルギャップを保持するためのスペーサを配置してもよい。

30

【 0 0 3 5 】

そして、図 1、及び図 3 に示す横方向の切断線 1 0 4 で、貼り合わせられたマザー基板 1、及びマザー基板 2 を切断すると、スティック基板が形成される。ここでは、4 つの素子区画 1 0 1 が 1 列に並んで配置されたスティック基板が 3 つ形成される。そして、4 つの素子区画 1 0 1 の液晶封入領域 1 0 2 に対して、同時に液晶を注入する。これにより、生産性が向上する。液晶は、例えば、真空注入法によって注入することができる。液晶を注入後、液晶注入口に樹脂を塗布して、封止する。これにより、対向基板 2 0 0 と T F T アレイ基板 1 0 0 とシール材とで形成される空間に液晶が封入される。

40

【 0 0 3 6 】

このようにして、スティック基板が形成される。ここで、スティック基板とは、マザー基板 1 とマザー基板 2 とが貼り合わせられた後、複数の素子区画 1 0 1 が 1 列に並ぶよう切断・分割された 1 対の基板の積層体を指す。このスティック基板状態で検査が実行された後、スティック基板が切断される。これにより、各素子区画 1 0 1 に分離され、それぞれの液晶パネルに分割される。

【 0 0 3 7 】

50

ここで、図 6 を用いてスティック基板の構成について説明する。図 6 はスティック基板の構成を示す斜視図である。なお、図 6 は、スティック基板 103 の、検査端子 12 ~ 15、及びソース端子 22 が設けられた端部側を示している。スティック基板 103 はスティック状アレイ基板 103a とスティック状対向基板 103b とを備えている。ここで、スティック状アレイ基板 103a は、その端部がスティック状対向基板 103b からのみ出すように配置されている。スティック状アレイ基板 103a のはみ出した部分に、ソース端子 22、及び検査端子 12 ~ 15 が配置される。すなわち、ソース端子 22、及び検査端子 12 ~ 15 が、露出している。そして、検査端子 12 ~ 15、及び複数のソース端子 22 が、スティック状アレイ基板 103a の端部に沿って、略一列に並んで配置されている。スティック基板 103 状態の検査工程では、図 6 に示す状態で、検査端子 12 ~ 15 に検査信号が入力される。ここで、4 つの素子区画に対して同時に点灯検査を行うことができる。

10

【0038】

ここで、上記のスティック基板 103 における素子区画 101 の間の構成について図 7、及び図 8 を用いて説明する。図 7 は、図 6 の X1 - X2 における TFT アレイ基板 100 側の構成を模式的に示す図である。図 8 は、図 6 の X1 - X2 における断面図である。なお、X1 - X2 のラインは、図 7 に示すようにゲート配線 26 に沿ったラインである。

【0039】

スティック基板 103 の素子区画 101 の間では、図 7 に示すように、シール材 3 が形成されている。このシール材 3 と交差するように複数のゲート配線 26 が配置されている。さらに、ゲート配線 26 の端部には、ゲート端子 23 が配置される。シール材 3 の外側では、シール材 3 が設けられている方向に沿って、複数のゲート端子 23 が 1 列に並んで配置されている。なお、図 7 において、シール材 3 の下側が素子区画 101 間の領域であり、上側が液晶封入領域 102 である。したがって、スティック基板 103 状態において、ゲート端子 23 は、外気に曝される状態になっている。なお、液晶封入領域 102 の外側においても、ゲート配線 26 は、図 8 に示すように絶縁膜 7 によって覆われている。そして、絶縁膜 7 に設けられたコンタクトホールを介してゲート端子 23 とゲート配線 26 とが接続されている。したがって、ゲート端子 23 のみが表面に露出され、ゲート端子 23 以外の箇所では、絶縁膜 7 が露出している。

20

【0040】

図 8 に示すように、スティック状アレイ基板 103a とスティック状対向基板 103b とがシール材 3 によって貼り合わせられている。このシール材 3 の内側が、液晶封入領域 102 となる。図 8 では、左側が液晶封入領域 102 である。液晶封入領域 102 では、上記のように、スティック状対向基板 103b 上に対向電極 11、及び配向膜 9 が順次形成されている。また、スティック状アレイ基板 103a には、ゲート配線 26、絶縁膜 7、及び配向膜 10 が順次積層されている。なお、絶縁膜 7 は、例えば、上記のゲート絶縁膜や層間絶縁膜である。そして、配向膜 9 と配向膜 10 との間に、液晶 4 が設けられている。

30

【0041】

ここで、スティック基板 103 状態では、素子区画 101 間において、ゲート端子 23 上に対向電極 11 が配置される。ここで、ゲート端子 23 と対向電極 11 が対向する領域を端子電極対向領域 106 とする。さらに、スティック状対向基板 103b には、疎水膜 8 が形成されている。疎水膜 8 は、端子電極対向領域 106 に配置されている。すなわち、ゲート端子 23 に対向電極 11 が疎水膜 8 を介して対向した構成となる。この疎水膜 8 は、水に対して高い接触角を有している。疎水膜 8 は、例えば、フッ素系シリコン樹脂を用いることができる。具体的には、東芝シリコン製の撥水膜形成用のフッ素シリコン樹脂等の市販の感光性樹脂を用いることができる。したがって、疎水性、撥水性を有する感光性樹脂をマザー基板 2 上に塗布し、露光、現像することによって、所望のパターンの疎水膜 8 を簡便に形成することができる。

40

【0042】

50

検査端子 13 からゲート配線 26 に検査信号が入力されている。したがって、ゲート配線 26 と接続されているゲート端子 23 は、検査信号に応じた電位となる。また、検査端子 14 にも検査信号が入力されているため、検査用配線 18、及びトランスファ電極等を介して対向電極 11 にも検査信号が入力される。よって、対向電極 11 も検査信号に応じた電位となる。ここで、検査端子 14 と検査端子 13 に入力される検査信号は異なる信号である。そのため、対向電極 11 とゲート端子 23 に、検査信号に応じた異なる電圧が印加される。従って、スティック基板 103 の各素子区画 101 に対して点灯検査が実施される。

【0043】

本実施の形態では、上記のように、端子電極対向領域 106 において、スティック状対向基板 103b に疎水膜 8 を形成している。そのため、検査工程で、対向電極 11 と表面に露出したゲート端子 23 に電圧が印加された場合でも、ゲート端子 23 の腐食を防ぐことができる。これにより、表示欠陥の発生を防ぐことができる。すなわち、洗浄工程や結露等によって水滴 29 が浸入した場合でも、疎水膜 8 によって、その水滴 29 が端子電極対向領域 106 に浸入するのを防ぐことができる。例えば、素子区画 101 間、すなわちスティック状アレイ基板 103a とスティック状対向基板 103b の間に、水滴 29 が侵入しても、高い接触角を有する疎水膜 8 を避けて水滴 29 が移動する。従って、ゲート端子 23 には水滴 29 が付着しない。対向電極 11 とゲート端子 23 との間、又はゲート端子 23 間に電位差が生じた場合でも、電気化学反応が発生するのを防ぐことができる。よって、表示欠陥の発生を防ぐことができる。これにより、表示品位の低下を防ぐことができる。

【0044】

ここで、接触角と毛細管現象による水面の上昇距離の関係の一例を図 9 に示す。図 9 によれば、疎水膜 8 として 90° 以上の接触角を有していれば、毛細管現象による水の浸入はない。よって、水の浸入による腐食の発生を防ぐことができる。なお、図 9 は、十分な時間を経たのちの結果であり、実際には、ある程度の接触角の差が疎水膜 8 とそれ以外の領域とであればよい。例えば、疎水膜 8 には、対向電極 11 よりも接触角が大きい材質を用いることができる。

【0045】

このように、端子電極対向領域 106 において、スティック状対向基板 103b に疎水膜 8 を設ける。疎水膜 8 は、複数のゲート端子 23 の全体に対して形成される。これにより、検査工程で電圧が印加された場合でも、腐食を防ぐことができる。よって、表示品質の劣化を防ぐことができる。このように、マザー基板 1 とマザー基板 2 とを貼り合わせた後、洗浄工程を行なった場合でも、水滴 29 の浸入を防ぐことができる。例えば、スティック基板 103 の洗浄を行うことができる。そして、毛細管現象によって、スティック基板 103 状態において、両基板間に水滴 29 が浸入したとしても、水滴 29 は疎水膜 8 を避けて移動する。よって、表面に露出したゲート端子 23 に水滴 29 が付着しない。端子電極対向領域 106 に水滴 29 が浸入するのを防ぐことができる。よって、電気腐食による表示品位を向上することができる。また、疎水膜 8 を形成するのみでよいため、簡便に電気化学反応による腐食を防ぐことができる。

【0046】

そして、検査工程終了後、スティック基板 103 を分断して、素子区画 101 に分離する。ここでは、図 6 に示す切断線 105 でスティック状対向基板 103b を切断する。これにより、TF アレイ基板 100 と対向基板 200 とからなる液晶パネルに分離される。そして、液晶パネルに駆動回路や配線基板等を接続する。さらに、液晶パネルに偏光フィルムや位相差フィルム等を貼り付ける。その後、面状光源装置であるバックライトを液晶パネルの背面側に配置することによって液晶表示装置が完成する。

【0047】

なお、検査工程後のスティック基板 103 を切断する切断工程では、図 8 に示す端子電極対向領域 106 の対向基板 200 が除去される。すなわち、ゲート端子 23 上には対向

基板 200 が設けられていない状態となる。よって、疎水膜 8 が対向基板 200 から切り離される。これにより、容易に駆動回路をゲート端子 23 に接続することができる。

【0048】

このように、本実施の形態によれば、スティック基板 103 状態において、ゲート端子 23 と対向電極 11 の間に疎水膜 8 が配置される。従って、スティック基板 103 状態での検査工程で、ゲート端子 23 と対向電極 11 との間、又はゲート端子 23 間に電位差が生じた場合でも、電気化学反応による腐食を防ぐことができる。さらに、スティック基板 103 状態での検査を行うことができるため、歩留まりを向上することができる。また、対向電極のパターニング工程が不要となるため、表示品質の高い液晶表示装置を安価に製造することができる。よって、生産性を向上することができる。また、対向基板 200 に対向電極が不要な横電界方式の液晶表示装置においても本実施の形態にかかる構成は適用可能である。この場合、ゲート端子 23 間の電位差によるゲート端子 23 の腐食を防ぐことができる。

10

【0049】

なお、疎水膜 8 は少なくとも端子電極対向領域 106 に形成されていればよい。従って、疎水膜 8 の配置は、図 8 に示すものに限られるものではない。ここで、本実施の形態にかかるスティック基板 103 の別の構成について図 10、及び図 11 を用いて説明する。図 10 は、X1 - X2 の位置におけるスティック基板 103 の構成を示す断面図である。図 11 は、図 10 で示した構成のスティック基板 103 を模式的に示す平面図である。図 10、図 11 では、図 8 に示す構成と比べて疎水膜 8 の位置が異なっている。ここで、疎水膜 8 以外の構成は既に説明した構成と同じであるため、説明を省略する。

20

【0050】

図 10 に示すように、疎水膜 8 は、端子電極対向領域 106 のみでなく、その外側まで設けられている。従って、液晶封入領域 102 の外側全体に疎水膜 8 が形成されている。すなわち、隣接する素子区画 101 に形成されたシール材 3 の間全体に、疎水膜 8 が形成されている。従って、素子区画 101 間の領域では、対向電極 11 が露出していない。すなわち、シール材 3 の外側の領域の略全体において、対向電極 11 の上に疎水膜 8 が形成されている。

【0051】

このような疎水膜 8 は、ゲート配線 26 に対向する領域にも形成される。すなわち、ゲート配線 26 と対向電極 11 の間には、疎水膜 8 が形成される。従って、シール材 3 の外側において、ゲート配線 26 を覆う絶縁膜 7 にピンホール 30 のような欠陥が生じた場合でも、水滴 29 に起因する腐食を防ぐことができる。すなわち、ピンホール 30 に対向する部分に、疎水膜 8 が設けられているため、ピンホール 30 から露出したゲート配線 26 に水滴 29 が付着しない。よって、電圧印加時に生じる電気化学反応を防止することができる。なお、疎水膜 8 は、素子区画 101 間全体に設けなくてもよく、例えば、ゲート配線 26 に対向する領域に設ければよい。

30

【0052】

実施の形態 2 .

本実施の形態にかかる液晶表示装置について図 12 を用いて説明する。図 12 は、スティック基板 103 の構成を模式的に示す平面図である。図 12 では、図 11 と同様に、素子区画 101 間の構成が示されている。本実施の形態では、疎水膜 8 がスティック状対向基板 103b ではなく、スティック状アレイ基板 103a に設けられている。ここで、疎水膜 8 以外の構成、及び製造工程は、実施の形態 1 と同様であるため、説明を省略する。

40

【0053】

疎水膜 8 は、スティック状アレイ基板 103a の表面に設けられている。ここで、複数のゲート端子 23 が形成されている領域を端子形成領域 107 とする。この端子形成領域 107 の近傍には、疎水膜 8 が形成されている。そして、この端子形成領域 107 を囲むように、疎水膜 8 が形成されている。従って、ゲート端子 23 の外側に疎水膜 8 が配置される。疎水膜 8 は、例えば、絶縁膜 7 の上に設けられ、表面に露出している。従って、基

50

板間に水滴 29 が浸入された場合でも、端子形成領域 107 に水滴 29 が浸入しない。ゲート端子 23 に水滴 29 が付着しないため、電気化学反応によるゲート端子 23 の腐食を防ぐことができる。すなわち、水滴 29 は疎水膜 8 の内側まで浸入しないため、検査工程で電圧が印加されても、ゲート端子 23 の腐食を防ぐことができる。よって、スティック基板 103 を洗浄した場合でも、腐食の発生を防ぐことができる。

【0054】

ここで、疎水膜 8 には、実施の形態 1 と同様に感光性のフッ素系シリコン樹脂を用いることができる。疎水膜 8 は、その周辺よりも接触角が高い材質であればよい。例えば、疎水膜 8 の接触角は、ゲート配線 26 を覆う絶縁膜 7 表面の接触角よりも高くなる。すなわち、ゲート絶縁膜や層間絶縁膜となるシリコン酸化膜やシリコン窒化膜よりも接触角が高い材質であればよい。この疎水膜 8 は絶縁膜 7 上に形成されている。

10

【0055】

本実施の形態では、スティック状アレイ基板 103a に疎水膜 8 が形成されている。そのため、各素子区画 101 が分離された後、疎水膜 8 は、TFT アレイ基板 100 上に残っている。すなわち、液晶パネル状態では、ゲート端子 23 の外側に、疎水膜 8 が配置される。液晶パネルの端子形成領域 107 を囲むように、疎水膜 8 が形成されている。これにより、電気化学反応による腐食を防ぐことができる。さらに、ゲート端子 23 の表面に樹脂などが形成されていないため、駆動回路との接続抵抗を容易に行うことができる。そして、疎水膜 8 に囲まれたゲート端子 23 上に ACF など設け、駆動回路を接続することができる。これにより、容易に駆動回路を実装することができる。

20

【0056】

なお、疎水膜 8 の配置は、端子形成領域 107 を囲うよう形成するものに限られない。例えば、端子形成領域 107 の外側に形成されていればよい。ここで、疎水膜 8 の配置を変更した別の構成について図 13 を用いて説明する。図 13 は、スティック基板 103 の構成を模式的に示す平面図である。図 13 に示す構成でも、疎水膜 8 がスティック状アレイ基板 103a に形成されている。しかしながら、疎水膜 8 が端子形成領域 107 を囲むように形成されていない。

【0057】

すなわち、疎水膜 8 は、端子形成領域 107 の外側、及び両側に形成されている。また、疎水膜 8 は、シール材 3 まで延設されている。すなわち、シール材 3 と疎水膜 8 とで、端子形成領域 107 を囲んでいる。これにより、基板間に水滴 29 が浸入した場合でも、ゲート端子 23 に水滴 29 が付着するのを防ぐことができる。よって、電気腐食による表示品位の低下を抑制することができる。

30

【0058】

ここで、複数のゲート配線 26 が形成された配線形成領域 108 とすると、シール材 3 と疎水膜 8 とで、この配線形成領域 108 が囲まれている。これにより、ゲート配線 26 上に水滴 29 が浸入するのを防ぐことができる。すなわち、基板間に侵入した水滴 29 は疎水膜 8、及びシール材 3 とで形成された領域の外側のみを移動する。配線形成領域 108 には水滴 29 が浸入しない。これにより、図 10 に示したように、ゲート配線 26 を覆う絶縁膜 7 にピンホール 30 があった場合でも、ゲート配線 26 の腐食を防ぐことができる。これにより、ゲート配線 26 の電気抵抗の変化を防ぐことができ、電気腐食による表示品位の低下を抑制することができる。よって、表示品位を向上することができる。

40

【0059】

このように、TFT アレイ基板 100 上に疎水膜 8 を形成する場合、疎水膜 8 をゲート端子 23 の近傍に設ければよい。さらに、疎水膜 8 をゲート端子 23 の外側、すなわち、TFT アレイ基板 100 の端側に配置する。この場合、シール材 3 と疎水膜 8 との間にゲート端子 23 が配置される。これにより、外側からの水滴に浸入を防ぐことができる。また、疎水膜 8 で端子形成領域 107 を囲むことで、ゲート端子 23 に対する水滴に付着を確実に防ぐことができる。あるいは、疎水膜 8 とシール材 3 とで端子形成領域 107 を囲むようにしてもよい。これにより、ゲート端子 23 に対する水滴 29 に付着を確実に防ぐ

50

ことができる。この場合、疎水膜 8 とシール材 3 とで、シール材 3 の外側にある配線形成領域 108 を囲む。これにより、ゲート配線 26 の腐食を防ぐことができる。

【0060】

なお、実施の形態 1、2 では、ゲート端子 23 の腐食を防止するための疎水膜 8 について説明したが、本発明はこれに限られるものではない。例えば、ソース端子 22 や、検査端子 12 ~ 15 に対して疎水膜 8 を形成してもよい。すなわち、外部から信号を入力するため、入力端子に疎水膜 8 を設けることができる。特に、スティック基板 103 状態において液晶封入領域 102 の外側で露出し、対向電極 11 と対向する入力端子に対して疎水膜 8 を設ければよい。これにより、基板間に水滴が浸入した場合でも、検査工程で腐食が生じるのを防ぐことができる。よって、表示品位の低下を防ぐことができる。また、実施の形態 1 と実施の形態 2 とを組み合わせてもよい。すなわち、スティック状アレイ基板 103a とスティック状対向基板 103b との両方に、疎水膜を形成してもよい。

【0061】

また、実施の形態 1、2 では、TFT アレイ基板を有するアクティブマトリクス型液晶表示装置について説明したが、本発明はこれに限られるものではない。例えば、パッシブマトリクス型液晶表示装置であってもよい。また、例えば、電子ペーパーなどの、液晶以外の表示材料を用いた表示装置であってもよい。さらに、上記の説明では、マザー基板 1 とマザー基板 2 を切断した後、液晶注入工程、及び検査工程を行ったが、これに限るものではない。例えば、マザー基板 1 とマザー基板 2 とに素子区画 101 が一列に配列される場合は、マザー基板 1 とマザー基板 2 を切断する前に、液晶注入工程、及び検査工程を行うことができる。すなわち、各素子区画 101 に分断して液晶パネルを形成する前の段階で、検査工程が実施するものであればよい。

【図面の簡単な説明】

【0062】

【図 1】 TFT アレイ基板のマザー基板の構成を示す平面図である。

【図 2】 TFT アレイ基板の構成を模式的に示す平面図である。

【図 3】 対向基板のマザー基板の構成を示す平面図である。

【図 4】 対向基板の画素構成を模式的に示す平面図である。

【図 5】 図 4 の X - X 断面図である。

【図 6】 スティック基板の構成を示す斜視図である。

【図 7】 スティック状アレイ基板の構成を模式的に示す平面図である。

【図 8】 スティック基板の構成を示す断面図である。

【図 9】 接触角と水面の上昇距離を示す図である。

【図 10】 実施の形態 1 にかかるスティック基板の別の構成を示す断面図である。

【図 11】 実施の形態 1 にかかるスティック基板の別の構成を示す図である。

【図 12】 実施の形態 2 にかかるスティック基板の素子区画間の構成を模式的に示す図である。

【図 13】 実施の形態 2 にかかるスティック基板の素子区画間の別の構成を模式的に示す図である。

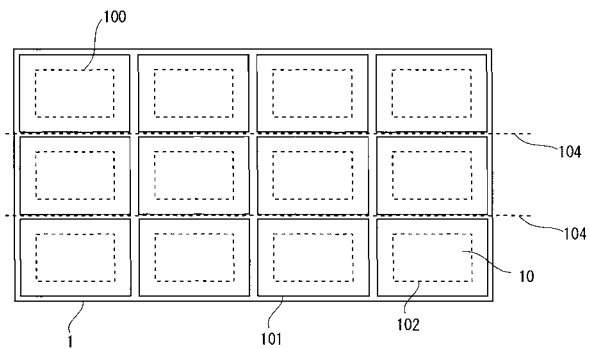
【符号の説明】

【0063】

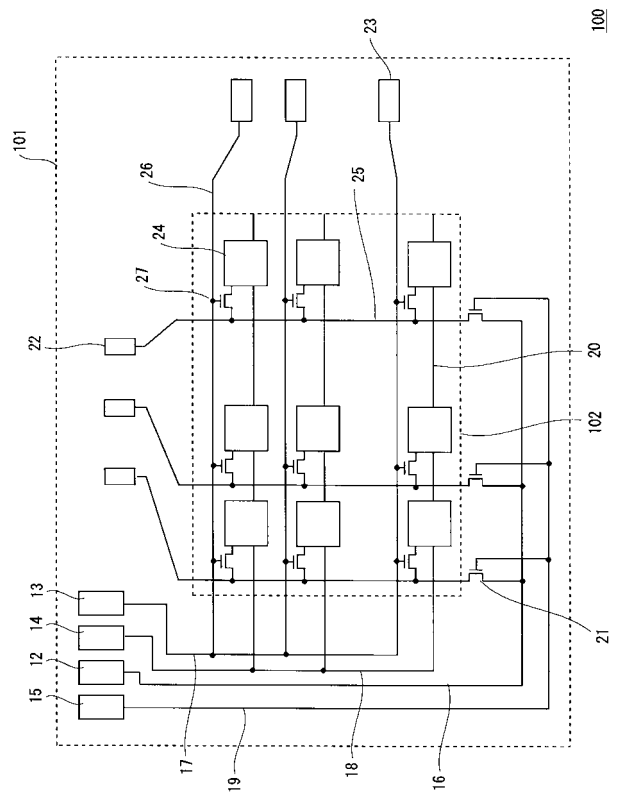
1 マザー基板、2 マザー基板、3 シール材、4 液晶、5 ブラックマトリクス、7 絶縁膜、8 疎水膜、9 配向膜、10 配向膜、11 対向電極、12 ~ 15 検査端子、16 ~ 19 検査用配線、20 蓄積容量配線、21 スイッチ素子、22 ソース端子、23 ゲート端子、24 画素電極、25 ソース配線、26 ゲート配線、27 TFT、28 着色層、29 水滴、30 ピンホール、100 TFT アレイ基板、101 素子区画、102 液晶封入領域、103 スティック基板、103a スティック状アレイ基板、103b スティック状対向基板、104 切断線、105 切断線、

1 0 6 端子電極対向領域、1 0 7 端子形成領域、1 0 8 配線形成領域、
2 0 0 対向基板、

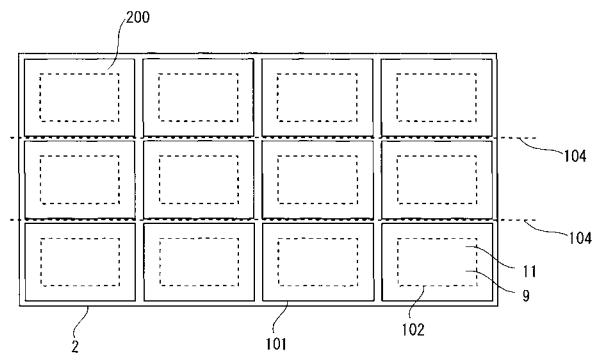
【図 1】



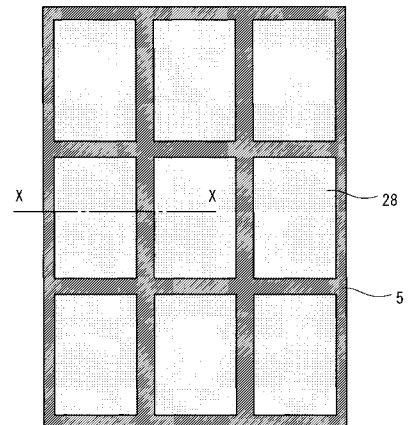
【図 2】



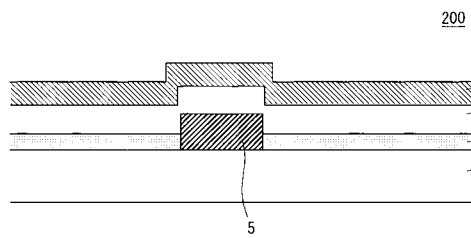
【 図 3 】



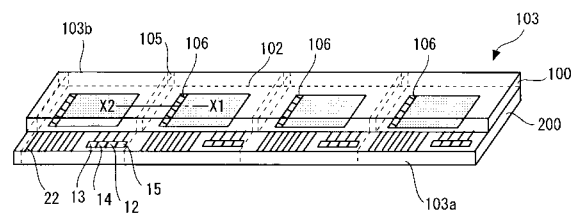
【 図 4 】



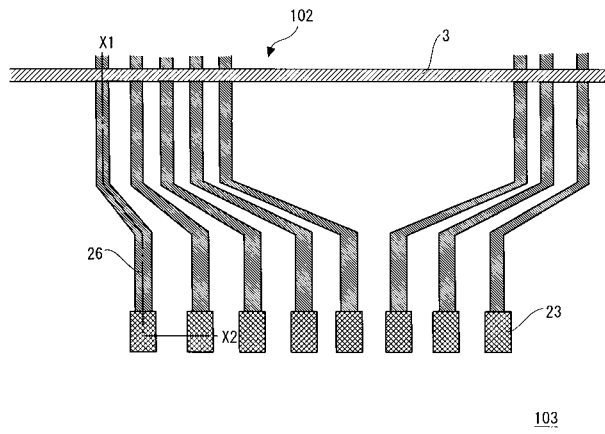
【 図 5 】



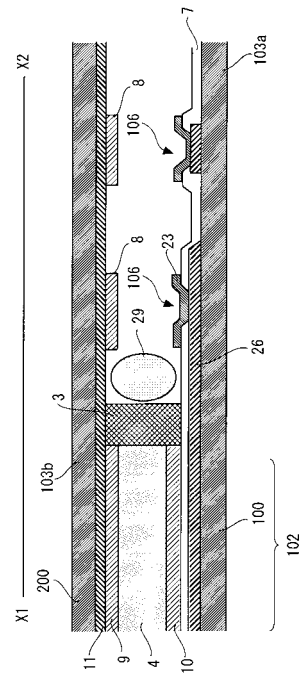
【 図 6 】



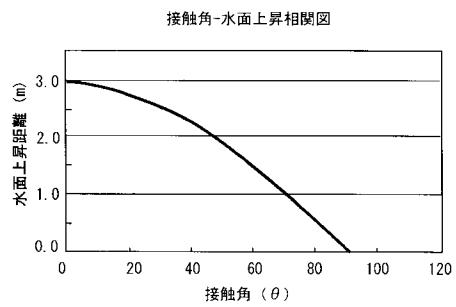
【図 7】



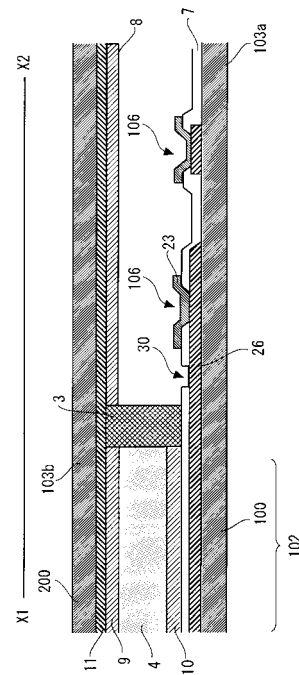
【図 8】



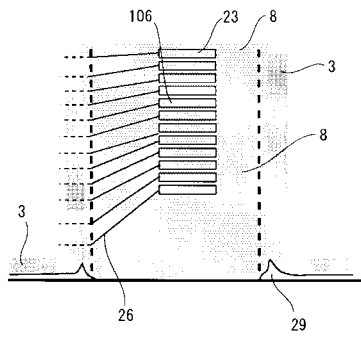
【図 9】



【図 10】

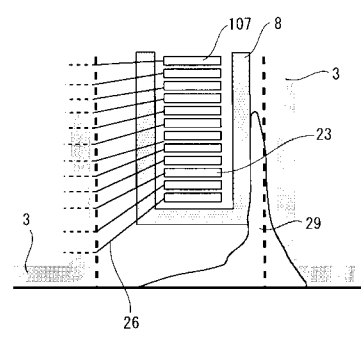


【図 1 1】



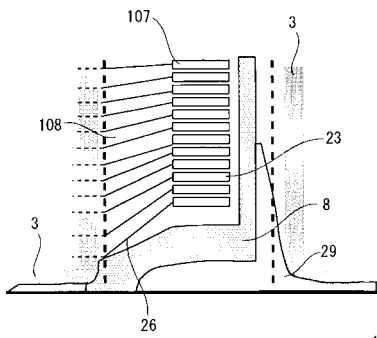
103

【図 1 2】



103

【図 1 3】



103

专利名称(译)	面板基板，显示装置及其制造方法		
公开(公告)号	JP2008003337A	公开(公告)日	2008-01-10
申请号	JP2006173242	申请日	2006-06-23
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	藤田康雄		
发明人	藤田 康雄		
IPC分类号	G09F9/00 G02F1/1345		
CPC分类号	G02F1/133351 G02F2001/136254 G02F2001/136272 G02F2201/50		
FI分类号	G09F9/00.338 G02F1/1345		
F-TERM分类号	2H092/GA32 2H092/GA40 2H092/HA04 2H092/HA06 2H092/HA14 2H092/HA19 2H092/JA24 2H092/JB77 2H092/KB04 2H092/NA15 2H092/NA25 2H092/PA01 2H092/PA04 5G435/AA13 5G435/AA14 5G435/BB12 5G435/KK07 5G435/KK10		
外部链接	Espacenet		

摘要(译)

[问题] 提供一种面板基板，显示装置及其制造方法，其可以防止显示质量的下降。[解决方案] 根据本发明的一个实施例的面板基板是液晶面板基板，其具有TFT阵列基板100，对向基板200和设置在由密封材料3形成的液晶包围区域中的液晶4，设置在基板阵列上的栅极配线26，形成在TFT阵列基板100的液晶包围区域的外侧，用于向栅极配线输入信号的栅极端子23，以及设置在对置基板200上的对置电极11。疏水膜8形成在对向基板200上，并且设置在栅极端子23和对向电极11彼此面对的面对端子电极的区域106中。[选择图]图8

