

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-213070
(P2007-213070A)

(43) 公開日 平成19年8月23日(2007.8.23)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H091
GO2F 1/1335 (2006.01)	GO2F 1/1335 500	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	5F110
HO1L 29/786 (2006.01)	HO1L 29/78 619B	

審査請求 未請求 請求項の数 15 O L (全 14 頁)

(21) 出願番号	特願2007-26847 (P2007-26847)	(71) 出願人	390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市八達区梅灘洞416番地
(22) 出願日	平成19年2月6日(2007.2.6)	(74) 代理人	110000408 特許業務法人高橋・林アンドパートナーズ
(31) 優先権主張番号	10-2006-0011111	(72) 発明者	金 ▼嚇▲ 珍 大韓民国忠南天安市木天邑新戒理伸園 プランニューアパートメント212-304
(32) 優先日	平成18年2月6日(2006.2.6)	(72) 発明者	金 景 旭 大韓民国ソウル特別市江南區驛三1洞621-23
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

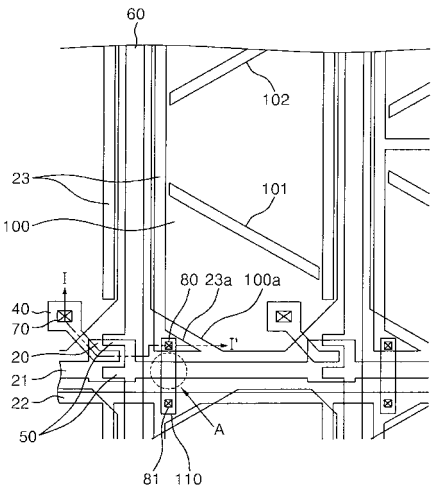
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】 (修正有)

【課題】画素電極の角部周辺のテクスチャ不良による表示不良を防止した液晶表示装置及びその製造方法を提供すること。

【解決手段】交差構造で画素領域を定義するゲートライン21及びデータライン60と、前記画素領域に形成され、前記ゲートライン及び前記データラインの交差部と隣接する一辺が傾斜して形成された画素電極100と、前記画素電極の傾斜した一辺と並んで形成されて光漏れを遮蔽する光遮蔽パターン23を含む液晶表示装置及びその製造方法。

【選択図】図1



【特許請求の範囲】

【請求項 1】

交差構造で画素領域を定義するゲートライン及びデータラインと、
前記画素領域に形成され、前記ゲートライン及び前記データラインの交差部と隣接する一
辺が傾斜して形成された画素電極と、
前記画素電極の傾斜した一边と並んで形成され、光漏れを遮蔽する光遮蔽パターンとを含
むことを特徴とする液晶表示装置。

【請求項 2】

前記光遮蔽パターンが、前記ゲートラインと同一の金属で同一平面上に形成されることを
特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 3】

前記光遮蔽パターンが、
前記ゲートラインと並んで形成され、ストレージ電圧を供給するストレージラインと、
前記ストレージラインから突出して前記データラインと並び、前記画素電極の一側部と重
なるように形成されたストレージ突出部とをさらに含むことを特徴とする請求項 2 に記載
の液晶表示装置。

【請求項 4】

前記ストレージ突出部と次段の前記ストレージラインとを電氣的に接続するブリッジ電極
をさらに備えることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記ブリッジ電極が、前記画素電極と同一の金属で同一平面上に形成されることを特徴と
する請求項 4 に記載の液晶表示装置。

20

【請求項 6】

前記光遮蔽パターンが、前記画素電極と同一の金属で同一平面上に形成されることを特徴
とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記ゲートラインと並んで形成され、ストレージ電圧を供給するストレージラインと、
前記ストレージラインから突出して前記データラインと並び、前記画素電極の一側部と重
なるように形成されたストレージ突出部とをさらに含み、
前記光遮蔽パターンが、前記ストレージ突出部と次段のストレージラインとを電氣的に接
続し、前記画素電極の傾斜した一边と平行な傾斜した一边を有することを特徴とする請求
項 6 に記載の液晶表示装置。

30

【請求項 8】

前記光遮蔽パターンには、ストレージ電圧が供給されることを特徴とする請求項 1 に記載
の液晶表示装置。

【請求項 9】

交差構造で画素領域を定義するゲートライン及びデータラインを形成し、
前記画素領域に形成され、前記ゲートライン及び前記データラインの交差部と隣接する一
辺が傾斜して形成された画素電極を形成し、
前記画素電極の傾斜した一边と並んで形成された光遮蔽パターンを形成することを含むこ
とを特徴とする液晶表示装置の製造方法。

40

【請求項 10】

前記光遮蔽パターンを形成することは、
前記ゲートラインと同一の金属で同一平面上に並んで形成されたストレージラインを形成
することと、
前記ストレージラインから突出して前記データラインと並び、前記画素電極の一側部と重
なるように形成されたストレージ突出部を形成することとをさらに含むことを特徴とする
請求項 9 に記載の液晶表示装置の製造方法。

【請求項 11】

前記光遮蔽パターンを形成することは、

50

前記ストレージラインの一部を前記画素電極の傾斜した一辺と平行になるように形成することと、
前記ストレージ突出部の端部の一辺を前記画素電極の傾斜した一辺と平行になるように形成することとをさらに含むことを特徴とする請求項 10 に記載の液晶表示装置の製造方法。

【請求項 12】

前記ストレージ突出部と次段の前記ストレージラインとを接続するブリッジ電極を形成することをさらに含むことを特徴とする請求項 11 に記載の液晶表示装置の製造方法。

【請求項 13】

前記ブリッジ電極を形成することは、
前記画素電極と同一の金属で同一平面上に前記ブリッジ電極の一辺を、傾斜して形成された前記画素電極の一辺と平行になるように形成することをさらに含むことを特徴とする請求項 12 に記載の液晶表示装置の製造方法。

【請求項 14】

前記光遮蔽パターンを形成することは、
前記画素電極を形成する際に、前記光遮蔽パターンを前記画素電極と同一の金属で同一平面上に形成することを含むことを特徴とする請求項 9 に記載の液晶表示装置の製造方法。

【請求項 15】

前記ゲートラインと並んで形成されたストレージラインを形成し、
前記ストレージラインから突出し、前記データラインと並んで形成されたストレージ突出部を形成することとをさらに含み、
前記ストレージ突出部と次段の前記ストレージラインとが電氣的に接続された前記光遮蔽パターンを形成することをさらに含むことを特徴とする請求項 14 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特にカラーフィルタ基板の整列ミス又は外部衝撃に伴う柱状スペーサの移動により発生する画素電極の角部周辺の光漏れによるテクスチャ不良を防止する液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

フラットパネルディスプレイの 1 つである液晶表示装置 (LCD; Liquid Crystal Display) は、一般に、陰極線管 (CRT; Cathode Ray Tube) と比較して、小型、軽量及び低消費電力などの利点があるため、最近では携帯電話、コンピュータのモニタ及びテレビなどに多く使用されており、液晶表示装置の需要は増加し続けている現状である。

【0003】

液晶表示装置は、一般に、共通電極やカラーフィルタなどが形成されたカラーフィルタ基板と、薄膜トランジスタや画素電極などが形成されたカラーフィルタ基板との間に液晶を注入し、画素電極と共通電極に異なる電位を印加することによって電界を形成して液晶分子の配列を変更させ、これにより光の透過率を調節することによって画像を表現する装置である。

【0004】

その中でも、電界が印加されていない状態で液晶分子の長軸を上下基板に対して垂直となるように配列した垂直配向モードの液晶表示装置は、コントラスト比が大きく、かつ広視野角実現が容易なため脚光を浴びている。

【0005】

垂直配向モードの液晶表示装置において広視野角を実現するための手段としては、電極に切開パターンを形成する方法や突起を形成する方法などがある。これらは全てフリンジフィールド (Fringe Field) を形成し、液晶の傾斜する方向を 4 方向に均等に分散させる

10

20

30

40

50

ことによって広視野角を確保する方法である。これらのうち、電極に切開パターンを形成するPVA (Patterned Vertically Aligned) モードは、IPS (In Plane Switching) モードに代わる広視野角技術として認められている。

【0006】

また、PVA モードは液晶分子の挙動にねじれがなく、電界方向に垂直な方向にスプレイするか、又は弾性的にベンドすることによってのみ動作するのでTN (Twisted nematic) 方式と比較して相対的に速い応答特性を有する。

【0007】

しかし、光漏れを防止するためのブラックマトリクスが形成された上部基板と、薄膜トランジスタが形成された下部基板とのアライメントが崩れたり、外部の物理的衝撃によって上部基板が移動すると、画素電極の角部の光漏れを防止するブラックマトリクスも移動し、光漏れによるテクスチャ (Texture) 不良が原因となって液晶表示装置の表示不良が発生する。特に、上部基板と下部基板との間のセルギャップを維持する柱状スペーサが青色の画素領域と隣接する領域に形成された場合、青色の画素領域と隣接する柱状スペーサに衝撃が加わると、柱状スペーサが画素領域方向に移動することによる光漏れ視認性がさらに大きくなる。そして、これによるテクスチャ不良が発生し、柱状スペーサが元位置に回復しても青色画素領域はテクスチャ不良が復元されず、輝度が低下して横線不良及び黄色に視認されるイエローウィッシュ (Yellowish) が発生する。

10

【発明の開示】

【発明が解決しようとする課題】

20

【0008】

従って、前記の問題を解決するための本発明の技術的課題は、画素電極の角部に光遮蔽パターンを形成して表示不良を防止した液晶表示装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

上記の目的を達成するために、本発明は、交差構造で画素領域を定義するゲートライン及びデータラインと、前記画素領域に形成され、前記ゲートライン及び前記データラインの交差部と隣接する一辺が傾斜して形成された画素電極と、前記画素電極の傾斜した一辺と並んで形成されて光漏れを遮蔽する光遮蔽パターンとを含む液晶表示装置を提供する。

30

【0010】

ここで、前記光遮蔽パターンは前記ゲートラインと同一の金属で同一平面上に形成される。

【0011】

また、前記光遮蔽パターンは、前記ゲートラインと並んで形成され、ストレージ電圧を供給するストレージラインと、前記ストレージラインから突出して前記データラインと並び、前記画素電極の一側部と重なるように形成されたストレージ突出部とをさらに含む。

【0012】

さらに、前記ストレージ突出部と次段の前記ストレージラインとを電氣的に接続するブリッジ電極をさらに備える。

40

【0013】

さらに、前記ブリッジ電極は前記画素電極と同一の金属で同一平面上に形成される。

【0014】

一方、前記光遮蔽パターンは前記画素電極と同一の金属で同一平面上に形成される。

【0015】

ここで、前記ゲートラインと並んで形成されてストレージ電圧を供給するストレージラインと、前記ストレージラインから突出して前記データラインと並び、前記画素電極の一側部と重なるように形成されたストレージ突出部とをさらに含み、前記光遮蔽パターンは、前記ストレージ突出部と次段の前記ストレージラインとを電氣的に接続し、前記画素電極の傾斜した一辺と平行な傾斜した一辺を有する。

50

【 0 0 1 6 】

また、前記光遮蔽パターンにはストレージ電圧が供給される。

【 0 0 1 7 】

さらに、上記の目的を達成するために、本発明は、交差構造で画素領域を定義するゲートライン及びデータラインを形成し、前記画素領域に形成されて前記ゲートライン及び前記データラインの交差部と隣接し、一辺が傾くように形成された画素電極を形成し、前記画素電極の傾斜した一辺と並んで形成された光遮蔽パターンを形成することを含む液晶表示装置の製造方法を提供する。

【 0 0 1 8 】

ここで、前記光遮蔽パターンを形成することは、前記ゲートラインと同一の金属で同一平面上に並んで形成されたストレージラインを形成することと、前記ストレージラインから突出して前記データラインと並び、前記画素電極の一側部と重なるように形成されたストレージ突出部を形成することとをさらに含む。

【 0 0 1 9 】

また、前記光遮蔽パターンを形成することは、前記ストレージラインの一部が前記画素電極の傾斜した一辺と平行になるように形成することと、前記ストレージ突出部の端部の一辺を前記画素電極の傾斜した一辺と平行になるように形成することとをさらに含む。

【 0 0 2 0 】

さらに、前記ストレージ突出部と次段の前記ストレージラインとを接続するブリッジ電極を形成することをさらに含む。

【 0 0 2 1 】

ここで、前記ブリッジ電極を形成することは、前記画素電極と同一の金属で同一平面上に前記ブリッジ電極の一辺を、傾斜して形成された前記画素電極の一辺と平行になるように形成する段階をさらに含む。

【 0 0 2 2 】

一方、前記光遮蔽パターンを形成する際に、前記光遮蔽パターンを前記画素電極と同一の金属で同一平面上に形成することを含む。

【 0 0 2 3 】

また、前記ゲートラインと並んで形成されたストレージラインを形成することと、前記ストレージラインから突出し、前記データラインと並んで形成されたストレージ突出部を形成することとをさらに含み、前記ストレージ突出部と次段の前記ストレージラインとが電氣的に接続された前記光遮蔽パターンを形成することを含む。

【 発明の効果 】

【 0 0 2 4 】

前述したように、本発明の実施形態による液晶表示装置及びその製造方法は、垂直配向型液晶表示装置において、ストレージ突出部又はこれに接続されるブリッジ電極の少なくとも1つが画素電極の角部と並んで形成されてフリンジフィールドを形成することにより、カラーフィルタ基板と薄膜トランジスタ基板との整列ミスによる光漏れをフリンジフィールドが形成された領域の液晶を垂直に駆動して防止することができる。

【 0 0 2 5 】

また、外部の物理的衝撃による柱状スペーサの流動が発生してもテクスチャ不良が防止され、表示品質を向上させる

【 発明を実施するための最良の形態 】

【 0 0 2 6 】

前記目的以外の本発明の他の目的及び利点は、添付図面を参照した本発明の好ましい実施形態についての説明により明白になるであろう。以下、添付図面を参照して本発明の具体的な実施形態を詳細に説明する。

【 0 0 2 7 】

図1は本発明の実施形態による薄膜トランジスタ基板を示す平面図であり、図2は図1に示す薄膜トランジスタ基板のI-I'線断面図である。

10

20

30

40

50

【 0 0 2 8 】

図 1 及び図 2 に示すように、本発明の第 1 実施形態による薄膜トランジスタ基板は、交差構造で画素領域を定義するゲートライン 2 1 及びデータライン 6 0 と、画素領域に形成され、ゲートライン 2 1 及びデータライン 6 0 の交差部と隣接する傾斜した一辺 1 0 0 a を有する画素電極 1 0 0 と、ゲートライン 2 1 と並んで形成されてストレージ電圧を供給するストレージライン 2 2 と、ストレージライン 2 2 から突出して形成されたストレージ突出部 2 3 とを含み、ストレージ突出部 2 3 の一辺 2 3 a が画素電極 1 0 0 の傾斜した一辺 1 0 0 a と平行に形成される。ここで、ストレージライン 2 2 とストレージ突出部 2 3 とは光遮蔽パターンで構成される。

【 0 0 2 9 】

具体的には、ゲートライン 2 1 はスキャン信号を供給し、データライン 6 0 は画像データ信号を供給する。このようなゲートライン 2 1 及びデータライン 6 0 は、ゲート絶縁膜 3 0 を介して交差して画素領域を定義する。また、画素領域にはゲートライン 2 1 及びデータライン 6 0 に接続された薄膜トランジスタが形成される。

【 0 0 3 0 】

薄膜トランジスタは、ゲートライン 2 1 に接続されたゲート電極 2 0 と、データライン 6 0 に接続されたソース電極 5 0 と、画素電極 1 0 0 に接続されたドレイン電極 4 0 と、ゲート電極 2 0 とゲート絶縁膜 3 0 を介して重なってソース電極 5 0 とドレイン電極 4 0 間にチャンネルを形成する半導体層 3 1 とを備える。また、薄膜トランジスタは、ソース電極 5 0 及びドレイン電極 4 0 と半導体層 3 1 間のオーミックコンタクトのためのオーミック
コンタクト層 3 2 をさらに備える。このような薄膜トランジスタは、ゲートライン 2 1 のスキャン信号に応答してデータライン 6 0 の画像データ信号を画素電極 1 0 0 に供給する。

【 0 0 3 1 】

画素電極 1 0 0 は、薄膜トランジスタを覆う保護膜 9 0 上に形成され、保護膜 9 0 を貫通する画素コンタクトホール 7 0 を介してドレイン電極 4 0 に接続される。画素電極 1 0 0 は、薄膜トランジスタからの画像データ信号が供給されると、カラーフィルタ基板の共通電極との電圧差により液晶を駆動して光透過率が調節されるようにする。このような画素電極 1 0 0 は、画素領域を複数のドメインに分割するために複数のスリット 1 0 1、1 0 2 を備える。複数のスリットは、画素電極 1 0 0 の短軸方向を基準に上部及び下部にそれぞれ対称となり、傾斜角を有して形成された第 1 スリット 1 0 1 及び第 2 スリット 1 0 2 を含む。ここで、本実施形態においては、第 1 スリット 1 0 1 及び第 2 スリット 1 0 2 は互いに垂直をなして形成される。第 1 スリット 1 0 1 及び第 2 スリット 1 0 2 は、フリンジフィールドの方向を複数の方向に均等に分散して 1 つの画素に複数のドメインを形成する。ここで、画素電極 1 0 0 は、ゲートライン 2 1 及びデータライン 6 0 の交差部と隣接する一辺 1 0 0 a が傾斜して形成される。すなわち、画素電極 1 0 0 の角部の一辺 1 0 0 a が傾斜して形成され、ストレージ突出部 2 3 と次段のストレージライン 2 2 を接続するブリッジ電極 1 1 0 との重複を回避する。

【 0 0 3 2 】

光遮蔽パターンは、ストレージライン 2 2 とストレージ突出部 2 3 とを含み、画素電極 1 0 0 と重なるように形成される。前記光遮蔽パターンにはストレージ電圧が供給され、1 フレームの間、画素電極 1 0 0 に充電されたデータ電圧を維持する。

【 0 0 3 3 】

ストレージライン 2 2 は、ゲートライン 2 1 と平行に形成されてストレージ電圧を供給する。また、ストレージライン 2 2 から突出してデータライン 6 0 と平行に形成されたストレージ突出部 2 3 を備える。

【 0 0 3 4 】

ストレージ突出部 2 3 は、データライン 6 0 と隣接する画素電極 1 0 0 の一側と重なり、データライン 6 0 と並んで形成される。ストレージ突出部 2 3 の端部は、次のストレージライン 2 2 とブリッジ電極 1 1 0 を介して接続される。ここで、ストレージ突出部 2 3 の

10

20

30

40

50

側辺 23a は、画素電極 100 の傾斜した一辺 100a と平行に形成されて画素電極 100 の角部で発生する光漏れを防止する。また、ストレージライン 22 にも画素電極 100 の傾斜した一辺 100a と並んで傾斜して形成され、画素電極 100 の角部で発生する光漏れを防止する。

【0035】

従って、光遮蔽パターンは、カラーフィルタが形成されたカラーフィルタ基板と薄膜トランジスタが形成された薄膜トランジスタ基板との間に整列ミス（ミスマライメント）によって画素電極 100 の角部で発生する光漏れを防止することができる。

【0036】

特に、柱状スペーサが形成される領域 A において外部の物理的衝撃による柱状スペーサの移動が生じてても、ストレージ突出部の端部の側辺 23a により光漏れを遮蔽することができる。これにより、画素電極 100 の角部で発生するテクスチャ不良を防止することができる。また、液晶表示装置の表示品質が向上する。特に、青色画素と隣接して柱状スペーサが位置し、柱状スペーサの移動によるイエローウィッシュの発生を防止することができる。

【0037】

ストレージ突出部 23 の端部は、次段のストレージライン 22 との接続のために第 1 コンタクトホール 80 をさらに備え、次段のストレージライン 22 の所定領域に第 2 コンタクトホール 81 を備える。また、ストレージ突出部 23 と次段のストレージライン 22 はブリッジ電極 110 により電氣的に接続される。

【0038】

ブリッジ電極 110 は、第 1 コンタクトホール 80 及び第 2 コンタクトホール 81 を介してストレージ突出部 23 と次段のストレージライン 22 に接続される。このようなブリッジ電極 110 は、ITO (Indium Tin Oxide) 又は IZO (Indium Zinc Oxide) などの透明電極で形成される。

【0039】

図 3A ~ 図 3E は本発明の実施形態による薄膜トランジスタ基板の製造方法を順に示す断面図である。

【0040】

図 3A に示すように、第 1 マスク工程により基板 10 上に、ゲートライン 21 及びゲート電極 20 と、光遮蔽パターンとを含む第 1 導電パターン群が形成される。ここで、光遮蔽パターンは、ストレージライン 22、及び一辺が傾斜して形成されたストレージ突出部 23 を含む。

【0041】

具体的には、基板 10 上に第 1 導電層をスパッタリングなどによって堆積することにより形成する。第 1 導電層は、アルミニウム、クロム、銅、及びモリブデンなどの金属又はそれらの合金が単一層に形成されるか、それらの組み合わせからなる多層構造に形成される。次に、第 1 マスクを利用したフォトリソグラフィ工程とエッチング工程で第 1 導電層をパターンングすることにより、ゲートライン 21、ゲート電極 20、ストレージライン 22、及びストレージ突出部 23 を含む第 1 導電パターン群が形成される。特に、ストレージ突出部 23 は、その端部が後に形成される画素電極 100 の傾斜した一辺 100a と平行な一辺 23a を有するように形成される。また、ストレージライン 22 にも画素電極 100 の傾斜した一辺 100a と並んで形成して光漏れを遮蔽することが好ましい。

【0042】

図 3B に示すように、第 2 マスク工程により第 1 導電パターン群が形成された基板上に、ゲート絶縁膜 30、半導体層 31、及びオーミックコンタクト層 32 が順次積層される。

【0043】

具体的には、ゲートライン 21、ゲート電極 20、ストレージライン 22、及びストレージ突出部 23 が形成された基板 10 上に、ゲート絶縁膜 30、アモルファスシリコン層、及び高濃度ドーピングされたアモルファスシリコン層がプラズマ化学気相成長法 (Plasma En

10

20

30

40

50

hanced Chemical Vapor Deposition; PEVCD)などの成膜方法により順次積層される。次に、第2マスクを利用したフォトリソグラフィ工程及びエッチング工程でアモルファスシリコン層及び高濃度ドーピングされたアモルファスシリコン層がパターンニングされることにより、半導体層31及びオーミックコンタクト層32が形成される。ゲート絶縁膜30としては、SiNx、SiOxなどの無機絶縁物質が用いられる。

【0044】

図3Cに示すように、第3マスク工程により半導体層31及びオーミックコンタクト層32が形成されたゲート絶縁膜30上に、データライン60、ソース電極50、及びドレイン電極40を含む第2導電パターン群が形成される。

【0045】

具体的には、データライン60はストレージ突出部23と並んでゲート絶縁膜30上に形成され、ドレイン電極40は半導体層31及びオーミックコンタクト層32が形成されたゲート絶縁膜30上に形成され、ソース電極50はデータライン60から突出してドレイン電極40と対向するように半導体層31及びオーミックコンタクト層32が形成されたゲート絶縁膜30上に形成される。このような第2導電パターン群は、スパッタリングなどの成膜方法により第2導電層を形成した後、第3マスク工程を用いたフォトリソグラフィ工程及びエッチング工程で第2導電層をパターンニングすることにより形成される。第2導電層は、アルミニウム、クロム、銅、及びモリブデンなどの金属又はそれらの合金が単一層に形成されるか、それらの組み合わせからなる多層構造に形成される。

【0046】

図3Dに示すように、第4マスク工程により第2導電パターン群が形成されたゲート絶縁膜30上に、画素コンタクトホール70と、第1コンタクトホール80及び第2コンタクトホール81とを有する保護膜90が形成される。

【0047】

詳細には、保護膜90は、第2導電パターン群が形成された基板上にPECVD、スパインコーティングなどの成膜方法により形成され、第4マスクを用いたフォトリソグラフィ工程及びエッチング工程で保護膜90を貫通してドレイン電極40を露出させる画素コンタクトホール70と、ゲート絶縁膜30及び保護膜90を貫通してストレージ突出部23の端部を露出させる第1コンタクトホール80と、次段のストレージライン22の所定領域に第2コンタクトホール81とが形成される。保護膜90としては、ゲート絶縁膜30などの無機絶縁物質又は有機絶縁物質が用いられる。

【0048】

図3Eに示すように、第5マスク工程により保護膜90上に画素電極100及びブリッジ電極110が形成される。

【0049】

具体的には、画素電極100及びブリッジ電極110は、保護膜90上にスパッタリングなどの方法により透明導電層が形成された後、第5マスクを用いたフォトリソグラフィ及びエッチング工程で透明導電層をパターンニングして形成される。ここで、画素電極100には第1スリット101及び第2スリット102がパターンニングされる。また、ストレージ突出部23の端部と次段のストレージライン22を接続するブリッジ電極110がパターンニングされる。ここで、画素電極100のそれぞれの角部は、ブリッジ電極110との重複を回避するために一辺が傾斜して形成される。透明導電層としては、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、及びTO (Tin Oxide)などの透明導電物質が用いられる。画素電極100は画素コンタクトホール70を介してドレイン電極40に接続され、ブリッジ電極は第1コンタクトホール80及び第2コンタクトホール81を通してストレージ突出部23及び次段のストレージライン22にそれぞれ接続される。

【0050】

図4は本発明の第2実施形態による薄膜トランジスタ基板を示す平面図であり、図5は図4に示す薄膜トランジスタ基板のII-II'線断面図である。

10

20

30

40

50

【 0 0 5 1 】

図 4 及び図 5 は図 1 及び図 2 と比べて、ストレージ突出部 2 3 の端部に接続されるブリッジ電極 1 1 0 の形状が変更されたことを除いては同じ構成要素を備えるので、同じ構成要素についての重複した説明は省略する。

【 0 0 5 2 】

図 4 及び図 5 に示すように、本発明の第 2 実施形態による薄膜トランジスタ基板は、交差構造で画素領域を定義するゲートライン 2 1 及びデータライン 6 0 と、画素領域に形成され、ゲートライン 2 1 及びデータライン 6 0 の交差部と隣接する一辺が傾斜して形成された画素電極 1 0 0 と、ゲートライン 2 1 と並んで形成されてストレージ電圧を供給するストレージライン 2 2 と、ストレージライン 2 2 から突出してデータライン 6 0 と隣接する画素電極 1 0 0 の一側部と重なるように形成されたストレージ突出部 2 3 とを含み、ストレージ突出部 2 3 と次段のストレージライン 2 2 を接続するブリッジ電極 1 1 0 を備え、ブリッジ電極 1 1 0 の側辺 1 1 0 a、1 1 0 b は画素電極 1 0 0 の傾斜した一辺 1 0 0 a と平行に形成されて水平電界を形成する。ここで、ブリッジ電極 1 1 0 は光漏れを遮蔽する光遮蔽パターンである。

【 0 0 5 3 】

具体的には、ブリッジ電極 1 1 0 は、ストレージ突出部 2 3 と次段のストレージライン 2 2 とを電気的に接続する。また、ブリッジ電極 1 1 0 は画素電極 1 0 0 と同一の透明金属で形成される。画素電極 1 0 0 は、ゲートライン 2 1 及びデータライン 6 0 の交差部と隣接する一辺が傾斜して形成される。ここで、ブリッジ電極 1 1 0 は、画素電極 1 0 0 の傾斜した一辺 1 0 0 a と並んだ一辺 1 1 0 a を有して形成される。これにより、ブリッジ電極 1 1 0 と画素電極 1 0 0 との間に水平電界が形成されて画素電極 1 0 0 の角部に形成された液晶を制御できる。すなわち、ブリッジ電極 1 1 0 の傾斜した一辺 1 1 0 a と、画素電極 1 0 0 の傾斜した一辺 1 0 0 a との間に形成された電界は、互いの間に形成されたフリンジフィールドによる水平電界が形成されて液晶が垂直方向に駆動されることにより光漏れを遮蔽する。

【 0 0 5 4 】

従って、画素電極 1 0 0 の角部において光漏れによって発生するテクスチャ不良を防止することができる。

【 0 0 5 5 】

後工程において、液晶表示装置には、ゲートライン 2 1 及びブリッジ電極 1 1 0 と重なる領域 A に柱状スペーサが配置される。ここで、外部の物理的な衝撃が発生して柱状スペーサが移動しても、ブリッジ電極 1 1 0 と画素電極 1 0 0 間にフリンジフィールドが形成されて異常テクスチャが発生することを防止し、これにより液晶表示装置の表示品質が向上する。特に、青色画素と隣接して柱状スペーサが配置され、柱状スペーサの移動によるイエローウィッシュの発生を防止することができる。

【 0 0 5 6 】

図 6 A ~ 図 6 E は本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を順に示す断面図である。

【 0 0 5 7 】

図 6 A ~ 図 6 E は図 3 A ~ 図 3 E と比べて、ストレージ突出部 2 3 の端部を画素電極 1 0 0 の角部と並んで形成するのではなく、ブリッジ電極 1 1 0 の一端を画素電極 1 0 0 の角部と並んで形成することを除いては同じ方法で製造されるので、重複した説明は省略する。

【 0 0 5 8 】

図 6 A に示すように、第 1 マスク工程により基板 1 0 上に、ゲートライン 2 1 と、ゲート電極 2 0 と、ストレージライン 2 2 と、ストレージ突出部 2 3 とを含む第 1 導電パターン群が形成される。

【 0 0 5 9 】

具体的には、基板 1 0 上に第 1 導電層をスパッタリングなどの成膜方法により形成する。

第 1 導電層は、アルミニウム、クロム、銅、及びモリブデンなどの金属又はそれらの合金が単一層に形成されるか、それらの組み合わせからなる多層構造に形成される。次に、第 1 マスクを用いたフォトリソグラフィ工程とエッチング工程で第 1 導電層をパターンニングすることにより、ゲートライン 2 1、ゲート電極 2 0、ストレージライン 2 2、及びストレージ突出部 2 3 を含む第 1 導電パターン群が形成される。

【 0 0 6 0 】

図 6 B ~ 図 6 D は前述した工程と同一なので、その詳細な説明は省略する。

【 0 0 6 1 】

図 6 E に示すように、第 5 マスク工程により保護膜 9 0 上に画素電極 1 0 0 及びブリッジ電極 1 1 0 が形成される。

10

【 0 0 6 2 】

具体的には、画素電極 1 0 0 及びブリッジ電極 1 1 0 は、保護膜 9 0 上にスパッタリングなどの方法により透明導電層が形成された後、第 5 マスクを利用したフォトリソグラフィ及びエッチング工程で透明導電層をパターンニングして形成される。ここで、画素電極 1 0 0 には第 1 スリット 1 0 1 及び第 2 スリット 1 0 2 がパターンニングされる。ここで、画素電極 1 0 0 の角部は、ブリッジ電極 1 1 0 との重複を回避するために、斜線に切断した形状に形成される。また、ストレージ突出部 2 3 の端部と次段のストレージライン 2 2 を接続するブリッジ電極 1 1 0 とがパターンニングされる。特に、ブリッジ電極 1 1 0 の側辺 1 1 0 a、1 1 0 b は、画素電極 1 0 0 の角部と平行にパターンニングされて形成される。これにより、ブリッジ電極 1 1 0 と画素電極 1 0 0 間にフリンジフィールドが形成される。ここで、透明導電層としては、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、及び TO (Tin Oxide) などの透明導電物質が用いられる。画素電極 1 0 0 は画素コンタクトホール 7 0 を介してドレイン電極 4 0 に接続され、ブリッジ電極 1 1 0 は第 1 コンタクトホール 8 0 及び第 2 コンタクトホール 8 1 を介してストレージ突出部 2 3 及び次段のストレージライン 2 2 にそれぞれ接続される。

20

【 0 0 6 3 】

以上詳述した本発明において、本発明が属する技術分野における通常の知識を有する者であれば、様々な置換、変形、及び変更が可能であろう。よって、本発明は上述した実施形態及び添付図面に限定されるものではなく、請求範囲によりその権利が決定されるべきである。

30

【図面の簡単な説明】

【 0 0 6 4 】

【図 1】本発明の実施形態による薄膜トランジスタ基板を示す平面図である。

【図 2】図 1 に示す薄膜トランジスタ基板の I - I' 線断面図である。

【図 3 A】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法を順次説明するために示す断面図である。

【図 3 B】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法を順次説明するために示す断面図である。

【図 3 C】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法を順次説明するために示す断面図である。

40

【図 3 D】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法を順次説明するために示す断面図である。

【図 3 E】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法を順次説明するために示す断面図である。

【図 4】本発明の第 2 実施形態による薄膜トランジスタ基板を示す平面拡大図である。

【図 5】図 4 に示す薄膜トランジスタ基板の II - II' 線断面図である。

【図 6 A】本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を説明するために示す断面図である。

【図 6 B】本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を説明するために示す断面図である。

50

【図 6 C】本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を説明するために示す断面図である。

【図 6 D】本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を説明するために示す断面図である。

【図 6 E】本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を説明するために示す断面図である。

【符号の説明】

【 0 0 6 5 】

1 0 : 基板

2 0 : ゲート電極

2 1 : ゲートライン

2 2 : ストレージライン

2 3 : ストレージ突出部

3 0 : ゲート絶縁膜

3 1 : 半導体層

3 2 : オーミックコンタクト層

4 0 : ドレイン電極

5 0 : ソース電極

6 0 : データライン

7 0 : 画素コンタクトホール

8 0 : 第 1 コンタクトホール

8 1 : 第 2 コンタクトホール

9 0 : 保護膜

1 0 0 : 画素電極

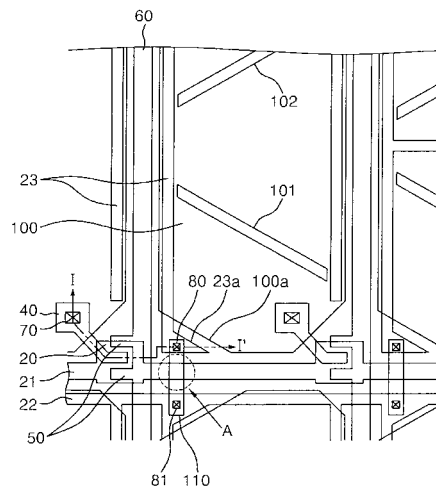
1 0 1 , 1 0 2 : スリット

1 1 0 : ブリッジ電極

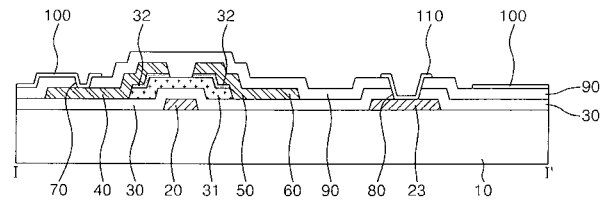
10

20

【図 1】



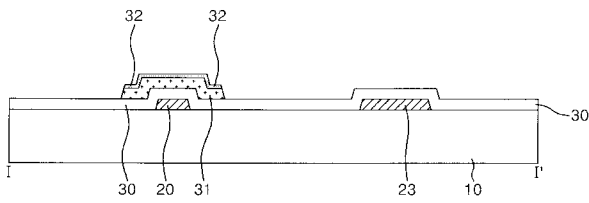
【図 2】



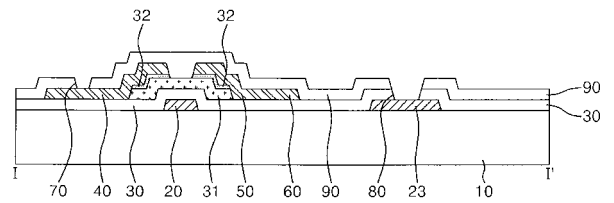
【図 3 A】



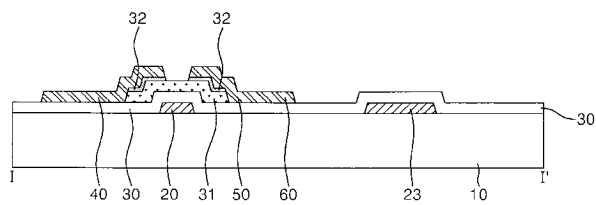
【図 3 B】



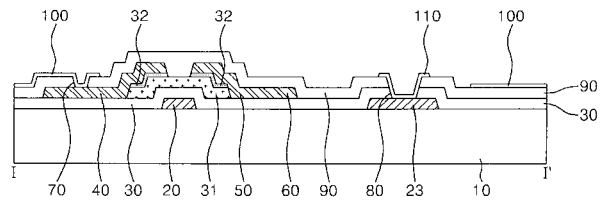
【図 3 D】



【図 3 C】



【図 3 E】



フロントページの続き

(72)発明者 郭 相 基

大韓民国忠南天安市佛堂洞同一 2次アパートメント208棟1701号

(72)発明者 尹 汝 建

大韓民国忠南牙山市湯井面明暗理 三星クリスタルタウン▼青▲玉棟906号

Fターム(参考) 2H091 FA34Y FB08 FC10 GA02 HA06 LA08 LA16

2H092 GA13 GA24 HA06 JA26 JB05 JB54 JB69 PA09 QA06

5F110 AA30 CC07 EE02 EE03 EE04 EE14 FF02 FF03 FF30 GG02

GG15 GG45 HK02 HK03 HK04 HK09 HK16 HK35 NN02 NN35

NN36 NN72

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007213070A5	公开(公告)日	2010-02-25
申请号	JP2007026847	申请日	2007-02-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金嚇珍 金景旭 郭相基 尹汝建		
发明人	金 ▼嚇▲ 珍 金 景 旭 郭 相 基 尹 汝 建		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368 H01L29/786		
CPC分类号	G02F1/133512 G02F1/136209 G02F1/136213 G02F1/1393 G02F2201/123 B65G53/04 B65G2207/10 B65G2207/22 B65G2207/40 B65G2812/1641		
FI分类号	G02F1/1343 G02F1/1335.500 G02F1/1368 H01L29/78.619.B		
F-TERM分类号	2H091/FA34Y 2H091/FB08 2H091/FC10 2H091/GA02 2H091/HA06 2H091/LA08 2H091/LA16 2H092/GA13 2H092/GA24 2H092/HA06 2H092/JA26 2H092/JB05 2H092/JB54 2H092/JB69 2H092/PA09 2H092/QA06 5F110/AA30 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE14 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK35 5F110/NN02 5F110/NN35 5F110/NN36 5F110/NN72 2H191/FA13Y 2H191/FB14 2H191/FC10 2H191/GA04 2H191/HA05 2H191/LA08 2H191/LA21 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA24 2H192/EA04 2H192/EA43 2H192/GD23 2H291/FA13Y 2H291/FB14 2H291/FC10 2H291/GA04 2H291/HA05 2H291/LA08 2H291/LA21		
优先权	1020060011111 2006-02-06 KR		
其他公开文献	JP2007213070A		

摘要(译)

解决的问题：提供一种能够防止由于像素电极的拐角部分周围的纹理缺陷引起的显示缺陷的液晶显示装置及其制造方法。栅极线和数据线，其限定具有交叉结构的像素区域，并且像素形成在像素区域中并且具有与栅极线和数据线的交叉点相邻的一侧。一种液晶显示装置及其制造方法，该液晶显示装置包括电极（100）和与像素电极的倾斜侧并排形成并遮蔽光的遮光图案（23）。[选型图]图1