

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-183629
(P2007-183629A)

(43) 公開日 平成19年7月19日(2007.7.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C094
G02F 1/1343 (2006.01)	G02F 1/1343	

審査請求 未請求 請求項の数 37 O L (全 51 頁)

(21) 出願番号 特願2006-347060 (P2006-347060)	(71) 出願人 390019839
(22) 出願日 平成18年12月25日 (2006.12.25)	三星電子株式会社
(31) 優先権主張番号 10-2005-0133513	S a m s u n g E l e c t r o n i c s
(32) 優先日 平成17年12月29日 (2005.12.29)	C o . , L t d .
(33) 優先権主張国 韓国 (KR)	大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号 10-2006-0100745	(74) 代理人 100094145
(32) 優先日 平成18年10月17日 (2006.10.17)	弁理士 小野 由己男
(33) 優先権主張国 韓国 (KR)	(74) 代理人 100106367
	弁理士 稲積 朋子
	(72) 発明者 梁 英 ▲チョル▼
	大韓民国京畿道城南市盆唐区亭子洞ハンソ
	ルマウル住公6団地アパート610棟11
	04号
	最終頁に続く

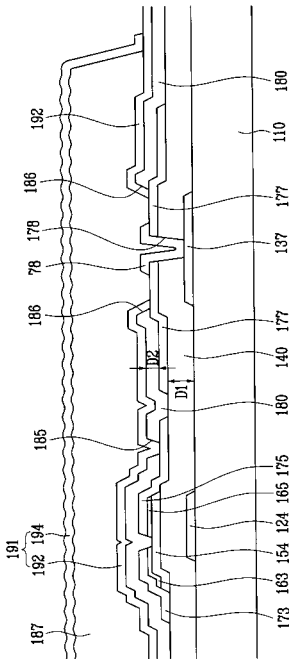
(54) 【発明の名称】 薄膜トランジスタ表示基板及びその製造方法

(57) 【要約】

【課題】 大きなストレージキャパシタの保持容量を有する薄膜トランジスタ表示基板を提供し、ストレージキャパシタの保持容量を大きくすることができる薄膜トランジスタ表示基板の製造方法を提供する。

【解決手段】 本発明の実施例による薄膜トランジスタ表示基板は、液晶キャパシタを構成する重畳する導電体の面積を大きくしないで、2つの導電体を相対的に厚さの薄い保護膜を介在して重畳するようにしたり、あるいは維持電極を不透明な反射電極下に維持電極を配置することで、表示装置の開口率を減少することなく、より大きな保持容量を有するストレージキャパシタを有することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に形成され、ゲート電極を有するゲート線及び維持電極を有する維持電極線と、

前記基板上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成される半導体層と、

前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線及びドレイン電極と、

前記ゲート絶縁膜上に配置され、前記データ線と共に形成され、前記データ線とは分離されており、接続部材を利用して前記維持電極と電気的に接続される維持導電体と、 10

前記データ線、ドレイン電極及び維持導電体上に形成される保護膜と、

前記保護膜上に形成され、前記ドレイン電極と接続されている透明電極とを有することを特徴とする薄膜トランジスタ表示基板。

【請求項 2】

前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚く、

前記透明電極と前記維持導電体は、前記保護膜を介在して重畳してストレージキャパシタを構成することを特徴とする請求項 1 に記載の薄膜トランジスタ表示基板。

【請求項 3】

前記維持導電体には、前記維持電極を介して維持電圧が印加されることを特徴とする請求項 2 に記載の薄膜トランジスタ表示基板。 20

【請求項 4】

前記保護膜には、前記維持導電体の一部を露出させる開口部が形成されることを特徴とする請求項 1 に記載の薄膜トランジスタ表示基板。

【請求項 5】

前記保護膜上に部分的に形成される有機絶縁膜と、

前記有機絶縁膜上に形成される反射電極とをさらに有することを特徴とする請求項 1 に記載の薄膜トランジスタ表示基板。

【請求項 6】

前記反射電極は、前記有機絶縁膜境界で前記透明電極と物理的、電気的に接続されることを特徴とする請求項 5 に記載の薄膜トランジスタ表示基板。 30

【請求項 7】

前記維持導電体は、前記反射電極が形成される領域内に設けられることを特徴とする請求項 6 に記載の薄膜トランジスタ表示基板。

【請求項 8】

基板と、

前記基板上に形成され、ゲート電極を有するゲート線と、

前記ゲート線上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成される半導体層と、

前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線、ドレイン電極、及び維持電極を有する維持電極線と、 40

前記データ線、ドレイン電極及び維持電極線上に形成される保護膜と、

前記保護膜上に形成され、前記ドレイン電極と接続される透明電極とを有することを特徴とする薄膜トランジスタ表示基板。

【請求項 9】

前記維持電極線は、前記データ線と実質的に平行であることを特徴とする請求項 8 に記載の薄膜トランジスタ表示基板。

【請求項 10】

前記前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚く、

前記透明電極と、前記維持電極を有する維持電極線とは、前記保護膜を介在して重畳してストレージキャパシタを構成することを特徴とする請求項 8 に記載の薄膜トランジスタ 50

表示基板。

【請求項 1 1】

前記維持電極線には、維持電極が印加されることを特徴とする請求項 1 0 に記載の薄膜トランジスタ表示基板。

【請求項 1 2】

前記保護膜の一部の上に形成される有機絶縁膜と、

前記有機絶縁膜上に形成される反射電極とをさらに有することを特徴とする請求項 8 に記載の薄膜トランジスタ表示基板。

【請求項 1 3】

前記反射電極は、前記有機絶縁膜境界で前記透明電極と物理的、電氣的に接続されることを特徴とする請求項 1 2 に記載の薄膜トランジスタ表示基板。 10

【請求項 1 4】

前記維持導電体は、前記反射電極が形成される領域内に設けられることを特徴とする請求項 1 2 に記載の薄膜トランジスタ表示基板。

【請求項 1 5】

基板上にゲート電極を有するゲート線及び維持電極を有する維持電極線を形成し、

前記基板、前記ゲート線及び前記維持電極線の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体層を形成し、

前記ゲート絶縁膜及び前記半導体層上にデータ線、ドレイン電極及び維持導電体を形成し、 20

前記データ線、ドレイン電極及び維持導電体上に保護膜を形成し、

前記保護膜上に前記ドレイン電極と接続される画素電極を形成することを含むことを特徴とする薄膜トランジスタ表示基板の製造方法。

【請求項 1 6】

前記保護膜に前記維持導電体を露出させる開口部を形成し、

前記ゲート絶縁膜に前記維持電極を露出させるコンタクトホールを形成し、

前記コンタクトホールを介して前記維持電極と前記維持導電体を電氣的に接続する接続部材を形成することを特徴とする請求項 1 5 に記載の薄膜トランジスタ表示基板の製造方法。

【請求項 1 7】

前記画素電極を形成する工程と、前記接続部材を形成する工程は、同時に行われることを特徴とする請求項 1 6 に記載の薄膜トランジスタ表示基板の製造方法。 30

【請求項 1 8】

基板上にゲート電極を有するゲート線を形成し、

前記ゲート線の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体層を形成し、

前記ゲート絶縁膜及び前記半導体層上にデータ線、ドレイン電極及び維持電極線を形成し、

前記データ線、ドレイン電極及び維持電極線の上に保護膜を形成し、

前記保護膜上に前記ドレイン電極と接続される画素電極を形成することを含むことを特徴とする薄膜トランジスタ表示基板の製造方法。 40

【請求項 1 9】

前記画素電極と前記維持導電体は、前記保護膜を介在して重畳してストレージキャパシタを構成することを特徴とする請求項 1 5 または請求項 1 8 に記載の薄膜トランジスタ表示基板製造方法。

【請求項 2 0】

前記画素電極の一部の上に有機絶縁膜を形成し、

前記有機絶縁膜上に反射電極を形成することを含むことを特徴とする請求項 1 5 または請求項 1 8 に記載の薄膜トランジスタ表示基板製造方法。

【請求項 2 1】

基板と、

前記基板上に形成され、ゲート電極を有するゲート線及び維持電極を有する維持電極線と、

前記基板上に形成され、前記維持電極の一部を露出させるコンタクトホールを有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成される半導体層と、

前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線及びドレイン電極と、

前記ゲート絶縁膜上に前記データ線と共に形成され、前記ゲート絶縁膜のコンタクトホールを介して前記維持電極と電氣的に接続される維持導電体と、

前記データ線、ドレイン電極及び維持導電体上に形成される保護膜と、

前記保護膜上に形成され、前記ドレイン電極と接続される画素電極とを有することを特徴とする薄膜トランジスタ表示基板。

【請求項 2 2】

前記維持電極線には、維持電圧が印加されることを特徴とする請求項 2 1 に記載の薄膜トランジスタ表示基板。

【請求項 2 3】

前記維持導電体には、前記維持電極を介して維持電圧が印加されることを特徴とする請求項 2 2 に記載の薄膜トランジスタ表示基板。

【請求項 2 4】

前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚く、

前記画素電極と前記維持導電体は、前記保護膜を介在して重畳してストレージキャパシタを構成することを特徴とする請求項 2 3 に記載の薄膜トランジスタ表示基板。

【請求項 2 5】

前記保護膜には、前記ドレイン電極の一部を露出させるコンタクトホールが形成されており、前記画素電極を前記保護膜のコンタクトホールを介して前記ドレイン電極と電氣的に接続することを特徴とする請求項 2 1 に記載の薄膜トランジスタ表示基板。

【請求項 2 6】

基板上にゲート電極を有するゲート線及び維持電極を有する維持電極線を形成し、

前記基板、前記ゲート線及び前記維持電極線の上にゲート絶縁膜を積層し、

前記ゲート絶縁膜上に真性非晶質シリコン層を積層し、

前記非晶質シリコン層上に不純物非晶質シリコン層を積層し、

前記不純物非晶質シリコン層、前記真性非晶質シリコン層及び前記ゲート絶縁膜をパターンニングして不純物半導体及び真性半導体を形成すると同時に、前記ゲート絶縁膜に前記維持電極の一部を露出させる第 1 コンタクトホールを形成し、

前記ゲート絶縁膜及び前記不純物半導体上に、データ線及びドレイン電極を形成すると同時に、前記第 1 コンタクトホールを介して前記維持電極と接続される維持導電体を形成し、

前記データ線、ドレイン電極及び維持導電体上に、前記ドレイン電極の一部を露出させる第 2 コンタクトホールを有する保護膜を形成し、

前記保護膜上に前記第 2 コンタクトホールを介して前記ドレイン電極と接続される画素電極を形成することを含むことを特徴とする薄膜トランジスタ表示基板の製造方法。

【請求項 2 7】

前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚く、前記画素電極と前記維持導電体は、前記保護膜を介在して重畳してストレージキャパシタを構成することを特徴とする請求項 2 6 に記載の薄膜トランジスタ表示基板の製造方法。

【請求項 2 8】

基板と、

前記基板上に形成され、ゲート電極を有するゲート線及び維持電極を有する維持電極線と、

前記基板上に形成され、前記維持電極を露出させるコンタクトホールを有するゲート絶

10

20

30

40

50

縁膜と、

前記ゲート絶縁膜上に形成される半導体層と、

前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線及びドレイン電極と、

前記データ線、ドレイン電極上に形成される保護膜と、

前記保護膜上に形成され、前記ドレイン電極と接続される画素電極とを有し、

前記維持電極は、前記保護膜を介在して前記画素電極と重畳してストレージキャパシタを構成することを特徴とする薄膜トランジスタ表示基板。

【請求項 29】

前記維持電極線には、維持電圧が印加されることを特徴とする請求項 28 に記載の薄膜トランジスタ表示基板。

【請求項 30】

前記ゲート絶縁膜の厚さは、前記保護膜の厚さより厚いことを特徴とする請求項 29 に記載の薄膜トランジスタ表示基板。

【請求項 31】

前記保護膜は下部膜及び上部膜を有する二重膜構造であり、前記下部膜の厚さは、前記ゲート絶縁膜の厚さより薄いことを特徴とする請求項 28 に記載の薄膜トランジスタ表示基板。

【請求項 32】

前記保護膜の上部膜は、前記維持電極上から除去されることを特徴とする請求項 31 に記載の薄膜トランジスタ表示基板。

【請求項 33】

前記保護膜の下部膜は無機絶縁物を含み、前記保護膜の上部膜は有機絶縁物を含むことを特徴とする請求項 31 に記載の薄膜トランジスタ表示基板。

【請求項 34】

基板上にゲート電極を有するゲート線及び維持電極を有する維持電極線を形成し、

前記基板、前記ゲート線及び前記維持電極線上にゲート絶縁膜を積層し、

前記ゲート絶縁膜上に真性非晶質シリコン層を積層し、

前記非晶質シリコン層上に不純物非晶質シリコン層を積層し、

前記不純物非晶質シリコン層、前記真性非晶質シリコン層及び前記ゲート絶縁膜をパターンニングして不純物半導体及び真性半導体を形成すると同時に、前記ゲート絶縁膜に前記維持電極を露出させる第 1 コンタクトホールを形成し、

前記ゲート絶縁膜及び前記不純物半導体上にデータ線及びドレイン電極を形成し、

前記データ線及び前記ドレイン電極上に前記ドレイン電極の一部を露出させる第 2 コンタクトホールを有する保護膜を形成し、

前記保護膜上に前記第 2 コンタクトホールを介して前記ドレイン電極と接続される画素電極を形成することを含むことを特徴とする薄膜トランジスタ表示基板の製造方法。

【請求項 35】

前記ゲート絶縁膜の厚さは、前記保護膜の厚さより厚いことを特徴とする請求項 34 に記載の薄膜トランジスタ表示基板。

【請求項 36】

前記保護膜は下部膜及び上部膜を有する二重膜構造であり、前記保護膜の上部膜は前記維持電極上から除去されており、前記保護膜の下部膜の厚さは前記ゲート絶縁膜の厚さより薄いことを特徴とする請求項 34 に記載の薄膜トランジスタ表示基板。

【請求項 37】

前記保護膜を形成する方法においては、

前記基板上に下部保護膜を積層し、

前記下部保護膜上に上部保護膜を積層し、

前記上部保護膜上に位置によって厚さが異なり、前記上部保護膜の一部を露出させる感光膜を形成し、

前記感光膜をマスクとして前記上部保護膜、前記下部保護膜及び前記ゲート絶縁膜をパ

10

20

30

40

50

ターニングし、前記ゲート線の端部、前記データ線の端部及び前記ドレイン電極の一部を各々露出させる第2、第3及び第4コンタクトホールを形成し、

前記感光膜を厚さを減らして前記維持電極上の上部保護膜を露出させ、

前記感光膜をエッチングマスクとして、上部保護膜をエッチングして除去し、

前記感光膜を除去することを含み、

前記ゲート絶縁膜の厚さは、前記下部保護膜の厚さより厚いことを特徴とする、請求項34に記載の薄膜トランジスタ表示基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ表示基板の製造方法に関する。

【背景技術】

【0002】

一般に液晶表示装置や有機発光表示装置等の平板表示装置は、複数対の電場生成電極と、その間に挟持された電気光学(electro-optical)活性層とを有する。液晶表示装置の場合は、電気光学活性層として液晶層を有し、有機発光表示装置の場合は、電気光学活性層として有機発光層を有している。1対をなす電場生成電極のうちの1つは、通常スイッチング素子に接続されて電気信号の印加を受け、電気光学活性層は、この電気信号を光学信号に変換することによって画像を表示する。

【0003】

平板表示装置では、スイッチング素子として三端子素子の薄膜トランジスタ(TFT)を使用しており、この薄膜トランジスタを制御するための走査信号を伝達するゲート線と、画素電極に印加される信号を伝達するデータ線等の信号線とが平板表示装置に具備されている。

一方、一般に液晶表示装置には、液晶画素電極の電圧を維持するためにストレージキャパシタがさらに必要である。液晶表示装置の薄膜トランジスタにゲートオン電圧が印加されると、電気光学活性層である液晶層に電荷が充電され、この充電された電荷は薄膜トランジスタに再びゲートオン電圧が印加されるまで維持される。一般に、ゲートオン電圧からゲートオフ電圧に変換される際に、画素電圧が少し下降するようになるが、ストレージキャパシタは、このような変動程度を縮小し、画素電圧を一定に維持する。このため、液晶表示装置のストレージキャパシタの保持容量は、できるだけ大きいことが望ましい。

【特許文献1】特開平11-064884号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

そこで、本発明の目的は、大きなストレージキャパシタの保持容量を有する薄膜トランジスタ表示基板を提供し、ストレージキャパシタの保持容量を大きくすることができる薄膜トランジスタ表示基板の製造方法を提供することにある。

【課題を解決するための手段】

【0005】

本発明1の薄膜トランジスタ表示基板は、基板と、前記基板上に形成され、ゲート電極を有するゲート線及び維持電極を有する維持電極線と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成される半導体層と、前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線及びドレイン電極と、前記ゲート絶縁膜上に前記データ線と共に形成され、前記維持電極と電気的に接続される維持導電体と、前記データ線、ドレイン電極及び維持導電体上に形成される保護膜と、さらに前記保護膜上に形成され、前記ドレイン電極と接続される透明電極とを有することを特徴とする。

【0006】

透明電極と維持導電体とが保護膜のみを介して重畳しており、ストレージキャパシタを構成している。このストレージキャパシタは、誘電層が保護膜のみにより形成され薄いた

10

20

30

40

50

め、液晶キャパシタの電圧維持能力が高い。また、保護膜の厚みを薄くすることにより液晶キャパシタの電圧維持能力を高めているため、透明電極及び維持導電体の重畳面積を大きくする必要がない。よって、画素の開口率の低下を抑制することができる。

【0007】

発明2は、発明1において、前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚く、前記透明電極と前記維持導電体は、前記保護膜を介在して重畳してストレージキャパシタを構成する。

本発明のストレージキャパシタは、透明電極と維持導電体とが保護膜のみを介して重畳することにより形成されているため、ゲート絶縁膜の厚さが保護膜よりも大きくても、ストレージキャパシタの電圧維持能力には影響を与えない。

10

【0008】

発明3は、発明2において、前記維持導電体には、前記維持電極を介して維持電圧が印加される。

発明4は、発明1において、前記保護膜には前記維持導電体の一部を露出させる開口部が形成される。

発明5は、発明1において、前記保護膜上に部分的に形成される有機絶縁膜と、前記有機絶縁膜上に形成される反射電極とをさらに有することを特徴とする。

【0009】

発明6は、発明5において、前記反射電極は、前記有機絶縁膜境界で前記透明電極と物理的、電氣的に接続される。

20

発明7は、発明6において、前記維持導電体は、前記反射電極が形成される領域内に設けられる。

反射電極は保護膜の直上に形成されており、維持導電体は主に反射電極上に形成されている。よって、ストレージキャパシタは、維持導電体と反射電極との間に保護膜のみを介在して形成されている。よって、誘電層の厚みを薄くして電圧維持能力を高めることができる。

【0010】

本発明8の薄膜トランジスタ表示基板は、基板と、前記基板上に形成され、ゲート電極を有するゲート線と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成される半導体層と、前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線と、ドレイン電極及び維持電極を有する維持電極線と、前記データ線、ドレイン電極及び維持電極線上に形成される保護膜と、さらに前記保護膜上に形成され、前記ドレイン電極と接続される透明電極とを有することを特徴とする。

30

【0011】

本発明は、発明1と同様の作用効果を奏するとともに、さらに以下の作用効果を奏する。維持電極線がゲート絶縁膜及び半導体層上に形成されるため、維持電極線をゲート線上を介して画素領域外部に引き出すことができる。よって、例えば、表示領域の外部に配置されている維持電圧駆動部と維持電極線の端部を電氣的に直接接続する。これにより、画素領域内にコンタクトホールを設けて維持電圧を印加する構成よりも維持電極の面積の減少を抑え、開口率の低下を抑えることができる。

40

【0012】

発明9は、発明8において、前記維持電極線は、前記データ線と実質的に平行である。

発明10は、発明8において、前記ゲート絶縁膜の厚さは、前記保護膜の厚さより厚く、前記透明電極と前記維持導電体は、前記保護膜を介在して重畳してストレージキャパシタを構成する。発明2と同様の作用効果を奏する。

発明11は、発明10において、前記維持電極線には、維持電極が印加される。

【0013】

発明12は、発明8において、前記薄膜トランジスタ表示基板は、前記保護膜の一部上に形成される有機絶縁膜と、前記有機絶縁膜上に形成される反射電極とをさらに有する。

発明13は、発明12において、前記反射電極は、前記有機絶縁膜境界で前記透明電極

50

と物理的、電氣的に接続される。

発明 14 は、発明 12 において、前記維持導電体は、前記反射電極が形成される領域内に設けられる。発明 7 と同様の作用効果を奏する。

【0014】

本発明 15 の薄膜トランジスタ表示基板の製造方法においては、基板上にゲート電極を有するゲート線及び維持電極を有する維持電極線を形成し、前記ゲート線及び前記維持電極線上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に半導体層を形成し、前記ゲート絶縁膜及び前記半導体層上にデータ線、ドレイン電極及び維持導電体を形成し、前記データ線、ドレイン電極及び維持導電体上に保護膜を形成し、さらに、前記保護膜上に前記ドレイン電極と接続される透明電極を形成することを特徴とする。この製造方法により形成される薄膜トランジスタ表示基板により、発明 1 と同様の作用効果を得ることができる。

10

【0015】

発明 16 は、発明 15 において、前記薄膜トランジスタ表示基板の製造方法においては、前記保護膜に前記維持導電体を露出させる開口部を形成し、前記ゲート絶縁膜に前記維持電極を露出させるコンタクトホールを形成し、さらに、前記コンタクトホールを介して前記維持電極と、前記維持導電体を電氣的に接続する接続部材とを形成することを特徴とする。接続部材により維持導電体と維持電極との接続を確実にすることができる。

【0016】

発明 17 は、発明 16 において、前記画素電極を形成する工程と、前記接続部材を形成する工程は、同時に行ってもよい。

20

本発明 18 の薄膜トランジスタ表示基板の製造方法においては、基板上にゲート電極を有するゲート線を形成し、前記ゲート線上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に半導体層を形成し、前記ゲート絶縁膜及び前記半導体層上にデータ線、ドレイン電極及び維持電極線を形成し、前記データ線、ドレイン電極及び維持電極線上に保護膜を形成し、さらに、前記保護膜上に前記ドレイン電極と接続される画素電極を形成することを特徴とする。

【0017】

発明 19 は、発明 15 又は 18 において、前記画素電極と前記維持導電体は、前記保護膜を介して重畳してストレージキャパシタを構成する。

発明 20 は、発明 15 又は 18 において、前記薄膜トランジスタ表示基板の製造方法においては、前記保護膜の一部上に有機絶縁膜を形成し、さらに、前記有機絶縁膜上に反射電極を形成することを特徴とする。

30

【0018】

本発明 21 の薄膜トランジスタ表示基板は、基板と、前記基板上に形成され、ゲート電極を有するゲート線及び維持電極を有する維持電極線と、前記基板上に形成され、前記維持電極の一部を露出させるコンタクトホールを有するゲート絶縁膜と、前記ゲート絶縁膜上に形成される半導体層と、前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線及びドレイン電極と、前記ゲート絶縁膜上に前記データ線と共に形成され、前記ゲート絶縁膜のコンタクトホールを介して前記維持電極と電氣的に接続される維持導電体と、前記データ線、ドレイン電極及び維持導電体上に形成される保護膜と、さらに、前記保護膜上に形成され、前記ドレイン電極と接続される画素電極とを有することを特徴とする。

40

【0019】

発明 22 は、発明 21 において、前記維持電極線には、維持電圧が印加される。

発明 23 は、発明 22 において、前記維持導電体には、前記維持電極を介して維持電圧が印加される。

発明 24 は、発明 23 において、前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚く、前記透明電極と前記維持導電体は、前記保護膜を介して重畳してストレージキャパシタを構成する。

【0020】

発明 25 は、発明 21 において、前記保護膜には、前記ドレイン電極の一部を露出させ

50

るコンタクトホールが形成されており、前記画素電極は前記保護膜のコンタクトホールを介して前記ドレイン電極と電氣的に接続する。

本発明 26 の薄膜トランジスタ表示基板の製造方法においては、基板上にゲート電極を有するゲート線及び維持電極を有する維持電極線を形成し、前記基板、前記ゲート線及び前記維持電極線上にゲート絶縁膜を積層し、前記ゲート絶縁膜上に真性非晶質シリコン層を積層し、前記非晶質シリコン層上に不純物非晶質シリコン層を積層し、前記不純物非晶質シリコン層、前記真性非晶質シリコン層及び前記ゲート絶縁膜をパターンニングして不純物半導体及び真性半導体を形成すると同時に、前記ゲート絶縁膜に前記維持電極の一部を露出させる第 1 コンタクトホールを形成し、前記ゲート絶縁膜及び前記不純物半導体上に、データ線及びドレイン電極を形成すると同時に、前記第 1 コンタクトホールを介して前記維持電極と接続される維持導電体を形成し、前記データ線、ドレイン電極及び維持導電体上に、前記ドレイン電極の一部を露出させる第 2 コンタクトホールを有する保護膜を形成し、さらに、前記保護膜上に、前記第 2 コンタクトホールを介して前記ドレイン電極と接続する画素電極を形成することを特徴とする。

10

【0021】

発明 27 は、発明 26 において、前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚く、前記画素電極と前記維持導電体は、前記保護膜を介在して重畳してストレージキャパシタを構成する。

本発明 28 の薄膜トランジスタ表示基板は、基板と、前記基板上に形成され、ゲート電極を有するゲート線及び維持電極を有する維持電極線と、前記基板上に形成され、前記維持電極を露出させるコンタクトホールを有するゲート絶縁膜と、前記ゲート絶縁膜上に形成される半導体層と、前記ゲート絶縁膜及び前記半導体層上に形成されるデータ線及びドレイン電極と、前記データ線、ドレイン電極及び維持導電体の上に形成される保護膜と、さらに、前記保護膜上に形成され、前記ドレイン電極と接続する画素電極とを有し、前記維持電極は、前記保護膜を介在して前記画素電極と重畳してストレージキャパシタを構成することを特徴とする。

20

【0022】

発明 29 は、発明 28 において、前記維持電極線には、維持電圧が印加される。

発明 30 は、発明 29 において、前記ゲート絶縁膜の厚さは前記保護膜の厚さより厚い。

30

発明 31 は、発明 28 において、前記保護膜は、下部膜及び上部膜を有する二重膜構造であり、前記下部膜の厚さは、前記ゲート絶縁膜の厚さより薄い。

【0023】

発明 32 は、発明 31 において、前記保護膜の上部膜は、前記維持電極の上から除去してもよい。

発明 33 は、発明 31 において、前記保護膜の下部膜は無機絶縁物を含み、前記保護膜の上部膜は有機絶縁物を含む。

発明 34 は、基板上にゲート電極を有するゲート線及び維持電極を有する維持電極線を形成し、前記基板、前記ゲート線及び前記維持電極線上にゲート絶縁膜を積層し、前記ゲート絶縁膜上に真性非晶質シリコン層を積層し、前記非晶質シリコン層上に不純物非晶質シリコン層を積層し、前記不純物非晶質シリコン層、前記真性非晶質シリコン層及び前記ゲート絶縁膜をパターンニングして不純物半導体及び真性半導体を形成すると同時に、前記ゲート絶縁膜に前記維持電極を露出させる第 1 コンタクトホールを形成し、前記ゲート絶縁膜及び前記不純物半導体上にデータ線及びドレイン電極を形成し、前記データ線及び前記ドレイン電極上に前記ドレイン電極の一部を露出させる第 2 コンタクトホールを有する保護膜を形成し、前記保護膜上に前記第 2 コンタクトホールを介して前記ドレイン電極と接続される画素電極を形成することを含むことを特徴とする薄膜トランジスタ表示基板の製造方法を提供する。

40

【0024】

発明 35 は、発明 34 において、前記ゲート絶縁膜の厚さは、前記保護膜の厚さより厚

50

いことを特徴とする。

発明 36 は、発明 34 において、前記保護膜は下部膜及び上部膜を有する二重膜構造であり、前記保護膜の上部膜は前記維持電極上から除去されており、前記保護膜の下部膜の厚さは前記ゲート絶縁膜の厚さより薄いことを特徴とする。

【0025】

発明 37 は、発明 34 において、前記保護膜を形成する方法においては、前記基板上に下部保護膜を積層し、前記下部保護膜上に上部保護膜を積層し、前記上部保護膜上に位置によって厚さが異なり、前記上部保護膜の一部を露出させる感光膜を形成し、前記感光膜をマスクとして前記上部保護膜、前記下部保護膜及び前記ゲート絶縁膜をパターンニングし、前記ゲート線の端部、前記データ線の端部及び前記ドレイン電極の一部を各々露出させる第 2、第 3 及び第 4 コンタクトホールを形成し、前記感光膜を厚さを減らして前記維持電極上の上部保護膜を露出させ、前記感光膜をエッチングマスクとして、上部保護膜をエッチングして除去し、前記感光膜を除去することを含み、前記ゲート絶縁膜の厚さは、前記下部保護膜の厚さより厚いことを特徴とする。

10

【発明の効果】

【0026】

本発明によれば、大きなストレージキャパシタの保持容量を有する薄膜トランジスタ表示基板を提供し、ストレージキャパシタの保持容量を大きくすることができる薄膜トランジスタ表示基板の製造方法を提供することができる。

【発明を実施するための最良の形態】

20

【0027】

添付した図面を用いながら、本発明の実施形態を、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかしながら、本発明は、多様な形態で実現することができ、ここで説明する実施形態に限定されない。

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一な参照符号を付けている。層、膜、領域、板等の部分が、他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時、これは中間に他の部分がない場合を意味する。

30

【0028】

< 第 1 実施例 >

まず、図 1 ~ 図 3 を参照して本発明の一実施例による薄膜トランジスタ表示基板について詳細に説明する。図 1 は本発明の一実施例による薄膜トランジスタ表示基板の配置図であり、図 2 及び図 3 は各々図 1 に示す薄膜トランジスタ表示基板の I I - I I 線及び I I I - I I I 線に沿った断面図である。

【0029】

透明なガラスまたはプラスチック等からなる絶縁基板 110 上に、複数のゲート線 121 及び複数の維持電極線 131 が形成されている。

各ゲート線 121 は、上方に突出した複数のゲート電極 124 と、他の層または外部駆動回路との接続のために面積が広い端部 129 とを有している。ゲート信号を生成するゲート駆動回路（図示せず）は、基板 110 上に付着されるフレキシブル印刷回路膜（図示せず）上に装着されたり、基板 110 上に直接装着されたり、基板 110 に集積される。ゲート駆動回路が基板 110 上に集積されている場合は、ゲート線 121 が延在してこれと直接接続される。

40

【0030】

維持電極線 131 は、所定電圧が印加され、ゲート線 121 とほぼ平行に延在している。各維持電極線 131 は、隣接した 2 つのゲート線 121 間に位置しており、2 つのゲート線 121 のうちの下側に近くなるように配置されている。維持電極線 131 は、下上に拡張された維持電極 137 を有する。さらに、維持電極線 131 の形状及び配置は、様々

50

に変形することができる。

【0031】

ゲート線121及び維持電極線131は、アルミニウム(Al)やアルミニウム合金等アルミニウム系金属、銀(Ag)や銀合金等銀系金属、銅(Cu)や銅合金等銅系金属、モリブデン(Mo)やモリブデン合金等モリブデン系金属、クロム(Cr)、タンタル(Ta)及びチタニウム(Ti)等からなることができる。さらに、これらは物理的性質が異なる2つの導電膜(図示せず)を有する多重膜構造を有することにもできる。このうちの1つの導電膜は、信号遅延や電圧降下を減らすことができるように比抵抗が低い金属、例えばアルミニウム系金属、銀系金属、銅系金属等からなる。これとは異なり、もう1つの導電膜は、他の物質、特にITO及びIZOとの物理的、化学的、電気的接触特性に優れた物質、例えばモリブデン系金属、クロム、タンタル、チタニウム等からなる。このような組み合わせの好適な例としては、クロム下部膜とアルミニウム(合金)上部膜、及びアルミニウム(合金)下部膜とモリブデン(合金)上部膜がある。さらに、ゲート線121及び維持電極線131は、この他にも様々な金属または導電体からなることができる。

10

【0032】

ゲート線121及び維持電極線131の側面は、基板110面に対して傾斜しており、その傾斜角は約30°~約80°であることが好ましい。ゲート線121及び維持電極線131上には、窒化ケイ素(SiNx)または酸化ケイ素(SiOx)等からなるゲート絶縁膜140が形成されている。ゲート絶縁膜140は維持電極137の一部を露出させるコンタクトホール178を有する。

20

【0033】

ゲート絶縁膜140上には、水素化非晶質シリコン(非晶質シリコンはa-Siと略称する)または多結晶シリコン等からなる複数の線状半導体151が形成されている。線状半導体151は、図1中において主に縦方向に延在しており、ゲート電極124に向かって延在している複数の突出部154を有する。線状半導体151は、ゲート線121及び維持電極線131近傍で幅が広くなり、これらを幅広く覆っている。

【0034】

半導体151上には、複数の線状及び島状オーミック接触部材161、163、165が形成されている。オーミック接触部材161、163、165は、リン等のn型不純物が高濃度にドーピングされているn+水素化非晶質シリコン等の物質からなるか、またはシリサイドからなることができる。線状オーミック接触部材161は、複数の突出部163を有しており、この突出部163と島状オーミック接触部材165とが対をなして半導体151の突出部154上に配置されている。

30

【0035】

半導体151、154とオーミック接触部材161、163、165の側面においても、基板110面に対して傾斜しており、その傾斜角は30°~80°程度である。

オーミック接触部材161、163、165及びゲート絶縁膜140上には、複数のデータ線171と複数のドレイン電極175、複数の維持導電体177が形成されている。

データ線171は、データ信号を伝達し、図1中において主に縦方向に延在してゲート線121及び維持電極線131と交差している。各データ線171は、ゲート電極124に向かって延在し、凹部を有するようにJ字状に曲がった複数のソース電極173と、他の層または外部駆動回路との接続のために面積の広い端部179を有している。データ信号を生成するデータ駆動回路(図示せず)は、基板110上に付着されるフレキシブル印刷回路膜(図示せず)上に装着されたり、基板110上に直接装着されたり、基板110に集積される。データ駆動回路が基板110上に集積されている場合は、データ線171が延在してこれと直接接続される。

40

【0036】

ドレイン電極175は、データ線171と分離されており、ゲート電極124を中心としてソース電極173と対向している。各ドレイン電極175は、やや広い一端部と、棒状の他端部とを有している。広い端部は、コンタクトホール185を介して透明電極19

50

2と接続されており、棒状端部は、ソース電極173に取り囲まれるように配置されている。

【0037】

1つのゲート電極124、1つのソース電極173及び1つのドレイン電極175は、半導体151の突出部154と共に1つの薄膜トランジスタ(TFT)をなし、薄膜トランジスタのチャンネルは、ソース電極173とドレイン電極175との間の突出部154に形成されている。

維持導電体177は、データ線171と同一物質で共に形成されるが、データ線171及びドレイン電極175と分離されている。維持導電体177は、中央部に孔を有した環状であってもよいが、該孔は維持電極137の一部を露出させるゲート絶縁膜140のコンタクトホール178に対応する位置に形成されている。維持導電体177は、ゲート絶縁膜140に形成されるコンタクトホール178を介して維持電極137と電氣的に接続されている。

10

【0038】

データ線171、ドレイン電極175、維持導電体177は、モリブデン、クロム、タンタル及びチタニウム等の耐火性金属、またはこれらの合金からなることが好ましく、耐火性金属膜(図示せず)と低抵抗導電膜(図示せず)を有する多重膜構造を有することができる。多重膜構造の例としては、クロムまたはモリブデン(合金)下部膜とアルミニウム(合金)上部膜の二重膜、モリブデン(合金)下部膜とアルミニウム(合金)中間膜とモリブデン(合金)上部膜の三重膜がある。しかし、データ線171及びドレイン電極175は、この他にも様々な金属または導電体からなることができる。データ線171、ドレイン電極175、維持導電体177においても、その側面が基板110面に対して30°~80°程度の傾斜角で傾斜していることが好ましい。

20

【0039】

オーミック接触部材161、163、165は、その下の半導体151と、その上のデータ線171及びドレイン電極175の間にのみ存在し、これらの間の接触抵抗を低くする。ほとんどの部分で線状半導体151がデータ線171より狭いが、上述のように、ゲート線121と出会う部分で幅が広くなり、表面のプロファイルを滑らかにすることによって、データ線171が断線することを防止する。半導体151には、ソース電極173とドレイン電極175との間をはじめとして、データ線171及びドレイン電極175で覆われずに露出している部分が存在する。

30

【0040】

データ線171、ドレイン電極175及び露出している半導体154部分上には、無機物質の窒化ケイ素や酸化ケイ素等からなる保護膜180が形成されている。

保護膜180には、データ線171の端部179とドレイン電極175を各々露出させる複数のコンタクトホール182、185が形成されており、保護膜180とゲート絶縁膜140には、ゲート線121の端部129を露出させる複数のコンタクトホール181が形成されている。また、保護膜180には、維持導電体177の一部を露出させる複数の孔186が形成されている。

【0041】

40

保護膜180上には、複数の透明電極192及び複数の接触補助部材81、82が形成されている。孔186により露出されている維持導電体177と前記コンタクトホール178により露出されている維持電極137の上には複数の接続部材78が形成されている。

このように、維持導電体177は、コンタクトホール178を介して維持電極137と電氣的に接続されているが、このような電氣的接続のために、透明電極192と同一物質からなる接続部材78が形成されている。すなわち、接続部材78は、維持導電体177を維持電極137と電氣的に接続させ、維持導電体177に維持電圧が印加されるようにする。接続部材78により維持導電体177と維持電極137との接続を確実にすることができる。

50

【0042】

透明電極 192、維持導電体 177 及び接続部材 78 上には、平坦化特性に優れ、かつ感光性を有する有機物質からなる有機絶縁膜 187 が形成されている。有機絶縁膜 187 の表面は凹凸パターンを有しており、有機絶縁膜 187 上に形成される反射電極 194 に凹凸パターンを誘導し反射電極 194 の反射効率を極大化する。有機絶縁膜 187 は透明電極 192 の一部の上に形成されている。薄膜トランジスタ表示基板の透過領域とゲート線 121 及びデータ線 171 の拡張部 129、179 が形成されるパッド部からは有機絶縁膜 187 が除去されている。維持導電体 177 は、ほとんど反射領域に配置されている。なお、図 2 に示すように、反射電極 194 は、有機絶縁膜 187 の境界で透明電極 192 と物理的、電氣的に接続されている。

10

【0043】

このように、各画素電極 191 は、透明電極 192 及び有機絶縁膜 187 の凹凸に沿って不規則に曲がっている反射電極 194 を有する。このような半透過型表示装置は、透明電極 192 及び反射電極 194 によりそれぞれ画定される透過領域及び反射領域に分けられる。具体的には、透明電極 192 が形成され、有機絶縁膜 187 が除去される部分は透過領域になる。透過領域においては、液晶表示装置の後面、つまり薄膜トランジスタ表示基板側から入射した光が液晶層（図示せず）を通過し、前面、つまり共通電極表示基板（図示せず）側から出ることによって表示を行う。反射領域においては、前面から入射した光が液晶層を通過し、反射電極 194 で反射されて液晶層を再び通過して前面に出ることによって表示を行う。この際、反射電極 194 の不規則な屈曲は光の乱反射を発生させる。

20

【0044】

透明電極 192 は、ITO または IZO 等の透明な導電物質からなり、反射電極 194 は、アルミニウム、銀、クロム、またはその合金等の反射性金属からなる。しかし、反射電極 194 は、アルミニウム、銀、またはその合金等の低抵抗反射性上部膜（図示せず）とモリブデン系金属、クロム、タンタル及びチタニウム等の ITO または IZO と接触特性の良好な下部膜（図示せず）の二重膜構造を有することができる。

【0045】

透明電極 192 は、コンタクトホール 185 を介してドレイン電極 175 と物理的、電氣的に接続されており、ドレイン電極 175 からデータ電圧が印加される。反射電極 194 は、透過領域と反射領域との境界で透明電極 192 と物理的、電氣的に接続されている。データ電圧が印加された画素電極 191 は、共通電圧が印加される共通電極表示基板（図示せず）の共通電極（図示せず）と共に電場を生成することによって、2つの電極間の液晶層（図示せず）の液晶分子の方向を決定する。このように決定された液晶分子の方向によって液晶層を通過する光の偏光が変わる。画素電極 191 と共通電極は、キャパシタ（以下、液晶キャパシタという）を構成することで、薄膜トランジスタがターンオフされた後にも印加された電圧を維持する。

30

【0046】

透明電極 192 は、維持電極 137 と電氣的に接続される維持導電体 177 と重畳している。透明電極 192 が維持電極 137 と電氣的に接続された維持導電体 177 と重畳してなるキャパシタをストレージキャパシタと称し、ストレージキャパシタは、液晶キャパシタの電圧維持能力を強化する。

40

一般に、表示装置のストレージキャパシタは、画素電極 191 と電氣的に接続するドレイン電極 175 と維持電極線 131 とがゲート絶縁膜 140 を介在して重畳して形成される。しかし、本発明の実施例による薄膜トランジスタ表示基板のストレージキャパシタは、上記のように、透明電極 192 が保護膜 180 を介在して維持電極 137 と電氣的に接続された維持導電体 177 と重畳して形成される。

【0047】

一方、互いに平行に重畳してキャパシタをなす 2つの導電体間の電気容量（C）は、 $C = \epsilon \times (A/d)$ である。ここで、 ϵ は重畳する平行な導電体の間に介されている物質の

50

誘電率であり、 A は互いに重畳する導電体の面積であり、 d は重畳する導電体間の距離である。万一、重畳する導電体間の物質の誘電率が同一である場合は、電気容量(C)の大きさは、重畳する導電体の面積に比例し、重畳する導電体間の距離に反比例する。したがって、キャパシタの電気容量(C)を増加させるためには、重畳する導電体の面積を大きくするか、あるいは重畳する導電体間の距離を短くすればよい。

【0048】

本発明の実施例による表示装置の薄膜トランジスタ表示基板に形成されるゲート絶縁膜140と保護膜180を各々構成する物質の誘電率はほぼ同一であり、ゲート絶縁膜140の厚さ($D1$)は、保護膜180の厚さ($D2$)に比べて厚い。ゲート絶縁膜140の厚さ($D1$)は、保護膜180の厚さ($D2$)より約2倍以上厚くてもよい。

10

したがって、ゲート絶縁膜140を介在して重畳する2つの導電体の面積と、保護膜180を介在して重畳する2つの導電体の面積とがほぼ同一である場合は、保護膜180を介在して重畳して形成されるキャパシタの電気容量(C)が、ゲート絶縁膜140を介在して重畳するキャパシタのそれに比べて大きくなる。

【0049】

本発明の実施例による薄膜トランジスタ表示基板のゲート絶縁膜140の厚さ($D1$)は、保護膜180の厚さ($D2$)に比べて厚く、薄膜トランジスタ表示基板は、保護膜180を介在して重畳する透明電極192と維持導電体177とにより形成されるストレージキャパシタを有する。一般にストレージキャパシタは、維持電極137と、画素電極191に電氣的に接続されるドレイン電極175とが、ゲート絶縁膜140を介して重畳して形成されるが、このような場合と比較して、本発明のストレージキャパシタは、ゲート絶縁膜140よりも薄い保護膜180を介して形成されており、また保護膜180のみを間に介在しているため、本発明の実施例による薄膜トランジスタ表示基板のストレージキャパシタの保持容量がより大きい。一方、ストレージキャパシタの保持容量を大きくするために、ストレージキャパシタを構成する平行な2つの導電体の面積を広くすることもできるが、このような場合は、表示装置の開口率が減少する。したがって、本発明の実施例による薄膜トランジスタ表示基板では、液晶キャパシタをなす重畳する導電体の面積を大きくしないで、2つの導電体をゲート絶縁膜140の厚さ($D1$)より薄い厚さ($D2$)を有する保護膜180を介在して重畳させることで、表示装置の開口率を減少することなく、ゲート絶縁膜140を介在して重畳するストレージキャパシタに比べてより大きな保持容量を有するストレージキャパシタを形成する。

20

30

【0050】

次に、図4～図18を参照して本発明の一実施例による薄膜トランジスタ表示基板の製造方法について説明する。図4、図7、図10、図13及び図16は本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図であり、図5及び図6は図4に示す薄膜トランジスタ表示基板のV-V線及びVI-VI線に沿った断面図であり、図8及び図9は図7に示す薄膜トランジスタ表示基板のVII-VII線及びIX-IX線に沿った断面図であり、図11及び図12は図10に示す薄膜トランジスタ表示基板のXI-XI線及びXII-XII線に沿った断面図であり、図14及び図15は図13に示す薄膜トランジスタ表示基板のXIV-XIV線及びXV-XV線に沿った断面図であり、図17及び図18は図16に示す薄膜トランジスタ表示基板のXVII-XVII線及びXVIII-XVIII線に沿った断面図である。

40

【0051】

図4～図6を参照すれば、基板110上にゲート電極124及び端部129を有するゲート線121と、維持電極137を有する維持電極線131を形成する。この際、基板110上に金属層をスパッタリング等で積層してから感光膜を塗布し、マスクを用いて露光及び現像し、次いで感光膜をエッチングマスクとしてドライエッチングまたはウェットエッチングしてゲート線121と維持電極線131をパターンニングする。

【0052】

次に、図7～図9を参照すれば、基板110上にゲート絶縁膜140を積層し、その上

50

に突出部 154 を有する線状真性半導体 151 及び複数の線状不純物半導体 164 を形成する。この場合においても、スパッタリング等でゲート絶縁膜 140 を蒸着し、その上に半導体及び不純物半導体層を蒸着した後、感光膜を塗布し写真エッチングして、線状真性半導体 151 及び線状不純物半導体 164 パターンを形成する。

【0053】

図 10 ~ 図 12 を参照すれば、不純物半導体 161 及びゲート絶縁膜 140 上に金属層を積層し、写真エッチングして、ソース電極 173 及び端部 179 を有する複数のデータ線 171、複数のドレイン電極 175 及び複数の維持導電体 177 を形成する。

次に、線状不純物半導体 164 からデータ線 171 及びドレイン電極 175 で覆われずに露出している部分を除去し、突出部 163 を有する複数の線状オーミック接触部材 161 と、複数の島状オーミック接触部材 165 を完成する一方、その下の真性半導体 154 部分を露出させる。

10

【0054】

次に、保護膜 180 を積層し、ゲート絶縁膜 140 と共にパターニングするが、この場合、保護膜 180 の厚さは、ゲート絶縁膜 140 の厚さより薄い。ゲート絶縁膜 140 の厚さは、保護膜 180 の厚さより約 2 倍以上厚くてもよい。このように保護膜 180 とゲート絶縁膜 140 を同時にパターニングして、図 13 ~ 図 15 に示すように、保護膜 180 及びゲート絶縁膜 140 にゲート線 121 の端部 129、データ線 171 の端部 179、並びにドレイン電極 175 を各々露出させる複数のコンタクトホール 181、182、185 を形成すると同時に、保護膜 180 に維持導電体 177 を露出させる開口部 186 を形成し、ゲート絶縁膜 140 に維持電極 137 の中央部分を露出させるコンタクトホール 178 を形成する。

20

【0055】

この場合にも、基板 110 上に保護膜 180 をスパッタリング等で積層した後、感光膜を塗布し、マスクを用いて露光及び現像してから、感光膜と金属層をエッチングマスクとしてドライエッチングまたはウェットエッチングして、複数のコンタクトホール 178、181、182、185 及び開口部 186 を形成する。

図 16 ~ 図 18 を参照すれば、基板 110 上に複数の透明電極 192、複数の接触補助部材 81、82、複数の接続部材 78 を形成する。この場合も、基板 110 上に ITO または IZO 等を蒸着して透明導電膜を形成し、透明導電膜上に感光膜を塗布した後、写真エッチング工程により形成する。

30

【0056】

なお、図 1 ~ 図 3 に示すように、基板 110 上に有機絶縁膜 187 を形成し、その上に反射電極 194 を形成する。この際、有機絶縁膜 187 は、透明電極 192 一部の上のみ存在し、表面に凹凸構造を有するようにパターニングする。

< 第 2 実施例 >

次に、本発明の他の一実施例による薄膜トランジスタ表示基板について図 19 ~ 図 21 を参照して詳細に説明する。図 19 は本発明の他の一実施例による薄膜トランジスタ表示基板の配置図であり、図 20 及び図 21 は図 19 に示す薄膜トランジスタ表示基板の X X - X X 線及び X X I - X X I 線に沿った断面図である。

40

【0057】

図 19 ~ 図 21 に示すような本実施例による薄膜トランジスタ表示基板の層状構造は、第 1 実施例の図 1 ~ 図 3 に示すものと同様である。

基板 110 上に複数のゲート線 121 及び複数の維持電極線 131 が形成されている。ゲート線 121 は複数のゲート電極 124 と端部 129 を有し、維持電極線 131 は複数の維持電極 137 を有する。ゲート線 121 及び維持電極線 131 上には、ゲート絶縁膜 140、突出部 154 を有する複数の線状半導体 151、突出部 163 を有する複数の線状オーミック接触部材 161、及び複数の島状オーミック接触部材 165 が順次に形成されている。

【0058】

50

オーミック接触部材 161、163、165 及びゲート絶縁膜 140 上には、ソース電極 173 及び端部 179 を有する複数のデータ線 171 及び複数のドレイン電極 175、複数のソース電極 173 が形成されており、データ線 171 と分離されている維持導電体 177 が形成されており、その上に保護膜 180 が形成されている。保護膜 180 及びゲート絶縁膜 140 には、複数のコンタクトホール 178、181、182、185 が形成されている。その上には、複数の画素電極となる透明電極 192、複数の接触補助部材 78、81、82 が形成されている。また、保護膜 180 には、維持導電体 177 を露出させる複数の孔 186 が形成されている。

【0059】

しかし、図 1～図 3 に示すような薄膜トランジスタ表示基板と異なり、維持電極線 131 及び維持電極 137、並びに維持導電体 177 は、隣接した 2 つのゲート線 121 の間に位置する場合、2 つのゲート線 121 とほぼ同一距離を置いている。しかし、維持電極線 131 及び維持導電体 177 の形状及び配置は、様々に変形することができる。また、本実施例による薄膜トランジスタ表示基板の場合は、有機絶縁膜 187 及び反射電極 194 が形成されない。

【0060】

本実施例による薄膜トランジスタ表示基板の画素電極 191 は、維持電極 137 と電氣的に接続される維持導電体 177 と重畳している。画素電極 191 が維持電極 137 と電氣的に接続された維持導電体 177 と重畳してなるキャパシタをストレージキャパシタと称し、ストレージキャパシタは、液晶キャパシタの電圧維持能力を強化する。

このような本発明の実施例による薄膜トランジスタ表示基板は、保護膜 180 を介在して重畳する画素電極 191 と維持導電体 177 により形成されるストレージキャパシタを有する。ここで、保護膜 180 の厚みはゲート絶縁膜 140 よりも薄く形成されており、本発明のストレージキャパシタは、保護膜 180 のみを間に介在している。このため、一般にゲート絶縁膜 140 を介在して重畳する維持電極 137 と画素電極 191 と電氣的に接続されるドレイン電極 175 が重畳して形成される場合に比べて、本発明の実施例による薄膜トランジスタ表示基板のストレージキャパシタの保持容量がより大きい。

【0061】

したがって、本発明の実施例による薄膜トランジスタ表示基板の液晶キャパシタを構成する重畳する導電体の面積を大きくしないで、2 つの導電体を相対的に厚さの薄い保護膜 180 を介在して重畳させることで、表示装置の開口率を減少することなく、より大きな保持容量を有するストレージキャパシタを有する。

次に、本実施例による薄膜トランジスタ表示基板の製造方法について、図 22～図 33 を参照して詳細に説明する。図 22、図 25、図 28 及び図 31 は本発明の他の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図であり、図 23 及び図 24 は図 22 に示す薄膜トランジスタ表示基板の XXIII-XXIII 線及び XXIV-XXIV 線に沿った断面図であり、図 26 及び図 27 は図 25 に示す薄膜トランジスタ表示基板の XXV-XXV 線及び XXVI-XXVI 線に沿った断面図であり、図 29 及び図 30 は図 28 に示す薄膜トランジスタ表示基板の XXIX-XXIX 線及び XXX-XXX 線に沿った断面図であり、図 32 及び図 33 は図 31 に示す薄膜トランジスタ表示基板の XXXII-XXXII 線及び XXXIII-XXXIII 線に沿った断面図である。

【0062】

図 22～図 24 に示すように、基板 110 上に金属層をスパッタリング等で積層した後、感光膜を塗布し、マスクを用いて露光及び現像してから、感光膜をエッチングマスクとしてドライエッチングまたはウェットエッチングし、ゲート電極 124 及び端部 129 を有するゲート線 121、並びに維持電極 137 を有する維持電極線 131 を形成する。

次に図 25～図 27 に示すように、基板 110 上にゲート絶縁膜 140 を蒸着し、次いでその上に半導体及び不純物半導体層を蒸着した後、感光膜を塗布し写真エッチングして、突出部 154 を有する線状真性半導体 151 及び複数の線状不純物半導体 164 を形成

10

20

30

40

50

する。

【0063】

図28～図30を参照すれば、ソース電極173及び端部179を有する複数のデータ線171、複数のドレイン電極175及び複数の維持導電体177を形成し、線状不純物半導体164からデータ線171及びドレイン電極175で覆われずに露出している部分を除去し、突出部163を有する複数の線状オーミック接触部材161と複数の島状オーミック接触部材165を完成する一方、その下の真性半導体154部分を露出させる。

【0064】

次いで、保護膜180を積層する。この場合、保護膜180の厚さは、ゲート絶縁膜140の厚さより薄い、ゲート絶縁膜140の厚さは、保護膜180の厚さより約2倍以上厚くてもよい。保護膜180を積層した後、ゲート絶縁膜140と共にパターンニングし、図31～図33に示すように、保護膜180及びゲート絶縁膜140にゲート線121の端部129、データ線171の端部179、並びにドレイン電極175を各々露出させる複数のコンタクトホール181、182、185を形成すると同時に、保護膜180に維持導電体177を露出させる開口部186を形成し、ゲート絶縁膜140に維持電極137の中央部分を露出させるコンタクトホール178を形成する。

【0065】

最後に、図19～図21に示すように、基板110上に複数の画素電極191、複数の接触補助部材81、82、並びに複数の接続部材78を形成する。この場合も、基板110上にITOまたはIZO等を蒸着して透明導電膜を形成し、透明導電膜上に感光膜を塗布した後、写真エッチング工程で形成する。

<第3実施例>

次に、図34～図36を参照して本発明の他の一実施例による薄膜トランジスタ表示基板について説明する。図34は本発明の他の一実施例による薄膜トランジスタ表示基板の配置図であり、図35及び図36は図34に示す薄膜トランジスタ表示基板のXXXV-XXXV線及びXXXVI-XXXVI線に沿った断面図である。

【0066】

絶縁基板110上に複数のゲート線が形成されている。各ゲート線121は、上方に突出された複数のゲート電極124と、他の層または外部駆動回路との接続のために面積が広い端部129を有する。

ゲート線121上にはゲート絶縁膜140が形成されている。ゲート絶縁膜140上には複数の線状半導体151が形成されている。線状半導体151は主に縦方向に延在しており、ゲート電極124に向かって延在する複数の突出部154を有する。線状半導体151は、ゲート線121近傍で幅が広くなり、これらを幅広く覆っている。

【0067】

半導体151上には複数の線状及び島状オーミック接触部材161、163、165が形成されている。線状オーミック接触部材161は、複数の突出部163を有しており、この突出部163と島状オーミック接触部材165とは対をなして半導体151の突出部154上に配置されている。

オーミック接触部材161、163、165及びゲート絶縁膜140上には、複数のデータ線171と複数のドレイン電極175、並びに維持電極176を有する維持電極線172が形成されている。

【0068】

データ線171はデータ信号を伝達し、主に縦方向に延在してゲート線121と交差している。各データ線171は、ゲート電極124に向かって延在するJ字状に曲がった複数のソース電極173と、他の層または外部駆動回路との接続のために面積が広い端部179を有する。ドレイン電極175は、データ線171と分離され、ゲート電極124を中心としてソース電極173と対向している。各ドレイン電極175は、より広い一端部と棒状の他端部とを有している。広い端部は、コンタクトホール185を介して画素電極191と接続されており、棒状端部はソース電極173に取り囲まれるように形成されて

いる。

【0069】

1つのゲート電極124、1つのソース電極173及び1つのドレイン電極175は、半導体151の突出部154と共に1つの薄膜トランジスタ(TFT)をなし、薄膜トランジスタのチャンネルは、ソース電極173とドレイン電極175との間の突出部154に形成されている。

各維持電極線172は、突出される維持電極176を有し、データ線171とほぼ平行に延在している。維持電極線172は、データ線171と同一物質で形成されることができ、データ線171及びドレイン電極175と分離され、反射電極194が形成される領域に主に位置している。維持電極線172の端部は、表示領域の外郭に形成される維持電圧駆動部と電氣的に接続され、外部から維持電圧が印加される。

10

【0070】

データ線171、ドレイン電極175、維持電極線172及び露出している半導体154部分上には、無機物質の窒化ケイ素や酸化ケイ素等からなる保護膜180が形成されている。保護膜180の厚さはゲート絶縁膜140の厚さより薄い、少なくとも約1/2程度薄い。保護膜180には、データ線171の端部179とドレイン電極175を各々露出させる複数のコンタクトホール182、185が形成されており、保護膜180とゲート絶縁膜140には、ゲート線121の端部129を露出させる複数のコンタクトホール181が形成されている。保護膜180上には、複数の透明電極192及び複数の接触補助部材81、82が形成されている。

20

【0071】

透明電極192及び保護膜180上には、平坦化特性に優れ、かつ感光性を有する有機物質からなる有機絶縁膜187が形成されており、有機絶縁膜187上には反射電極194が形成されている。有機絶縁膜187の表面は凹凸パターンを有し、有機絶縁膜187上に形成される反射電極194に凹凸パターンを誘導し、反射電極194の反射効率を極大化する。有機絶縁膜187は透明電極192の一部の上に形成されている。ゲート線121及びデータ線171の拡張部129、179が形成されるパッド部からは有機絶縁膜187が除去される。

【0072】

このように、各画素電極191は、透明電極192及び有機絶縁膜187の凹凸に沿って不規則に曲がっている反射電極194を有する。この場合、反射電極194の不規則な屈曲は光の乱反射を発生させる。このような半透過型表示装置は、透明電極192及び反射電極194により各々画定される透過領域及び反射領域に区画される。具体的には、透明電極192が形成され、有機絶縁膜187が除去された部分は透過領域になる。透過領域と反射領域の境界で反射電極194は、透明電極192と電氣的、物理的に接続されている。維持電極176は、ほとんど反射領域に配置されている。

30

【0073】

透明電極192及びこれに連結された反射電極194はコンタクトホール185を介してドレイン電極175と物理的、電氣的に接続されており、ドレイン電極175からデータ電圧が印加される。データ電圧が印加された画素電極191は、共通電圧の印加を受ける共通電極表示基板(図示せず)の共通電極(図示せず)と共に電場を生成することにより、2つの電極間の液晶層(図示せず)の液晶分子の方向を決定する。

40

【0074】

透明電極192は、保護膜180を介在して維持電極176を有する維持電極線172と重畳している。透明電極192が維持電極176を有する維持電極線172と重畳してなるキャパシタをストレージキャパシタと称し、ストレージキャパシタは、液晶キャパシタの電圧維持能力を強化する。このように、本発明の実施例による薄膜トランジスタ表示基板のストレージキャパシタは、透明電極192が保護膜180を介在して維持電極176を有する維持電極線172と重畳して形成される。なお、反射電極194は保護膜180の直上に形成されており、維持電極176は主に反射電極194上に形成されている。

50

よって、ストレージキャパシタは、維持電極 176 と反射電極 194 との間に保護膜 180 のみを介在して形成されている。よって、誘電層の厚みを薄くして電圧維持能力を高めることができる。

【0075】

薄膜トランジスタ表示基板に形成されるゲート絶縁膜 140 と保護膜 180 をそれぞれ形成している物質の誘電率はほぼ同一であり、ゲート絶縁膜 140 の厚さ (D1) は、保護膜 180 の厚さ (D2) に比べて厚く、約 2 倍以上厚くてもよい。したがって、ゲート絶縁膜 140 を介在して重畳する 2 つの導電体の面積と、保護膜 180 を介在して重畳する 2 つの導電体の面積とがほぼ同一である場合は、保護膜 180 を介在して重畳して形成されるキャパシタの電気容量 (C) が、ゲート絶縁膜 140 を介在して重畳するキャパシタに比べて 2 倍以上大きくなる。

10

【0076】

なお、本発明の実施例による薄膜トランジスタ表示基板は、保護膜 180 を介在して重畳する透明電極 192 と維持電極 176 を有する維持電極線 172 によって形成されるストレージキャパシタを有している。ここで、保護膜 180 の厚みはゲート絶縁膜 140 よりも薄く形成されており、本発明のストレージキャパシタは、保護膜 180 のみを間に介在している。維持電極 137 と、画素電極 191 に電氣的に接続されるドレイン電極 175 とがゲート絶縁膜 140 を介して重畳して形成される維持キャパシタに比べて、本発明の実施例による薄膜トランジスタ表示基板のストレージキャパシタの保持容量がより大きい。

20

【0077】

したがって、本発明の実施例による薄膜トランジスタ表示基板は、液晶キャパシタをなす重畳する導電体の面積を大きくしないで、2 つの導電体をゲート絶縁膜 140 より相対的に厚さが薄い保護膜 180 を介在して重畳するようにすることで、表示装置の開口率を減少することなく、より大きな保持容量を有するストレージキャパシタを有することができる。

【0078】

ここで、上記実施例では、ストレージキャパシタを構成する維持導電体 177 に維持電圧が印加されるようにするために、画素領域の内部にコンタクトホールを設けて維持電極 137 と接続するようにする。しかし、上記実施例と異なり、本実施例による薄膜トランジスタ表示基板の場合、表示領域の外部に配置されている維持電圧駆動部と維持電極線 172 の端部を電氣的に直接接続する。これにより、画素領域内にコンタクトホールを形成し、維持電圧を維持導電体 177 から維持電極に印加する上記実施例における維持導電体と同一面積の維持電極を形成する場合、コンタクトホールを形成するための領域だけ維持電極の面積が減少するので、上記実施例に比べて薄膜トランジスタ表示基板の表示領域の開口率が増加するようになる。

30

【0079】

本発明の実施例による薄膜トランジスタ表示基板の製造方法は、上記実施例による薄膜トランジスタ表示基板の製造方法と類似している。

図 34 ~ 図 36 を参照すれば、基板 110 上に金属層をスパッタリング等で積層した後、感光膜を塗布し、マスクを用いて露光及び現像してから、感光膜をエッチングマスクとしてドライエッチングまたはウェットエッチングし、ゲート電極 124 及び端部 129 を有するゲート線 121 を形成する。

40

【0080】

次に、基板 110 上にゲート絶縁膜 140 を蒸着し、次いでその上に半導体及び不純物半導体層を蒸着した後、感光膜を塗布し、写真エッチングし、突出部 154 を有する線状真性半導体 151 及び複数の線状不純物半導体 164 を形成した後、ソース電極 173 及び端部 179 を有する複数のデータ線 171、複数のドレイン電極 175、並びに維持電極 176 を有する維持電極線 172 を形成し、線状不純物半導体 164 からデータ線 171 及びドレイン電極 175 で覆われずに露出している部分を除去して、突出部 163 を有

50

する複数の線状オーミック接触部材 161 と複数の島状オーミック接触部材 165 を完成する一方、その下の真性半導体 154 部分を露出させる。

【0081】

次に、保護膜 180 を積層し、ゲート絶縁膜 140 と共にパターニングするが、この場合、ゲート絶縁膜 140 の厚さは保護膜 180 の厚さより厚く、約 2 倍以上厚くてもよい。このように、保護膜 180 と共にゲート絶縁膜 104 をパターニングし、保護膜 180 及びゲート絶縁膜 140 にゲート線 121 の端部 129、データ線 171 の端部 179、並びにドレイン電極 175 を各々露出させる複数のコンタクトホール 181、182、185 を形成する。その後、基板 110 上に ITO または IZO 等を蒸着して透明導電膜を形成し、透明導電膜上に感光膜を塗布した後、写真エッチング工程で複数の透明電極 192 及び複数の接触補助部材 81、82 を形成する。

10

【0082】

次に、表示装置の反射領域に有機絶縁膜 187 を形成し、有機絶縁膜 187 上に反射電極 194 を形成するが、有機絶縁膜 187 は透明電極 192 一部の上にのみ存在し、表面に凹凸構造を有するようにパターニングする。なお、反射電極 194 は、反射領域と透過領域の境界部分で透明電極 192 と物理的、電氣的に接続される。

本実施例による薄膜トランジスタ表示基板の製造方法と、上記実施例による薄膜トランジスタ表示基板の製造方法との大きな差異点は、図 34 ~ 図 36 に示すように、維持電極 176 を有する維持電極線 172 をデータ線 171 と同一物質で平行に延在するように形成し、維持電極線 172 に維持電圧を印加するために、表示領域の外部に配置されている維持電圧駆動部と電氣的に接続することである。

20

【0083】

< 第 4 実施例 >

次に、図 37 ~ 図 39 を参照して、本発明の他の一実施例による薄膜トランジスタ表示基板について詳細に説明する。図 37 は本発明の他の一実施例による薄膜トランジスタ表示基板の配置図であり、図 38 及び図 39 は図 37 に示す薄膜トランジスタ表示基板の X-X'V-I-I-I-X-X'V-I-I-I 線及び X-X'X-I-X-X-X'X-I-X 線に沿った断面図である。図 37 ~ 図 39 に示すように、本実施例による薄膜トランジスタ表示基板の層状構造は、第 3 実施例の図 34 ~ 図 36 に示すものとほぼ同様である。

【0084】

基板 110 上に複数のゲート電極 124 と端部 129 を有する複数のゲート線 121 が形成されている。ゲート線 121 上には、ゲート絶縁膜 140、突出部 154 を有する複数の線状半導体 151、突出部 163 を有する複数の線状オーミック接触部材 161 及び複数の島状オーミック接触部材 165 が順次に形成されている。

30

オーミック接触部材 161、163、165 上には、ソース電極 173 及び端部 179 を有する複数のデータ線 171 及び複数のドレイン電極 175 が形成されており、データ線 171 と平行に延在し、維持電極 176 を有する維持電極線 172 が形成されており、その上に保護膜 180 が形成されている。保護膜 180 の厚さはゲート絶縁膜 140 の厚さより薄い、少なくとも約 1/2 程度薄い。保護膜 180 及びゲート絶縁膜 140 には複数のコンタクトホール 181、182、185 が形成されている。さらにその上には、複数の画素電極 191 及び複数の接触補助部材 81、82 が形成されている。しかし、図 34 ~ 図 36 に示すような薄膜トランジスタ表示基板と異なり、有機絶縁膜 187 及び反射電極 194 が形成されない。

40

【0085】

本発明の実施例による薄膜トランジスタ表示基板は、上記実施例と同様に、保護膜 180 を介在して重畳する透明電極 192 と維持電極 176 を有する維持電極線 172 により形成されるストレージキャパシタを有する。したがって、上記実施例と同様に、本発明の実施例による表示装置は、液晶キャパシタを構成する重畳する導電体の面積を大きくしないで、2つの導電体を相対的に厚さが薄い保護膜 180 を介在して重畳させることで、表示装置の開口率を減少することなく、より大きな保持容量を有するストレージキャパシタ

50

を有することができる。

【0086】

また、本実施例による薄膜トランジスタ表示基板の場合、維持導電体176、177に維持電圧が印加されるようにするために、画素領域の内部にコンタクトホールを設けて維持電極137と接続するようにする上記実施例と異なり、表示領域の外部に形成される維持電圧駆動部と維持電極線172とを表示領域外部で電氣的に接続する。これにより、コンタクトホールを形成するための領域分だけ維持導電体の面積が減少するので、上記実施例に比べて薄膜トランジスタ表示基板の開口率が増加するようになる。

【0087】

<第5実施例>

次に、図40～図42を参照して本発明の一実施例による薄膜トランジスタ表示基板について詳細に説明する。図40は本発明の一実施例による薄膜トランジスタ表示基板の配置図であり、図41及び図42は図40に示す薄膜トランジスタ表示基板のXLI-XLI線及びXLI-I-XLI-I線に沿った断面図である。図40～図42に示すように、本実施例による薄膜トランジスタ表示基板の層状構造は、第2実施例の図19～図21に示すものと類似している。

【0088】

基板110上に複数のゲート線121及び複数の維持電極線131が形成されている。ゲート線121は、複数のゲート電極124と端部129を有し、維持電極線131は、複数の維持電極137を有する。ゲート線121及び維持電極線131上には、ゲート絶縁膜140、突出部154を有する複数の線状半導体151、突出部163を有する複数の線状オーミック接触部材161及び複数の島状オーミック接触部材165が順次に形成されている。

【0089】

オーミック接触部材161、163、165上には、ソース電極173及び端部179を有する複数のデータ線171及び複数のドレイン電極175、複数のソース電極173が形成されており、データ線171と分離されている維持導電体177が形成されており、その上に保護膜180が形成されている。保護膜180及びゲート絶縁膜140には、複数のコンタクトホール181、182、185が形成されている。その上には、複数の画素電極191及び複数の接触補助部材81、82が形成されている。また、ゲート絶縁膜140には、維持電極137の一部を露出させる複数のコンタクトホール141が形成されている。

【0090】

ここで、第2実施例の図19～図21に示すような薄膜トランジスタ表示基板では、維持導電体177は、維持電極137の中心部分に対応する領域が除去された環状の平面形態を有しており、維持導電体177が接触補助部材178を介して維持電極137と接続されている。しかし、このような構成とは異なり、本実施例による維持導電体177は、ゲート絶縁膜140に形成されるコンタクトホール141を介して維持電極137と物理的、電氣的に直接接続され、維持電極137を全て覆う平面形態を有している。したがって、本実施例による薄膜トランジスタ表示基板の維持導電体177の全面積は、第2実施例と同一の開口率を有するとともに、第2実施例の図19～図21に示すような実施例による維持導電体177の全面積よりさらに大きくなることのできる。保持容量も大きくなる。

【0091】

このように、本実施例による薄膜トランジスタ表示基板は、保護膜180を介在して重畳する画素電極191と維持導電体177により形成されるストレージキャパシタを有する。ここで、保護膜180の厚みはゲート絶縁膜140よりも薄く形成されており、本発明のストレージキャパシタは、保護膜180のみを間に介在している。したがって、一般に維持電極137と、画素電極191に電氣的に接続されるドレイン電極175とがゲート絶縁膜140を介して重畳して形成される場合に比べて、本発明の実施例による薄膜ト

10

20

30

40

50

ランジスタ表示基板のストレージキャパシタの保持容量がより大きい。

【0092】

したがって、本発明の実施例による薄膜トランジスタ表示基板の液晶キャパシタを構成する重畳する導電体の面積を大きくしないで、2つの導電体を相対的に厚さが薄い保護膜180を介在して重畳するようにすることで、表示装置の開口率を減少することなく、より大きな保持容量を有するストレージキャパシタを有する。また、維持導電体177が維持電極137を全て覆う形態を有することで、上記実施例と同様の開口率を維持するとともに、維持導電体177の全面積はさらに広くなることができ、その結果、より大きな保持容量を有することができる。

【0093】

次に、本実施例による薄膜トランジスタ表示基板の製造方法について、図43～図54を参照して詳細に説明する。図43、図46、図49、及び図52は本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図であり、図44及び図45は図43に示す薄膜トランジスタ表示基板のXLIV-XLIV線及びXLV-XLV線に沿った断面図であり、図47及び図48は図46に示す薄膜トランジスタ表示基板のXLVII-XLVII線及びXLVIII-XLVIII線に沿った断面図であり、図50及び図51は図49に示す薄膜トランジスタ表示基板のL-L線及びLI-LI線に沿った断面図であり、図53及び図54は図52に示す薄膜トランジスタ表示基板のLIII-LIII線及びLIV-LIV線に沿った断面図である。

【0094】

まず、図43～図45に示すように、基板110上に金属層をスパッタリング等で積層した後、感光膜を塗布し、マスクを用いて露光及び現像してから、感光膜をエッチングマスクとしてドライエッチングまたはウェットエッチングし、ゲート電極124及び端部129を有するゲート線121、並びに維持電極137を有する維持電極線131を形成する。

【0095】

次に図46～図48を参照すれば、基板110上にゲート絶縁膜140を蒸着し、次いでその上に半導体及び不純物半導体層を蒸着した後、感光膜を塗布し、写真エッチングして、突出部154を有する線状真性半導体151及び複数の線状不純物半導体164を形成し、ゲート絶縁膜140に維持電極137を露出させるコンタクトホール141を形成する。

【0096】

図49～図51を参照すれば、ソース電極173及び端部179を有する複数のデータ線171、複数のドレイン電極175及び複数の維持導電体177を形成し、線状不純物半導体164からデータ線171及びドレイン電極175で覆われずに露出している部分を除去し、突出部163を有する複数の線状オーミック接触部材161と複数の島状オーミック接触部材165を完成する一方、その下の真性半導体154部分を露出させる。

【0097】

その後、保護膜180を積層する。この場合、保護膜180の厚さはゲート絶縁膜140の厚さより薄い、ゲート絶縁膜140の厚さは、保護膜180の厚さより約2倍以上厚くてもよい。保護膜180を積層した後、ゲート絶縁膜140と共にパターンニングし、図52～図54に示すように、保護膜180及びゲート絶縁膜140にゲート線121の端部129、データ線171の端部179、並びにドレイン電極175を各々露出させる複数のコンタクトホール181、182、185を形成する。

【0098】

最後に、図40～図42に示すように、基板110上にコンタクトホール185を介してドレイン電極175と接続された複数の画素電極191、並びに複数の接触補助部材81、82を形成する。この場合にも、基板110上にITOまたはIZO等を蒸着して透明導電膜を形成し、透明導電膜上に感光膜を塗布した後、写真エッチング工程により形成する。

10

20

30

40

50

【 0 0 9 9 】

< 第 6 実施例 > 次に、本発明の他の一実施例による薄膜トランジスタ表示基板について、図 5 5 ~ 図 5 7 を参照して詳細に説明する。図 5 5 は本発明の他の一実施例による薄膜トランジスタ表示基板の配置図であり、図 5 6 及び図 5 7 は図 5 5 に示す薄膜トランジスタ表示基板の L V I - L V I 線及び L V I I - L V I I 線に沿った断面図である。

本実施例による薄膜トランジスタ表示基板の層状構造は、第 5 実施例の図 4 0 ~ 図 4 2 に示すような実施例による薄膜トランジスタ表示基板と類似している。

【 0 1 0 0 】

基板 1 1 0 上にゲート電極 1 2 4 と端部 1 2 9 を有する複数のゲート線 1 2 1 及び維持電極 1 3 7 を有する複数の維持電極線 1 3 1 が形成されている。ゲート線 1 2 1 及び維持電極線 1 3 1 上には、コンタクトホール 1 4 2 を有するゲート絶縁膜 1 4 0、突出部 1 5 4 を有する複数の線状半導体 1 5 1、突出部 1 6 3 を有する複数の線状オーミック接触部材 1 6 1 及び複数の島状オーミック接触部材 1 6 5 が順次に形成されている。

10

【 0 1 0 1 】

オーミック接触部材 1 6 1、1 6 5 上には、ソース電極 1 7 3 及び端部 1 7 9 を有する複数のデータ線 1 7 1 及び複数のドレイン電極 1 7 5 が形成されており、その上に保護膜 1 8 0 が形成されている。保護膜 1 8 0 はコンタクトホール 1 4 2 により露出された維持電極 1 3 7 を覆う。保護膜 1 8 0 の厚さはゲート絶縁膜 1 4 0 の厚さより薄い、少なくとも約 1 / 2 程度薄い。ゲート絶縁膜 1 4 0 及び保護膜 1 8 0 には、複数のコンタクトホール 1 8 1、1 8 2、1 8 5 が形成されている。保護膜 1 8 0 上には、複数の画素電極 1 9 1 及び複数の接触補助部材 8 1、8 2 が形成されている。

20

【 0 1 0 2 】

しかし、第 5 実施例の図 4 0 及び図 4 2 に示すような薄膜トランジスタ表示基板と異なり、図 5 5 ~ 図 5 7 に示す薄膜トランジスタ表示基板は、維持電極 1 3 7 と物理的電氣的に接続される維持導電体 1 7 7 を有しない。また、本実施例による薄膜トランジスタ表示基板のゲート絶縁膜 1 4 0 は、維持電極 1 3 7 をほとんど露出させる大きなコンタクトホール 1 4 2 を有し、コンタクトホール 1 4 2 により露出する維持電極 1 3 7 は、保護膜 1 8 0 を介在して画素電極 1 9 1 と重畳している。このようにして、本実施例による薄膜トランジスタ表示基板のストレージキャパシタは、相対的に厚さが薄い保護膜 1 8 0 を介在して維持電極 1 3 7 と画素電極 1 9 1 とが重畳して形成される。

30

【 0 1 0 3 】

このように、本実施例による薄膜トランジスタ表示基板は、保護膜 1 8 0 を介在して重畳する画素電極 1 9 1 と維持電極 1 3 7 により形成されるストレージキャパシタを有する。ここで、保護膜 1 8 0 の厚みはゲート絶縁膜 1 4 0 よりも薄く形成されており、本発明のストレージキャパシタは、保護膜 1 8 0 のみを間に介在している。したがって、一般にゲート絶縁膜 1 4 0 を介在して重畳する維持電極 1 3 7 と画素電極 1 9 1 と電氣的に接続されるドレイン電極 1 7 5 が重畳して形成される場合に比べて、本発明の実施例による薄膜トランジスタ表示基板のストレージキャパシタの保持容量がより大きい。

【 0 1 0 4 】

次に、本実施例による薄膜トランジスタ表示基板の製造方法について、図 5 8 ~ 図 6 9 を参照して詳細に説明する。図 5 8、図 6 1、図 6 4 及び図 6 7 は本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図であり、図 5 9 及び図 6 0 は図 5 8 に示す薄膜トランジスタ表示基板の L I X - L I X 線及び L X - L X 線に沿った断面図であり、図 6 2 及び図 6 3 は図 6 1 に示す薄膜トランジスタ表示基板の L X I I - L X I I 線及び L X I I I - L X I I I 線に沿った断面図であり、図 6 5 及び図 6 6 は図 6 4 に示す薄膜トランジスタ表示基板の L X V - L X V 線及び L X V I - L V X I 線に沿った断面図であり、図 6 8 及び図 6 9 は図 6 7 に示す薄膜トランジスタ表示基板の L X V I I - L X V I I I 線及び L V I X - L V I X 線に沿った断面図である。

40

【 0 1 0 5 】

図 5 8 ~ 図 6 0 に示すように、基板 1 1 0 上にゲート電極 1 2 4 及び端部 1 2 9 を有す

50

るゲート線 121、並びに維持電極 137を有する維持電極線 131を形成する。

次に、図 61～図 63を参照すれば、基板 110上にゲート絶縁膜 140を蒸着し、次いでその上に半導体及び不純物半導体層を蒸着した後、感光膜を塗布し、写真エッチングして、突出部 154を有する線状真性半導体 151及び複数の線状不純物半導体 164を形成し、維持電極 137をほとんど露出させる大きさのコンタクトホール 142をゲート絶縁膜 140に形成する。

【0106】

図 64～図 66を参照すれば、ソース電極 173及び端部 179を有する複数のデータ線 171及び複数のドレイン電極 175を形成し、線状不純物半導体 164からデータ線 171及びドレイン電極 175で覆われずに露出している部分を除去し、突出部 163を有する複数の線状オーミック接触部材 161と複数の島状オーミック接触部材 165を完成する一方、その下の真性半導体 154部分を露出させる。

10

【0107】

次に、保護膜 180を積層する。この場合、保護膜 180の厚さはゲート絶縁膜 140の厚さより薄い、ゲート絶縁膜 140の厚さは保護膜 180の厚さより約 2 倍以上厚くてもよい。保護膜 180を積層した後、ゲート絶縁膜 140とともにパターンニングし、図 67～図 69に示すように、保護膜 180及びゲート絶縁膜 140にゲート線 121の端部 129、データ線 171の端部 179、並びにドレイン電極 175を各々露出させる複数のコンタクトホール 181、182、185を形成する。

【0108】

20

最後に、図 55～図 57に示すように、基板 110上にコンタクトホール 185を介してドレイン電極 175と接続された複数の画素電極 191、並びに複数の接触補助部材 81、82を形成する。

< 第 7 実施例 >

次に、本発明の他の一実施例による薄膜トランジスタ表示基板について図 70～図 72を参照して詳細に説明する。図 70は本発明の他の一実施例による薄膜トランジスタ表示基板の配置図であり、図 71及び図 72は図 70に示す薄膜トランジスタ表示基板の L X X I - L X X I 線及び L X X I I - L X X I I 線に沿った断面図である。

【0109】

本実施例による薄膜トランジスタ表示基板の層状構造は、第 6 実施例の図 55～図 57に示すような実施例による薄膜トランジスタ表示基板と類似している。

30

基板 110上に、ゲート電極 124と端部 129を有する複数のゲート線 121及び維持電極 137を有する複数の維持電極線 131が形成されている。ゲート線 121及び維持電極線 131上には、コンタクトホール 142を有するゲート絶縁膜 140、突出部 154を有する複数の線状半導体 151、突出部 163を有する複数の線状オーミック接触部材 161及び複数の島状オーミック接触部材 165が順次に形成されている。

【0110】

オーミック接触部材 161、165上には、ソース電極 173及び端部 179を有する複数のデータ線 171及び複数のドレイン電極 175が形成されており、その上に保護膜 180が形成されている。しかし、図 55～図 57に示すような薄膜トランジスタ表示基板と異なり、保護膜 180は、下部膜 180p及び上部膜 180qを有する二重膜構造である。上部膜 180qは下部膜 180pより厚く、上部膜 180qの表面は平坦であってもよい。下部膜 180pは窒化ケイ素や酸化ケイ素等の無機絶縁物からなり、上部膜 180qは有機絶縁物からなることができる。また、保護膜 180の上部膜 180qは維持電極 137上から除去される。ゲート絶縁膜 140及び保護膜 180には、複数のコンタクトホール 181、182、185が形成されている。保護膜 180上には、複数の画素電極 191及び複数の接触補助部材 81、82が形成されている。

40

【0111】

本実施例による薄膜トランジスタ表示基板のストレージキャパシタは、相対的に厚さが薄い保護膜 180の下部膜 180pを介在して維持電極 137と画素電極 191が重畳し

50

て形成される。

次に、本実施例による薄膜トランジスタ表示基板の製造方法について、図 7 3 ~ 図 8 2 を参照して詳細に説明する。

【 0 1 1 2 】

図 7 0 ~ 図 7 2 に示すような薄膜トランジスタ表示基板の製造方法は、図 5 5 ~ 図 5 7 に示した製造方法とほぼ同様である。基板 1 1 0 上にゲート電極 1 2 4 及び端部 1 2 9 を有するゲート線 1 2 1、並びに維持電極 1 3 7 を有する維持電極線 1 3 1 を形成し、基板 1 1 0 上にゲート絶縁膜 1 4 0 を蒸着し、次いでその上に半導体及び不純物半導体層を蒸着した後、感光膜を塗布し写真エッチングして、突出部 1 5 4 を有する線状真性半導体 1 5 1 及び複数の線状不純物半導体 1 6 4 を形成し、ゲート絶縁膜 1 4 0 に維持電極 1 3 7 をほとんど露出させる大きさのコンタクトホール 1 4 3 を形成する。ソース電極 1 7 3 及び端部 1 7 9 を有する複数のデータ線 1 7 1 及び複数のドレイン電極 1 7 5 を形成し、線状不純物半導体 1 6 4 からデータ線 1 7 1 及びドレイン電極 1 7 5 で覆われずに露出している部分を除去し、突出部 1 6 3 を有する複数の線状オーミック接触部材 1 6 1 と複数の島状オーミック接触部材 1 6 5 を完成する一方、その下の真性半導体 1 5 4 部分を露出させる。

10

【 0 1 1 3 】

次に、保護膜 1 8 0 を積層し、ゲート絶縁膜 1 4 0 と共にパターニングして保護膜 1 8 0 及びゲート絶縁膜 1 4 0 にゲート線 1 2 1 の端部 1 2 9、データ線 1 7 1 の端部 1 7 9、並びにドレイン電極 1 7 5 を各々露出させる複数のコンタクトホール 1 8 1、1 8 2、1 8 5 を形成すると同時に、維持電極 1 3 7 上の保護膜 1 8 0 の上部膜 1 8 0 q を除去するが、これについて図 7 3 ~ 図 8 2 を参照して詳細に説明する。図 7 3 ~ 図 8 2 は図 7 0 ~ 図 7 2 の薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

20

【 0 1 1 4 】

まず、図 7 3 及び図 7 4 を参照すれば、基板 1 1 0 上に保護膜 1 8 0 の下部膜 1 8 0 p 及び上部膜 1 8 0 q を積層し、その上に感光膜 4 0 0 を塗布する。露光マスク（図示せず）を介して感光膜 4 0 0 に光を照射した後に現像するが、露光マスクは、投光領域（A）、半投光領域（B）及び遮光領域（C）に分けられる。この場合、半投光領域（B）には所定値、例えば露光器の分解能以下の幅を有する不透明部材が所定値以下の間隔で配置されているが、これがスリットパターンである。半投光領域（B）にスリットパターンを設ける代わりに、格子パターンまたは透過率が中間であったり、あるいは厚さが中間である薄膜を具備してもよい。

30

【 0 1 1 5 】

図 7 5 及び図 7 6 に示すように、露光マスクを介して感光膜 4 0 0 に光を照射した後に現像すれば、現像された感光膜 4 0 0 の厚さは位置によって異なり、投光領域（A）に位置した感光膜 4 0 0 部分は全て除去され、半投光領域（B）に位置した感光膜 4 0 0 部分の厚さは減少し、遮光領域（C）では現像された後にも感光膜 4 0 0 部分の厚さがほとんど減少しない。この場合、半投光領域（B）と遮光領域（C）における感光膜 4 0 0 の厚さ比は、後続工程の工程条件によって異なるが、半投光領域（B）での厚さを遮光領域（C）での厚さの 1 / 2 以下とすることが好ましい。

40

【 0 1 1 6 】

このように、感光膜の厚さを異なるようにする方法の他の例としては、リフローが可能な感光膜を用いる方法がある。即ち、投光領域と遮光領域のみを有する通常のマスクにリフロー可能な感光膜を形成した後、リフローさせて、感光膜が残留しない領域に流すことによって薄い部分を形成する。

次に、図 7 7 及び図 7 8 に示すように、残っている感光膜 4 0 0 部分をエッチングマスクとして用いて保護膜 1 8 0 の上部膜 1 8 0 q 及び下部膜 1 8 0 p、並びにゲート絶縁膜 1 4 0 をエッチングし、ゲート線 1 2 1 の端部 1 2 9、データ線 1 7 1 の端部 1 7 9、並びにドレイン電極 1 7 5 を各々露出させる複数のコンタクトホール 1 8 1、1 8 2、1 8

50

5を形成する。

【0117】

次に、図79及び図80に示すように、感光膜400をアッシング処理して、半投光領域(B)に残っている感光膜400部分を除去し、遮光領域(C)に配置されている感光膜400部分の高さを減少させる。その後、図81及び図82に示すように、遮光領域(C)に残っている感光膜400部分をエッチングマスクとして用いて、保護膜180の上部膜180qを除去し、維持電極137上に保護膜180の下部膜180pのみを残す。最後に、遮光領域(C)に残っている感光膜400部分をアッシング処理等で除去する。

【0118】

このように、本実施例による薄膜トランジスタ表示基板の製造方法は、下部膜180p及び上部膜180qを有する二重膜構造の保護膜180を積層した後、1つのマスクを用いてゲート絶縁膜140と共にパターニングし、複数のコンタクトホール181、182、185を形成すると同時に、維持電極137上から保護膜180の上部膜180qを除去する。

【0119】

次に、図70～図72に示すように、基板110上にコンタクトホール185を介してドレイン電極175と接続された複数の画素電極191、並びに複数の接触補助部材81、82を形成する。

本実施例による薄膜トランジスタ表示基板は、二重膜構造の保護膜180を有することで、薄膜トランジスタ等をより効果的に保護し、維持電極137上には保護膜180の下部膜180pのみを残した後、保護膜180の下部膜180pを介在して維持電極137と画素電極191とが重畳するようにすることによって、保持容量の大きなストレージキャパシタを有する。

【0120】

以上の実施例では、薄膜トランジスタ表示基板を形成する際に使用される全薄膜を単一膜として説明したが、薄膜は2重膜または3重膜を有することもできる。また、本実施例では、液晶表示装置用薄膜トランジスタ表示基板についてのみ説明したが、同様の方法で形成される薄膜を備える他の表示基板、例えば有機発光表示装置用表示基板等にも適用可能である。

【0121】

上述の通り、本発明による薄膜トランジスタ表示基板の液晶キャパシタを構成する重畳する導電体の面積を大きくしないで、2つの導電体を相対的に厚さの薄い保護膜を介在して重畳するようにすることで、表示装置の開口率を減少することなく、より大きな保持容量を有するストレージキャパシタを得ることができる。

尚、本発明は、上述の実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0122】

【図1】本発明の一実施例による薄膜トランジスタ表示基板の配置図である。

【図2】図1に示す薄膜トランジスタ表示基板のII-II線に沿った断面図である。

【図3】図1に示す薄膜トランジスタ表示基板のIII-III線に沿った断面図である。

【図4】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図5】図4に示す薄膜トランジスタ表示基板のV-V線に沿った断面図である。

【図6】図4に示す薄膜トランジスタ表示基板のVI-VI線に沿った断面図である。

【図7】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図8】図7に示す薄膜トランジスタ表示基板のVII-VII線に沿った断面図である。

10

20

30

40

50

【図 9】図 7 に示す薄膜トランジスタ表示基板の I X - I X 線に沿った断面図である。

【図 10】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 11】図 10 に示す薄膜トランジスタ表示基板の X I - X I 線に沿った断面図である。

【図 12】図 10 に示す薄膜トランジスタ表示基板の X I I - X I I 線に沿った断面図である。

【図 13】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 14】図 13 に示す薄膜トランジスタ表示基板の X I V - X I V 線に沿った断面図である。 10

【図 15】図 13 に示す薄膜トランジスタ表示基板の X V - X V 線に沿った断面図である。

【図 16】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 17】図 16 に示す薄膜トランジスタ表示基板の X V I I - X V I I 線に沿った断面図である。

【図 18】図 16 に示す薄膜トランジスタ表示基板の X V I I I - X V I I I 線に沿った断面図である。

【図 19】本発明の他の一実施例による薄膜トランジスタ表示基板の配置図である。 20

【図 20】図 19 に示す薄膜トランジスタ表示基板の X X - X X 線に沿った断面図である。

【図 21】図 19 に示す薄膜トランジスタ表示基板の X X I - X X I 線に沿った断面図である。

【図 22】本発明の他の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 23】図 22 に示す薄膜トランジスタ表示基板の X X I I I - X X I I I 線に沿った断面図である。

【図 24】図 22 に示す薄膜トランジスタ表示基板の X X I V - X X I V 線に沿った断面図である。 30

【図 25】本発明の他の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 26】図 25 に示す薄膜トランジスタ表示基板の X X V I - X X V I 線に沿った断面図である。

【図 27】図 25 に示す薄膜トランジスタ表示基板の X X V I I - X X V I I 線に沿った断面図である。

【図 28】本発明の他の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 29】図 28 に示す薄膜トランジスタ表示基板の X X I X - X X I X 線に沿った断面図である。 40

【図 30】図 28 に示す薄膜トランジスタ表示基板の X X X - X X X 線に沿った断面図である。

【図 31】本発明の他の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 32】図 31 に示す薄膜トランジスタ表示基板の X X X I I - X X X I I 線に沿った断面図である。

【図 33】図 31 に示す薄膜トランジスタ表示基板の X X X I I - X X X I I 線及びに沿った断面図である。

【図 34】本発明の他の一実施例による薄膜トランジスタ表示基板の配置図である。

【図 35】図 34 に示す薄膜トランジスタ表示基板の X X X V - X X X V 線に沿った断面 50

図である。

【図 3 6】図 3 4 に示す薄膜トランジスタ表示基板の X X X V I - X X X V I 線に沿った断面図である。

【図 3 7】本発明の他の一実施例による薄膜トランジスタ表示基板の配置図である。

【図 3 8】図 3 7 に示す薄膜トランジスタ表示基板の X X X V I I I - X X V I I I 線に沿った断面図である。

【図 3 9】図 3 7 に示す薄膜トランジスタ表示基板の X X X I X - X X X I X 線に沿った断面図である。

【図 4 0】本発明の一実施例による薄膜トランジスタ表示基板の配置図である。

【図 4 1】図 4 0 に示す薄膜トランジスタ表示基板の X L I - X L I 線に沿った断面図である。

10

【図 4 2】図 4 0 に示す薄膜トランジスタ表示基板の X L I I - X L I I 線に沿った断面図である。

【図 4 3】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 4 4】図 4 3 に示す薄膜トランジスタ表示基板の X L I V - X L I V 線に沿った断面図である。

【図 4 5】図 4 3 に示す薄膜トランジスタ表示基板の X L V - X L V 線に沿った断面図である。

【図 4 6】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

20

【図 4 7】図 4 6 に示す薄膜トランジスタ表示基板の X L V I I - X L V I I 線に沿った断面図である。

【図 4 8】図 4 6 に示す薄膜トランジスタ表示基板の X L V I I I - X L V I I I 線に沿った断面図である。

【図 4 9】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 5 0】図 4 9 に示す薄膜トランジスタ表示基板の L - L 線に沿った断面図である。

【図 5 1】図 4 9 に示す薄膜トランジスタ表示基板の L I - L I 線に沿った断面図である。

30

【図 5 2】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 5 3】図 5 2 に示す薄膜トランジスタ表示基板の L I I I - L I I I 線に沿った断面図である。

【図 5 4】図 5 2 に示す薄膜トランジスタ表示基板の L I V - L I V 線に沿った断面図である。

【図 5 5】本発明の他の一実施例による薄膜トランジスタ表示基板の配置図である。

【図 5 6】図 5 5 に示す薄膜トランジスタ表示基板の L V I - L V I 線に沿った断面図である。

【図 5 7】図 5 5 に示す薄膜トランジスタ表示基板の L V I I - L V I I 線に沿った断面図である。

40

【図 5 8】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 5 9】図 5 8 に示す薄膜トランジスタ表示基板の L I X - L I X 線に沿った断面図である。

【図 6 0】図 5 8 に示す薄膜トランジスタ表示基板の L X - L X 線に沿った断面図である。

【図 6 1】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 6 2】図 6 1 に示す薄膜トランジスタ表示基板の L X I I - L X I I 線に沿った断面

50

図である。

【図 6 3】図 6 1 に示す薄膜トランジスタ表示基板の L X I I I - L X I I I 線に沿った断面図である。

【図 6 4】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。

【図 6 5】図 6 4 に示す薄膜トランジスタ表示基板の L X V - L X V 線に沿った断面図である。

【図 6 6】図 6 4 に示す薄膜トランジスタ表示基板の L X V I - L V X I 線に沿った断面図である。

【図 6 7】本発明の一実施例による薄膜トランジスタ表示基板の製造方法を順次に示した配置図である。 10

【図 6 8】図 6 7 に示す薄膜トランジスタ表示基板の L X V I I I - L X V I I I 線に沿った断面図である。

【図 6 9】図 6 7 に示す薄膜トランジスタ表示基板の L V I X - L V I X 線に沿った断面図である。

【図 7 0】本発明の他の一実施例による薄膜トランジスタ表示基板の配置図である。

【図 7 1】図 7 0 に示す薄膜トランジスタ表示基板の L X X I - L X X I 線に沿った断面図である。

【図 7 2】図 7 0 に示す薄膜トランジスタ表示基板の L X X I I - L X X I I 線に沿った断面図である。 20

【図 7 3】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 7 4】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 7 5】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 7 6】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 7 7】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。 30

【図 7 8】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 7 9】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 8 0】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 8 1】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。

【図 8 2】図 7 0 ~ 図 7 2 に示す薄膜トランジスタ表示基板の製造方法の中間工程を順次に示した断面図である。 40

【符号の説明】

【 0 1 2 3 】

8 1、8 2 ... 接触補助部材

7 8 ... 接続部材

1 1 0 ... 基板

1 2 1、1 2 9 ... ゲート線

1 2 4 ... ゲート電極

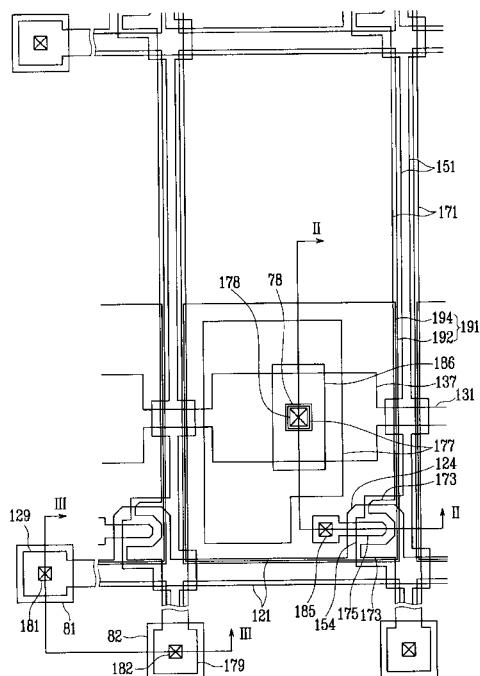
1 3 1、1 3 9 ... 維持電極線

1 3 7 ... 維持電極

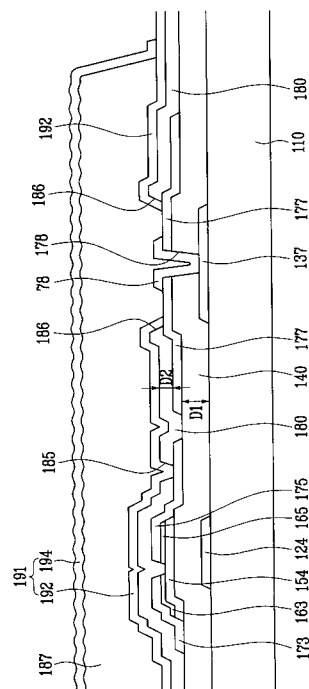
1 4 1、1 4 2、1 4 3、1 7 8、1 8 1、1 8 2、1 8 5 ... コンタクトホール 50

- 140 ... ゲート絶縁膜
- 151、154 ... 半導体
- 161、163、164、165 ... オーミック接触層
- 171、179 ... データ線
- 173 ... ソース電極
- 175 ... ドレイン電極
- 177 ... 維持導電体
- 172、176 ... 維持電極線
- 180 ... 保護膜
- 187 ... 有機絶縁膜
- 191 ... 画素電極
- 192 ... 透明電極
- 194 ... 反射電極

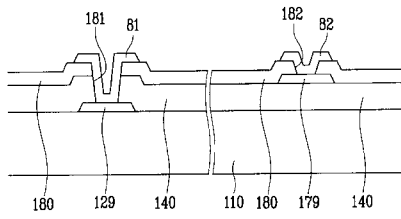
【図1】



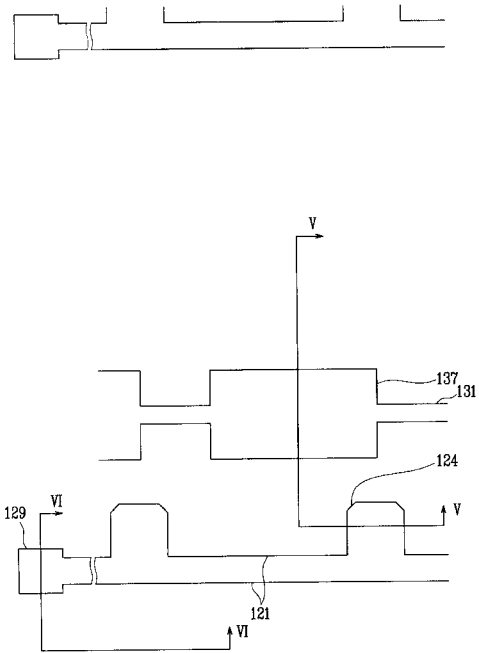
【図2】



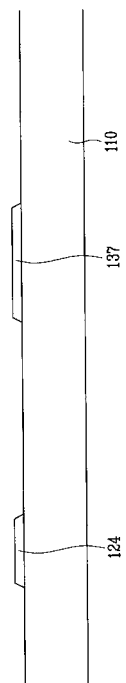
【 図 3 】



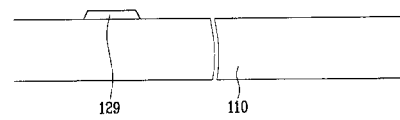
【 図 4 】



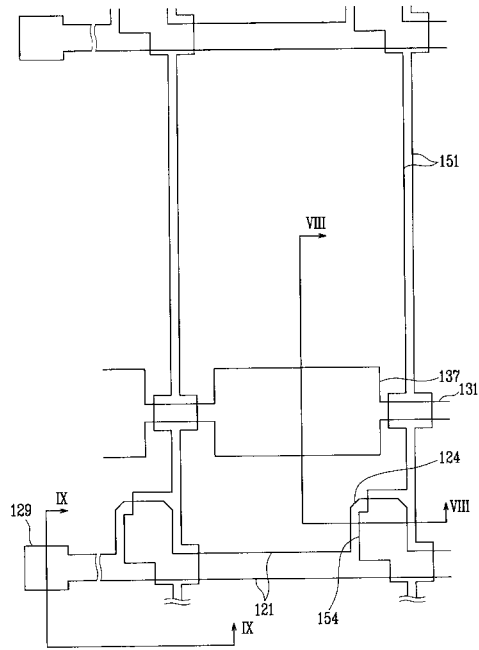
【 図 5 】



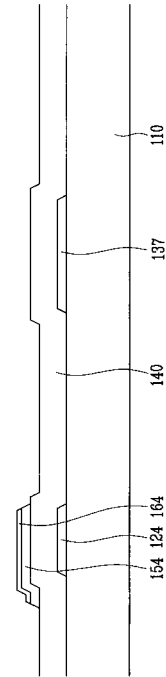
【 図 6 】



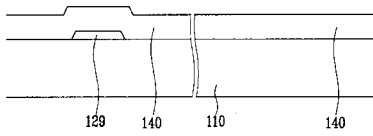
【 図 7 】



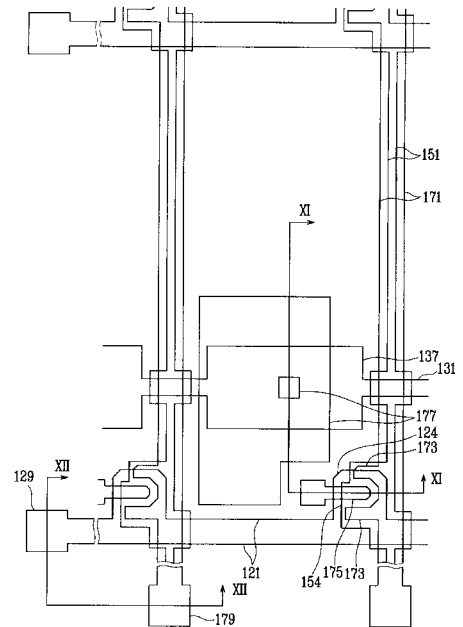
【 図 8 】



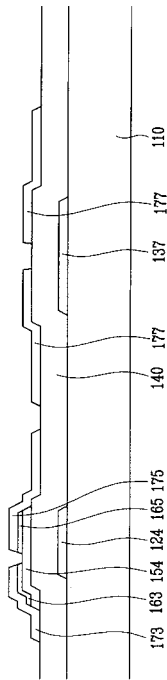
【 図 9 】



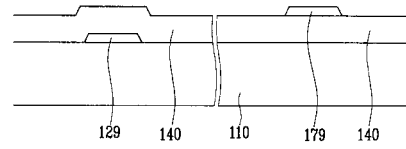
【 図 10 】



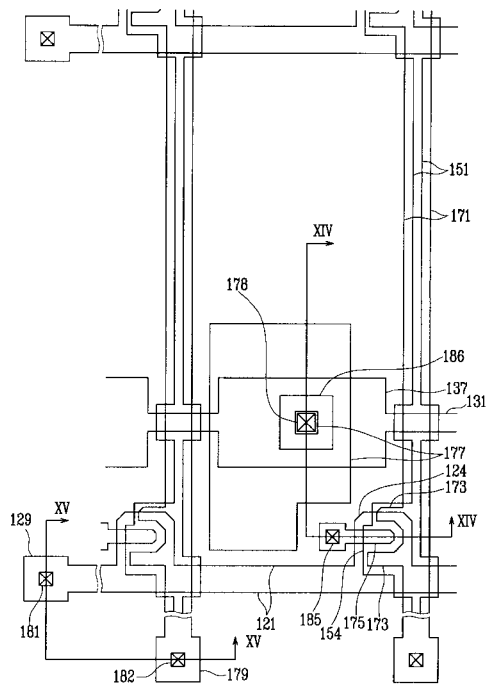
【図 1 1】



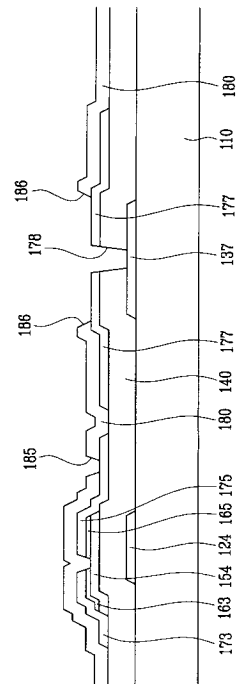
【図 1 2】



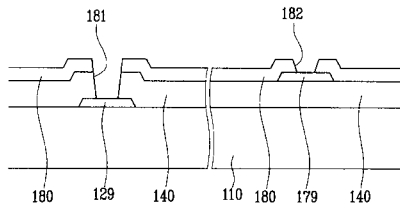
【図 1 3】



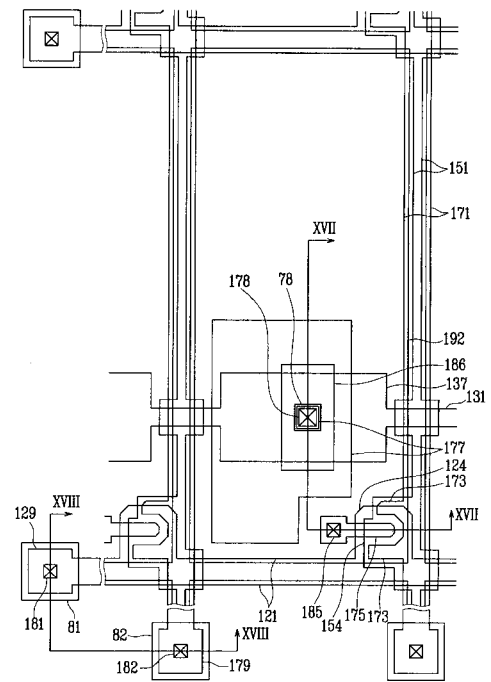
【図 1 4】



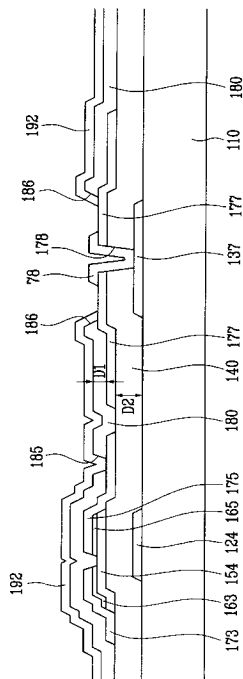
【図 15】



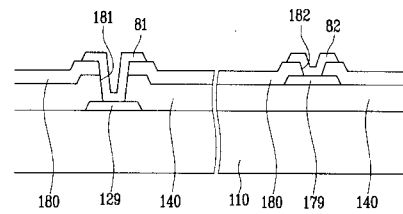
【図 16】



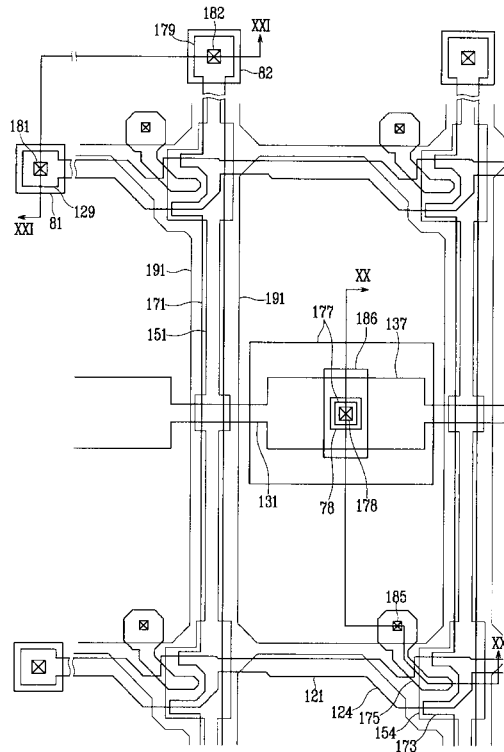
【図 17】



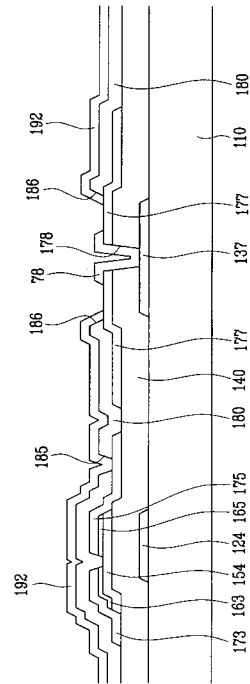
【図 18】



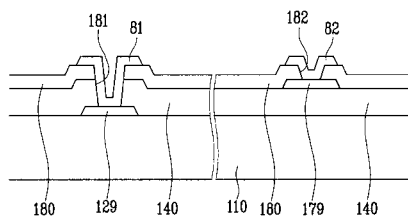
【図 19】



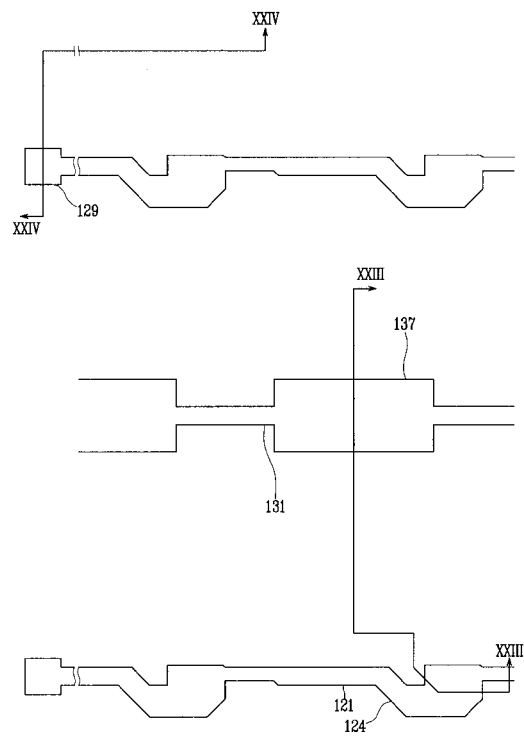
【図 20】



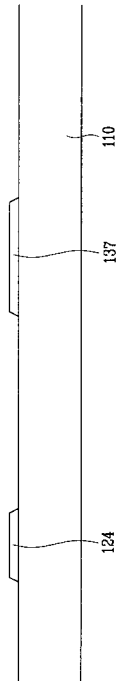
【図 21】



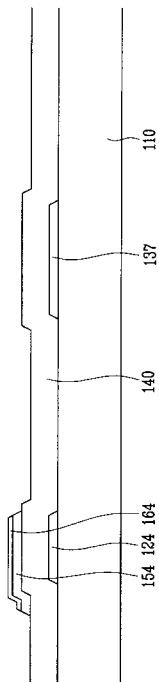
【図 22】



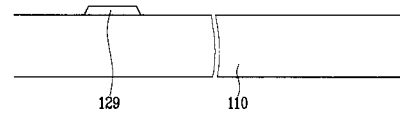
【図 2 3】



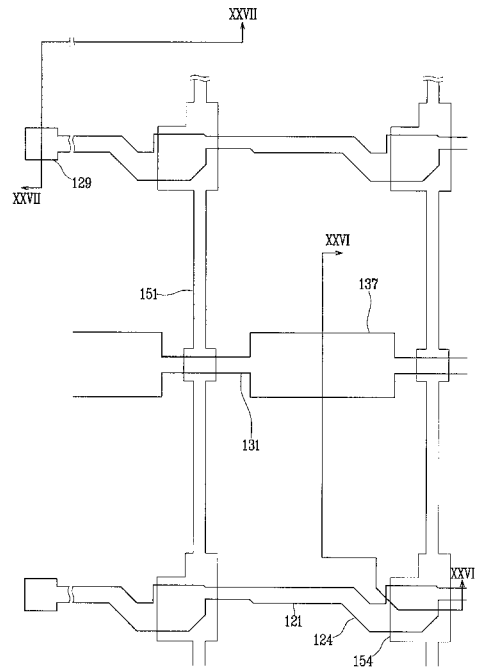
【図 2 6】



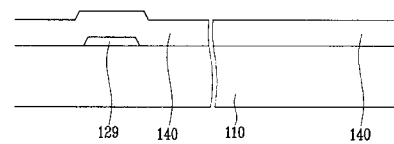
【図 2 4】



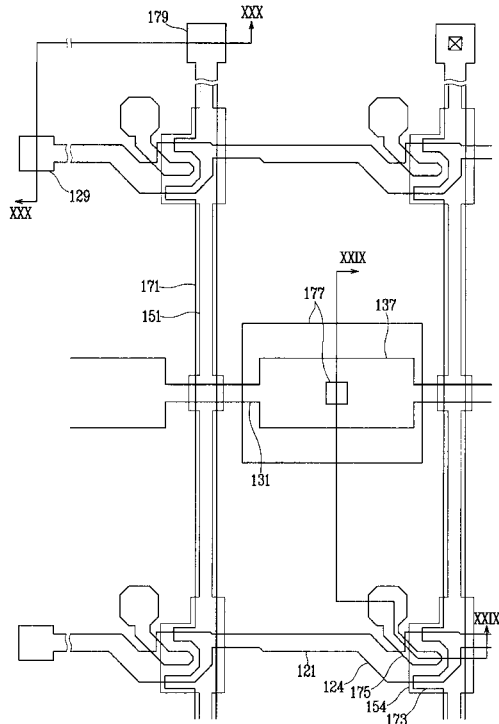
【図 2 5】



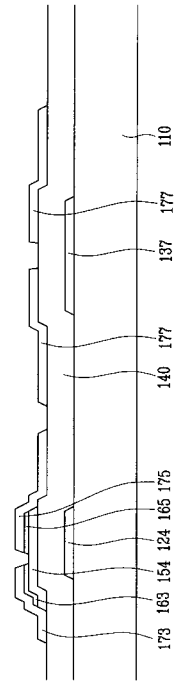
【図 2 7】



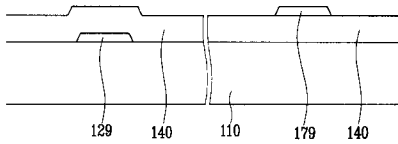
【図 28】



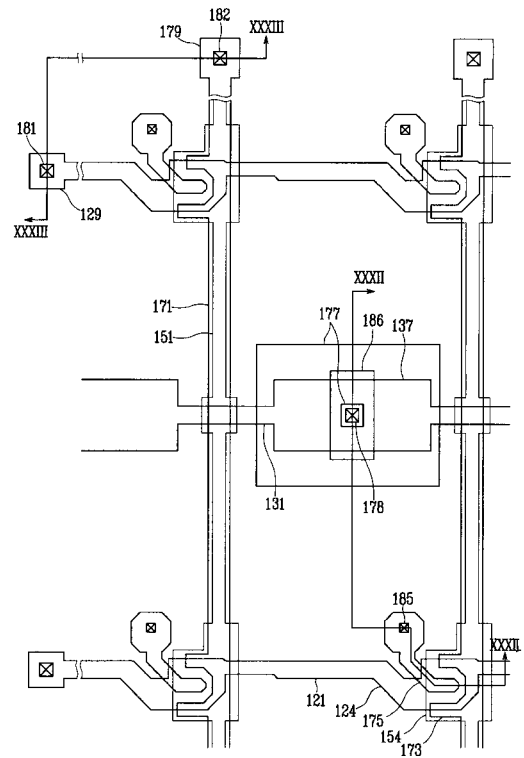
【図 29】



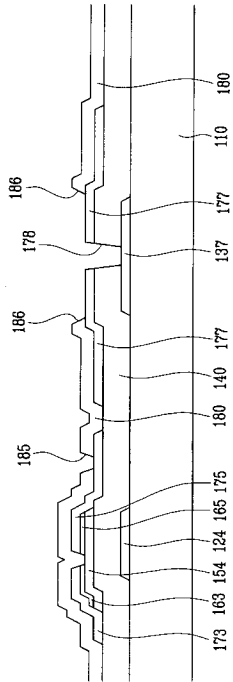
【図 30】



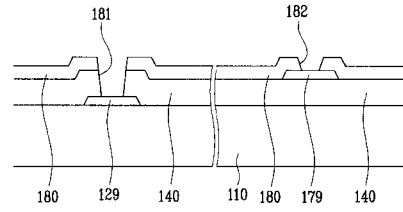
【図 31】



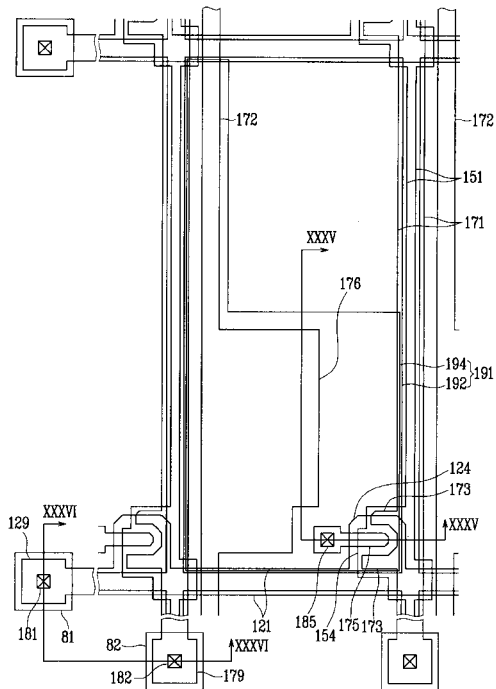
【図 3 2】



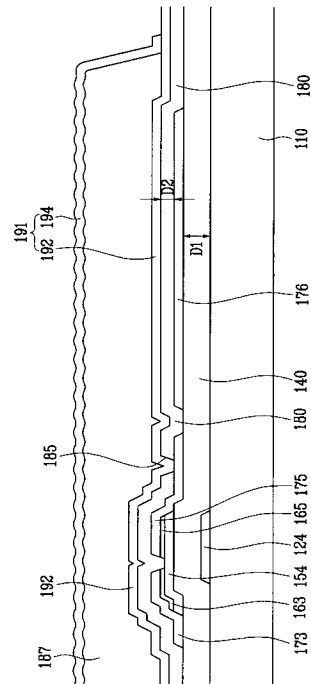
【図 3 3】



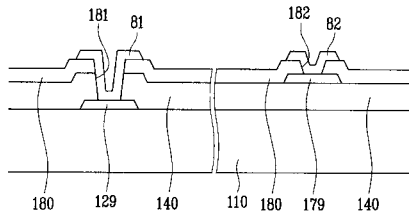
【図 3 4】



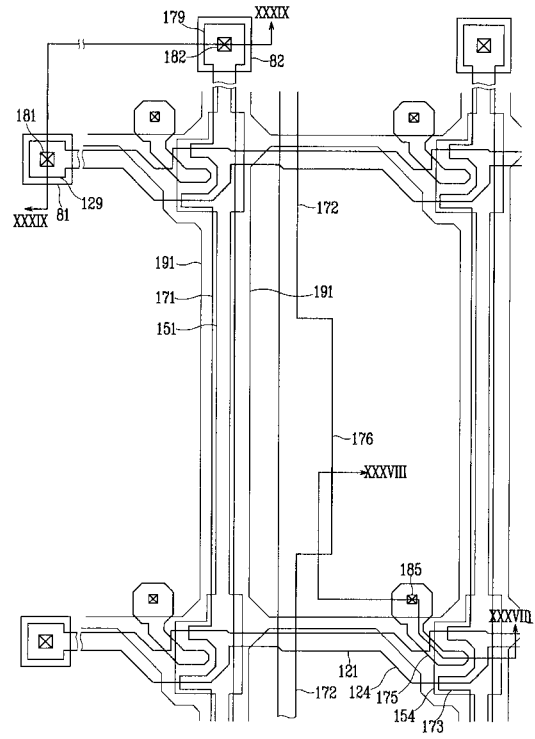
【図 3 5】



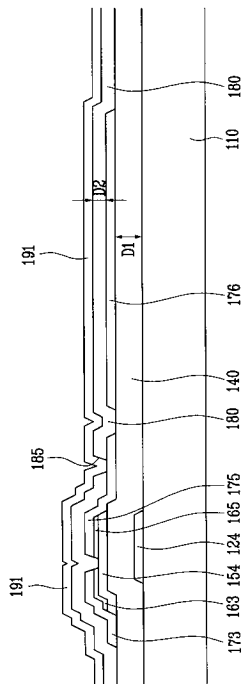
【図 3 6】



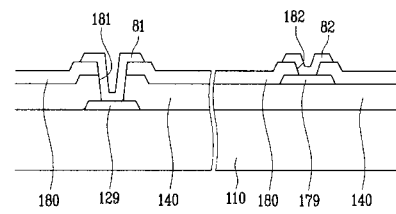
【図 3 7】



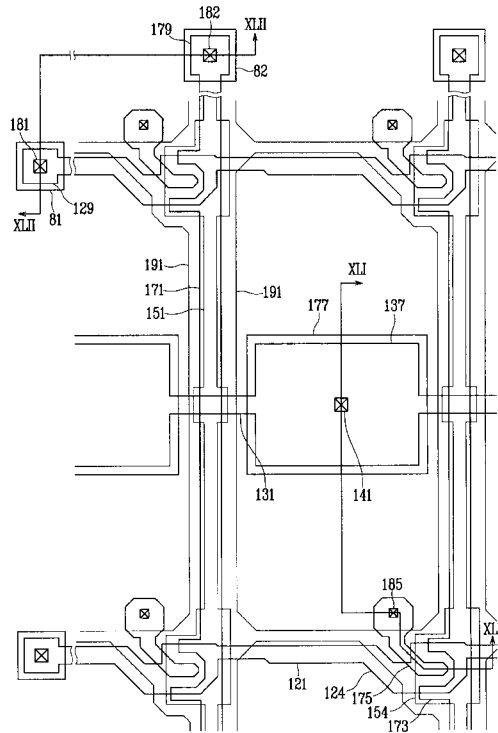
【図 3 8】



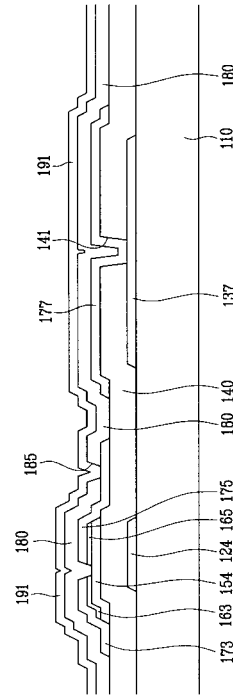
【図 3 9】



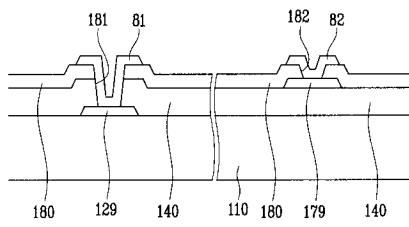
【図 40】



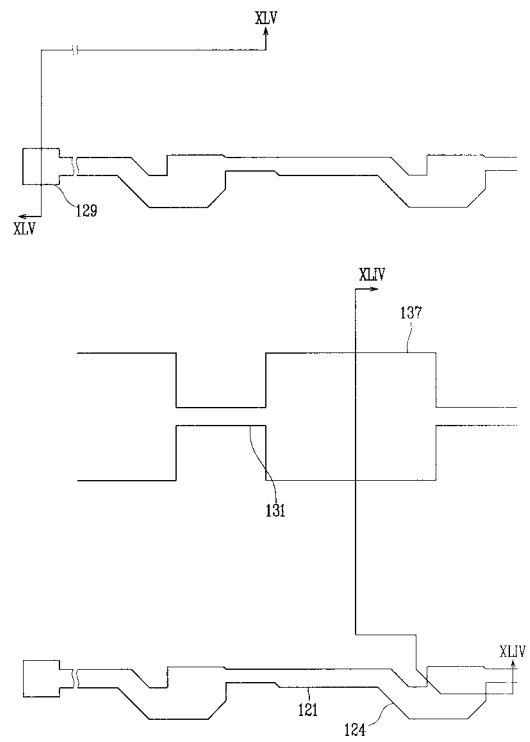
【図 41】



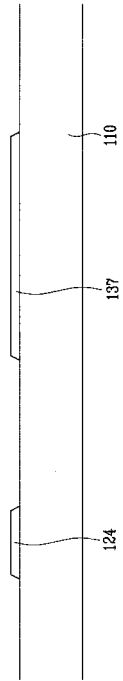
【図 42】



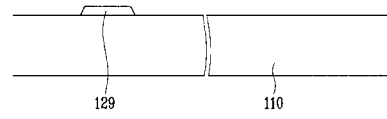
【図 43】



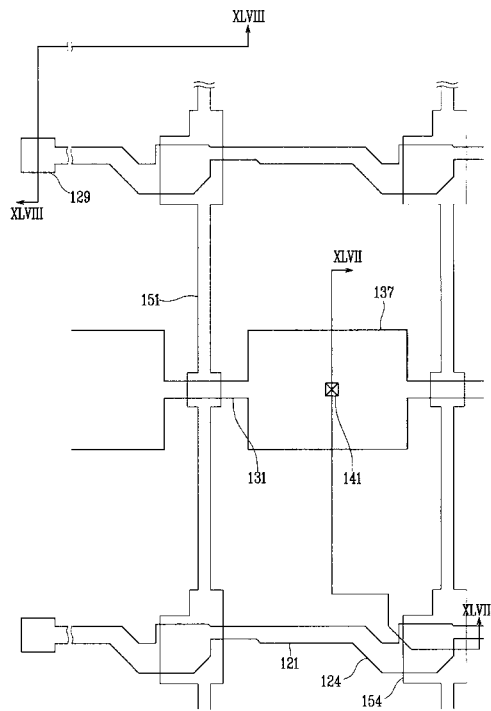
【図 4 4】



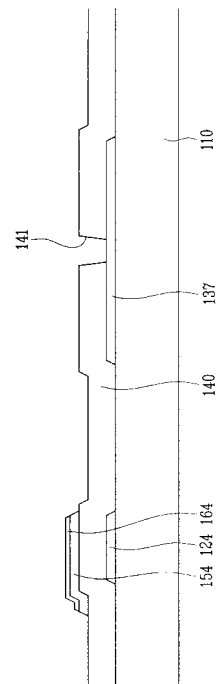
【図 4 5】



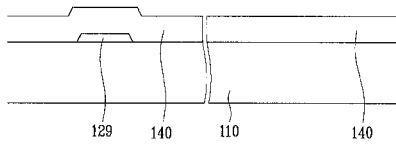
【図 4 6】



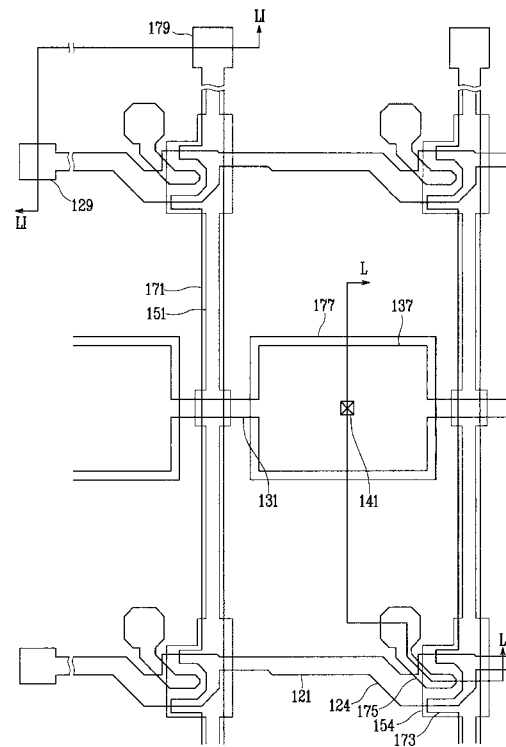
【図 4 7】



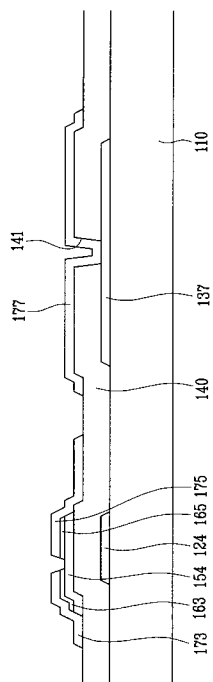
【図 48】



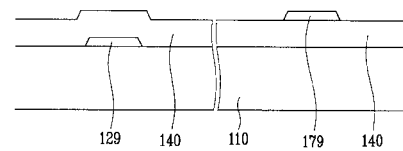
【図 49】



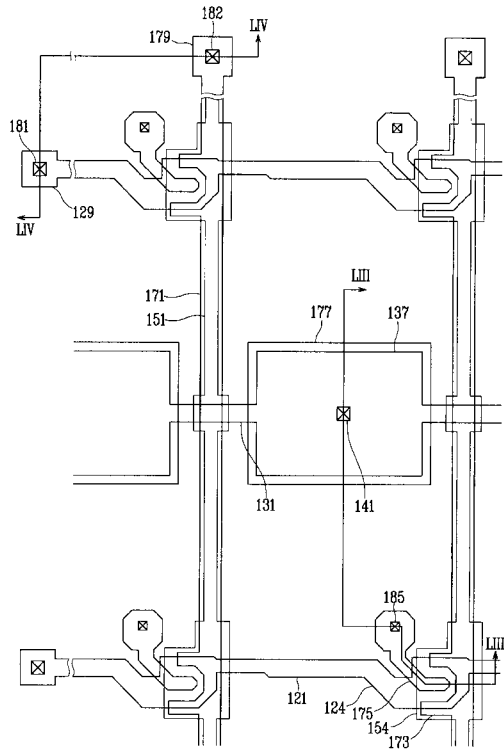
【図 50】



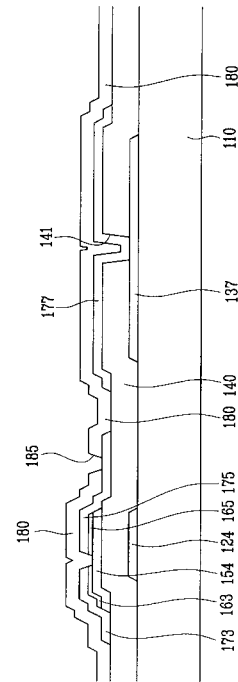
【図 51】



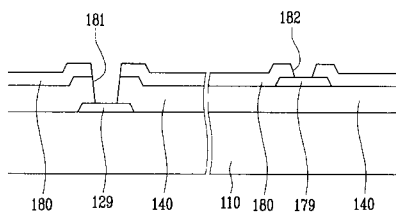
【図 5 2】



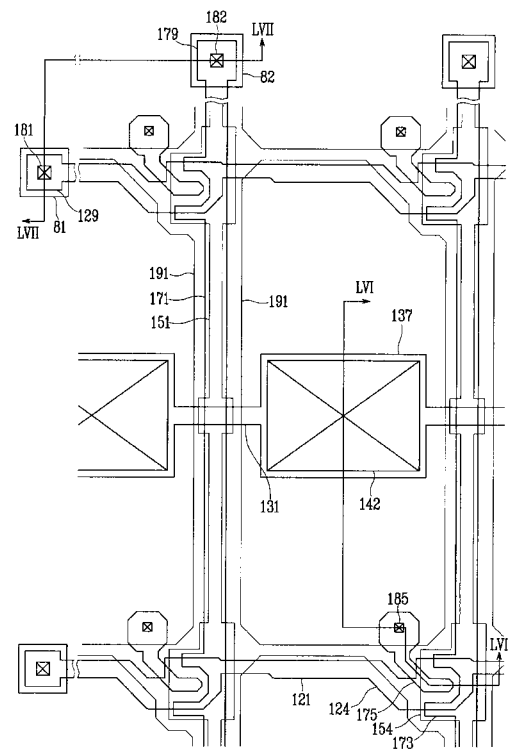
【図 5 3】



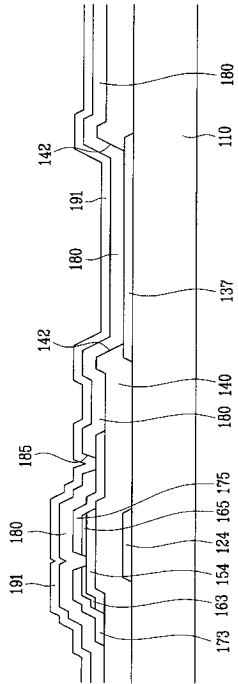
【図 5 4】



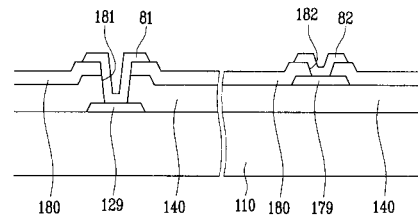
【図 5 5】



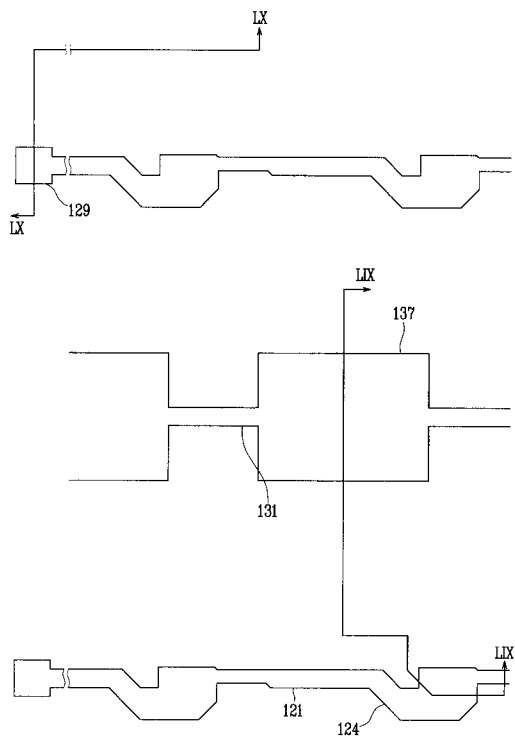
【図 5 6】



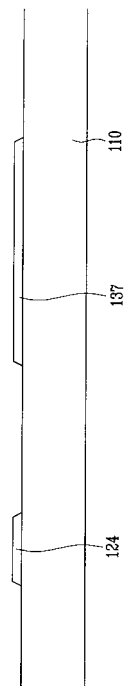
【図 5 7】



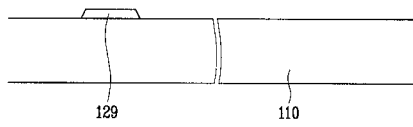
【図 5 8】



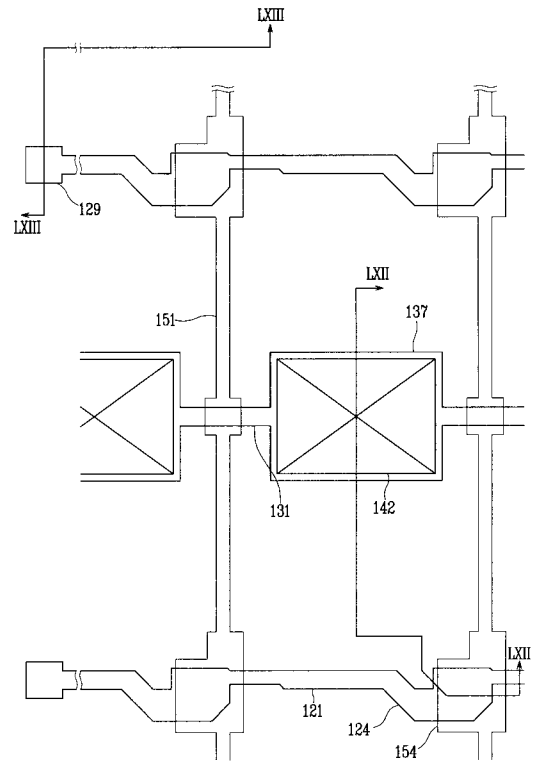
【図 5 9】



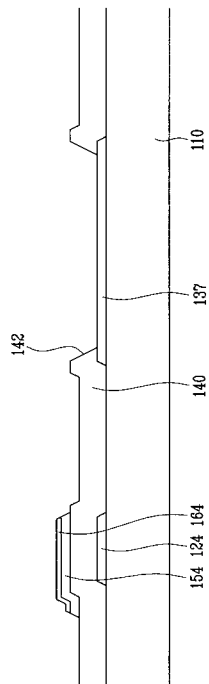
【図 6 0】



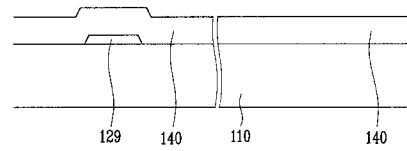
【図 6 1】



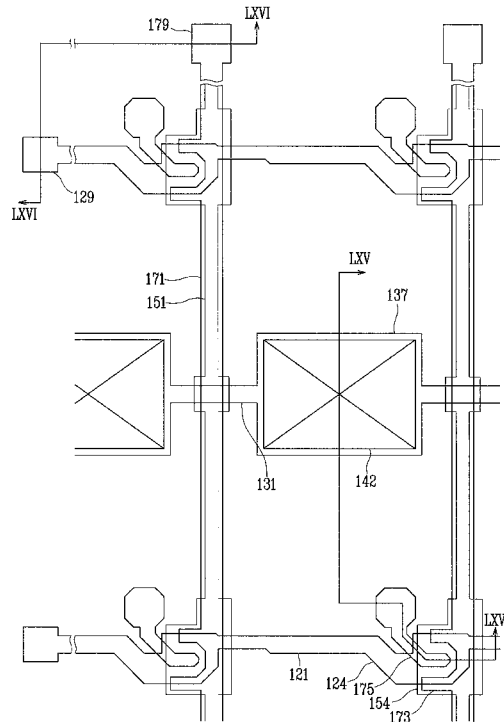
【図 6 2】



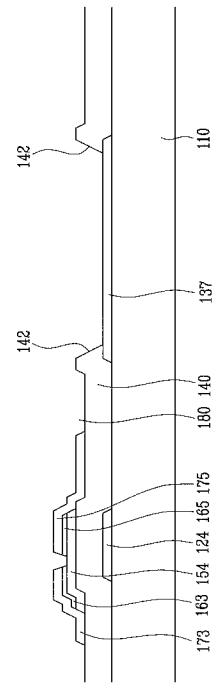
【図 6 3】



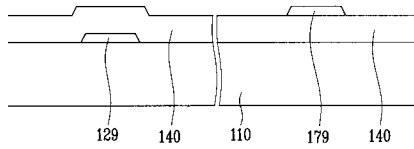
【図 6 4】



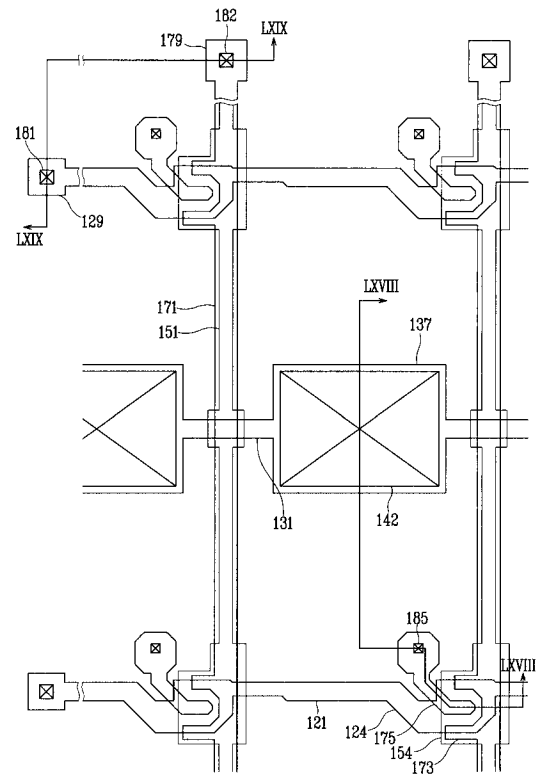
【図 6 5】



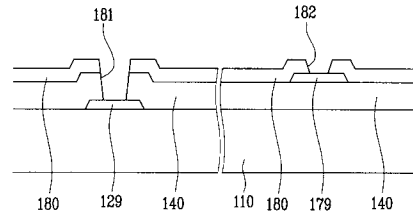
【図 6 6】



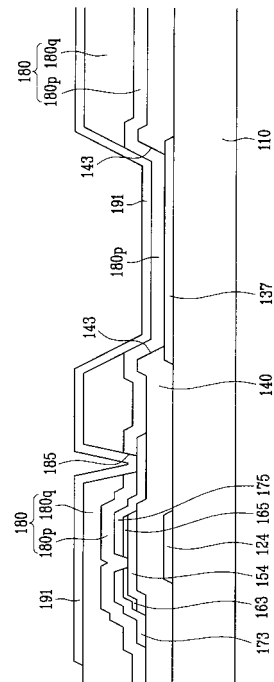
【図 6 7】



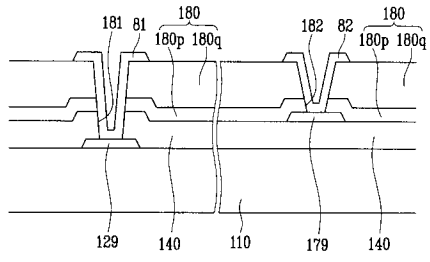
【 図 6 9 】



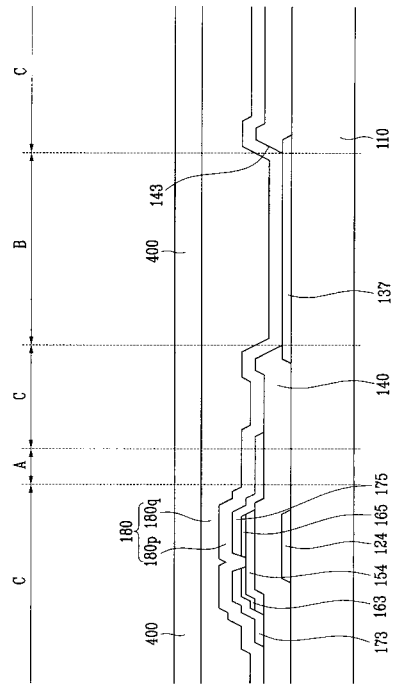
【 圖 7 1 】



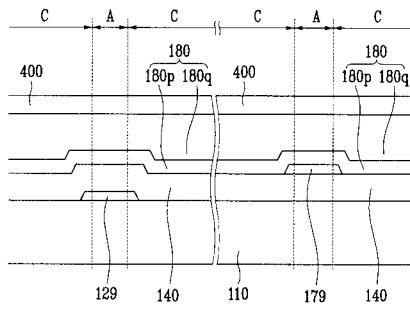
【図 7 2】



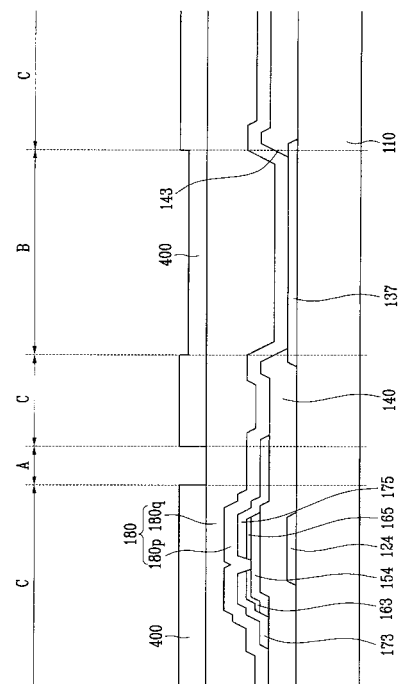
【図 7 3】



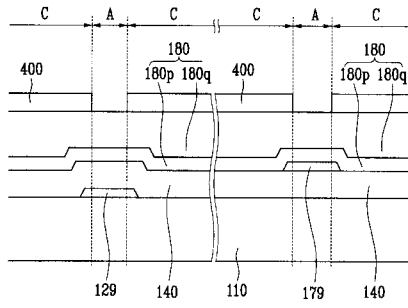
【図 7 4】



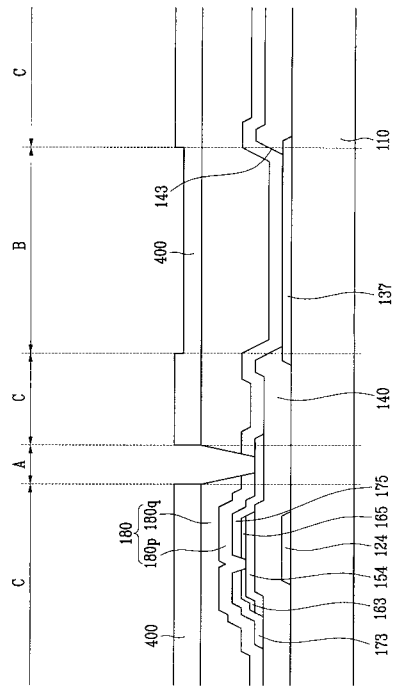
【図 7 5】



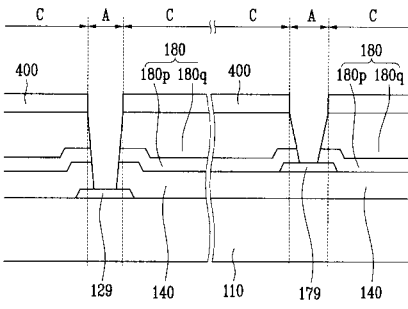
【図 7 6】



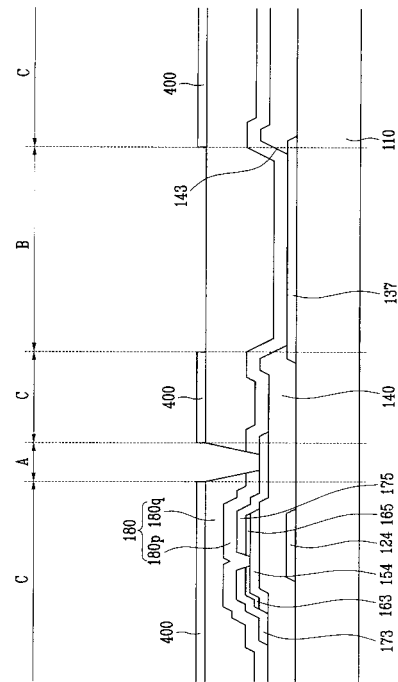
【図 7 7】



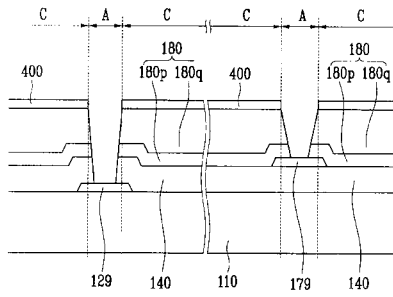
【図 7 8】



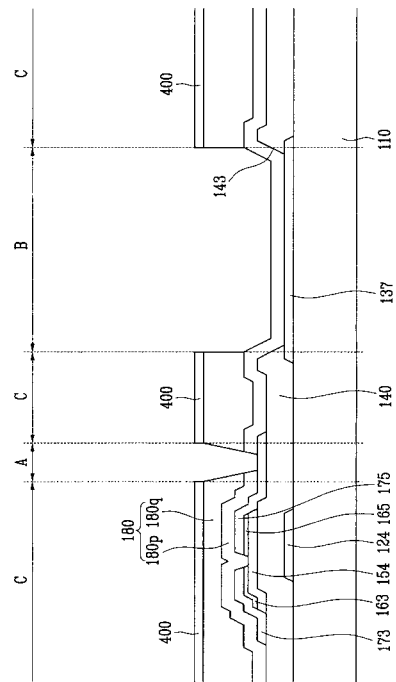
【図 7 9】



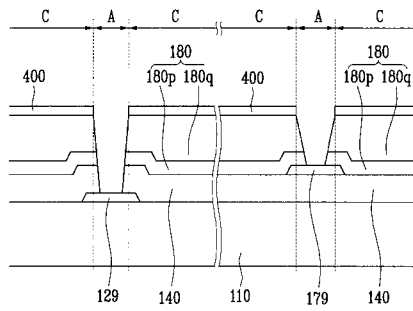
【図 80】



【図 81】



【図 82】



フロントページの続き

(72)発明者 朴 大 眞

大韓民国仁川市延壽区延壽3洞ブンリム1次アパート105棟402号

(72)発明者 林 智 淑

大韓民国大田市中心区太平2洞サムプアパート2団地27棟123号

(72)発明者 朴 湧 基

大韓民国京畿道始興市銀杏洞ソンウォンアパート103棟205号

F ターム(参考) 2H092 GA40 GA51 GA59 GA60 JA26 JA34 JA40 JA44 JA46 JA47
JB07 JB08 JB24 JB33 JB57 JB66 JB69 KA05 MA04 MA05
MA14 MA15 MA18 MA19 MA20 NA07 PA12
5C094 AA02 AA53 AA54 AA60 BA03 BA43 CA19 DA13 DA15 EA04
EA06 EA10 FB01 FB16

专利名称(译)	薄膜晶体管显示基板及其制造方法		
公开(公告)号	JP2007183629A5	公开(公告)日	2010-01-21
申请号	JP2006347060	申请日	2006-12-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	梁英子ヨル 朴大眞 林智淑 朴湧基		
发明人	梁 英 ▲チヨル▼ 朴 大 眞 林 智 淑 朴 湧 基		
IPC分类号	G09F9/30 G02F1/1368 G02F1/1343		
CPC分类号	H01L27/1255		
FI分类号	G09F9/30.338 G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA40 2H092/GA51 2H092/GA59 2H092/GA60 2H092/JA26 2H092/JA34 2H092/JA40 2H092/JA44 2H092/JA46 2H092/JA47 2H092/JB07 2H092/JB08 2H092/JB24 2H092/JB33 2H092/JB57 2H092/JB66 2H092/JB69 2H092/KA05 2H092/MA04 2H092/MA05 2H092/MA14 2H092/MA15 2H092/MA18 2H092/MA19 2H092/MA20 2H092/NA07 2H092/PA12 5C094/AA02 5C094/AA53 5C094/AA54 5C094/AA60 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DA15 5C094/EA04 5C094/EA06 5C094/EA10 5C094/FB01 5C094/FB16 2H192/AA24 2H192/BC31 2H192/BC63 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB35 2H192/CB42 2H192/CB46 2H192/CC42 2H192/DA12 2H192/DA52 2H192/DA63 2H192/FA65 2H192/HA44		
优先权	1020050133513 2005-12-29 KR 1020060100745 2006-10-17 KR		
其他公开文献	JP2007183629A		

摘要(译)

要解决的问题：提供一种具有大容量存储电容器的薄膜晶体管（TFT）显示基板，并提供一种TFT显示基板的制造方法，其中存储电容器的保持容量变大。解决方案：本发明的TFT显示基板具有大的保持容量的存储电容器，而不降低显示装置的开口率，通过在相对薄的保护膜上叠加两个导体而不增加用于构成液体的叠加导体的面积晶体电容器，或者，通过在不透明反射电极下面设置维持电极。Ž