

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-251772

(P2006-251772A)

(43) 公開日 平成18年9月21日(2006.9.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G09G 3/20 612J	5C080
	G09G 3/20 633P	
	G09G 3/20 680G	
審査請求 未請求 請求項の数 17 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2005-365309 (P2005-365309)
 (22) 出願日 平成17年12月19日 (2005.12.19)
 (31) 優先権主張番号 094107528
 (32) 優先日 平成17年3月11日 (2005.3.11)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 504245712
 チー メイ オプトエレクトロニクス コ
 ーポレーション
 CHI MEI OPTOELECTRO
 NICS CORPORATION
 台湾 74144 タイナン カウンティ
 ー タイナン サイエンスベースト イ
 ンダストリアル パーク チーイー
 ロード ナンバー1
 No. 1, Chi-Yeh Road,
 Tainan County, Tai
 nan Science Based I
 ndustrial Park, Tai
 wan 74144

最終頁に続く

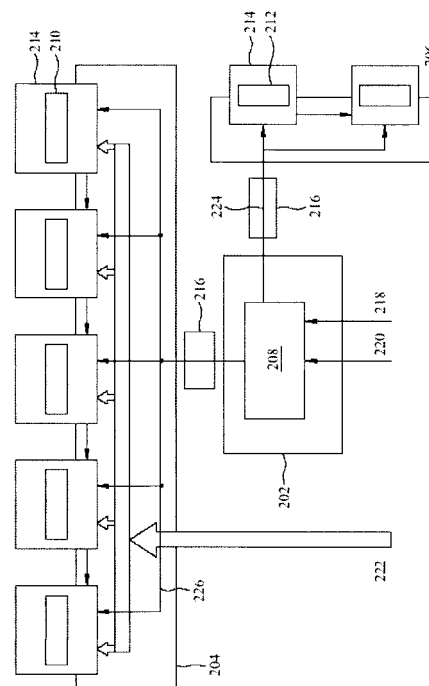
(54) 【発明の名称】 液晶ディスプレイの駆動回路

(57) 【要約】 (修正有)

【課題】 液晶ディスプレイにおけるタイミング制御回路の入力ピン、出力ピンの数を削減して、コスト低減を図る。

【解決手段】 液晶ディスプレイの駆動回路は、画素データ線とタイミング制御回路とソース・ドライバ回路とゲート・ドライバ回路とを有し、画素データ線は、ソース・ドライバ回路に接続されており、タイミング制御回路を介することなく、画素データをソース・ドライバ回路に伝達する構成とし、タイミング制御回路は、クロック信号と同期化信号を入力し、ソース制御信号とゲート制御信号を出力し、ゲート・ドライバ回路は、ゲート制御信号を入力し、オン/オフ信号を出力し、ソース・ドライバ回路は、タイミング制御回路からソース制御信号を入力するとともに、画素データ線から画素データをタイミング制御回路を介することなく入力し、画像データ信号を出力する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

液晶ディスプレイの駆動回路であり、

クロック信号と同期化信号を入力し、ソース制御信号とゲート制御信号を出力するタイミング制御回路と、

前記タイミング制御回路に電氣的に接続されているソース・ドライバ回路と、

前記タイミング制御回路に電氣的に接続されており、前記ゲート制御信号を入力してオン/オフ信号を出力するゲート・ドライバ回路と、

前記ソース・ドライバ回路に接続されており、画素データを前記タイミング制御回路を介することなく前記ソース・ドライバ回路に伝達する画素データ線とを有し、

前記ソース・ドライバ回路は、前記タイミング制御回路から前記ソース制御信号を入力するとともに、画素データ線から前記タイミング制御回路を介することなく前記画素データを入力し、画像データ信号を出力することを特徴とする駆動回路。

【請求項 2】

前記タイミング制御回路は、制御基板に設けられていることを特徴とする請求項 1 の駆動回路。

【請求項 3】

前記ソース・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けられていることを特徴とする請求項 1 又は 2 の駆動回路。

【請求項 4】

前記ソース・ドライバ回路は、X 基板に接続されていることを特徴とする請求項 3 の駆動回路。

【請求項 5】

前記ゲート・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けられていることを特徴とする請求項 1 から 4 のいずれかの駆動回路。

【請求項 6】

前記ゲート・ドライバ回路は、Y 基板に接続されていることを特徴とする請求項 5 の駆動回路。

【請求項 7】

前記タイミング制御回路は、前記ソース・ドライバ回路とともに、統合ソース・ドライバ回路に統合されていることを特徴とする請求項 1 の駆動回路。

【請求項 8】

前記統合ソース・ドライバ回路を複数有しており、

複数の統合ソース・ドライバ回路を互いに接続しており、ソース・ドライバ回路の動作状態を示す信号を他の統合ソース・ドライバ回路に伝達する信号線が付加されていることを特徴とする請求項 7 の駆動回路。

【請求項 9】

前記統合ソース・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けられていることを特徴とする請求項 7 又は 8 の駆動回路。

【請求項 10】

前記タイミング制御回路は、前記ゲート・ドライバ回路とともに、統合ゲート・ドライバ回路に統合されていることを特徴とする請求項 1 の駆動回路。

【請求項 11】

前記統合ゲート・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けられていることを特徴とする請求項 10 の駆動回路。

【請求項 12】

液晶ディスプレイの駆動回路であり、

画素データを伝達する画素データ線と、

クロック信号と同期化信号を入力してソース制御信号とゲート制御信号を出力するタイミング制御回路と、前記ソース制御信号と前記画素データを入力して画像データ信号を出

10

20

30

40

50

力するソース・ドライバ回路とを有する統合ソース・ドライバ回路と、

前記ゲート制御信号を入力してオン/オフ信号を出力するゲート・ドライバ回路と、
を有する駆動回路。

【請求項 1 3】

前記統合ソース・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けられていることを特徴とする請求項 1 2 の駆動回路。

【請求項 1 4】

前記統合ソース・ドライバ回路を複数有しており、
複数の統合ソース・ドライバ回路を互いに接続しており、ソース・ドライバ回路の動作状態を示す信号を他の統合ソース・ドライバ回路に伝達する信号線が付加されていることを特徴とする請求項 1 2 又は 1 3 の駆動回路。 10

【請求項 1 5】

液晶ディスプレイの駆動回路であり、
画素データを伝達する画素データ線と、
クロック信号と同期化信号を入力してソース制御信号とゲート制御信号を出力するタイミング制御回路と、前記ゲート制御信号を入力してオン/オフ信号を出力するゲート・ドライバ回路とを有する統合ゲート・ドライバ回路と、
前記ソース制御信号と前記画素データを入力して画像データ信号を出力するソース・ドライバ回路と、
を有する駆動回路。 20

【請求項 1 6】

前記統合ゲート・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けられていることを特徴とする請求項 1 5 の駆動システム。

【請求項 1 7】

前記統合ゲート・ドライバ回路を複数有しており、
複数の統合ゲート・ドライバ回路を互いに接続しており、ゲート・ドライバ回路の動作状態を示す信号を他の統合ゲート・ドライバ回路に伝達する信号線が付加されていることを特徴とする請求項 1 5 又は 1 6 の駆動回路。

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本発明は、液晶ディスプレイの駆動回路に関する。

【背景技術】

【0 0 0 2】

近年、様々なフラット・パネル・ディスプレイが開発されている。そのなかでも、液晶ディスプレイは、高画質、小型、軽量、低駆動電圧、低消費電力、幅広い応用性といった利点を持つことから、中型又は小型の携帯用テレビ、携帯電話、カムコーダ、ノートパソコン、デスクトップ・ディスプレイ、プロジェクション・テレビ等の様々な家電製品やコンピュータ製品に幅広く採用されている。従来の陰極線管方式のディスプレイに代わり、液晶ディスプレイ、特に、薄膜トランジスタ液晶ディスプレイが主流となりつつある。 40

【0 0 0 3】

液晶ディスプレイでは、ディスプレイのトランジスタにオンかオフの信号を送信するために、ゲート・ドライバ回路が使用される。従って、ゲート・ドライバ回路はよくスキャン・ドライバ回路と称される。ソース・ドライバ回路は、ディスプレイにイメージ信号を送信するように、デジタル信号をアナログ電圧値に変換する役割を持つ。従って、ソース・ドライバ回路はよくデータ・ドライバ回路と称される。スキャン線は、起動パルス周期に従って、スイッチングトランジスタを制御する役割を持つ。スイッチングトランジスタがオンの時、データ線は、スイッチングトランジスタを介して、液晶ユニットに画素データを入力する。液晶ディスプレイは、ゲート・ドライバ回路とソース・ドライバ回路を制御するための制御信号を生成するタイミング制御回路をさらに有しており、それにより画 50

像の電子信号がディスプレイに送信される。

【 0 0 0 4 】

図 1 に示すように、従来の液晶ディスプレイの駆動回路は、タイミング制御回路 1 0 8 と、ソース・ドライバ回路 1 1 0 と、ゲート・ドライバ回路 1 1 2 を有している。タイミング制御回路 1 0 8 は、制御基板 1 0 2 に設けられている。ソース・ドライバ回路 1 1 0 は、テープ・キャリア・パッケージ (T C P : tape carrier package) やチップ・オン・フィルム (C O F : chip on film) 1 1 4 によって設けられており、誘導異方性フィルム (A C F : anisotropic conductive film) 等を用いて、X 基板 1 0 4 の信号線と電源に電氣的に接続されている。ゲート・ドライバ回路 1 1 2 は、テープ・キャリア・パッケージ 1 1 4 によって構成されており、誘導異方性フィルムを使用して、Y 基板 1 0 6 の信号線と電源に電氣的に接続されている。X 基板 1 0 4 と Y 基板 1 0 6 は、電気信号を処理するために使用される。フレキシブル印刷回路基板 1 1 6 は、制御基板 1 0 2 を X 基板 1 0 4 に、そして制御基板 1 0 2 を Y 基板 1 0 6 に接続するために使用される。

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

従来の薄膜トランジスタ液晶ディスプレイの駆動システムでは、タイミング制御回路 1 0 8 は、クロック信号 1 1 8 と同期化信号 1 2 0 と画素データ 1 2 2 を入力し、同期化信号 1 2 0 と画素データ 1 2 2 に基づいて、ゲート制御信号 1 2 4 と、ソース・ドライバ回路 1 1 0 に提供されるデータ 1 2 6 と、ソース制御信号 1 2 8 を生成する。データ 1 2 6 と画素データ 1 2 2 は略同一である。タイミング制御回路 1 0 8 は、画素データ 1 2 2 を入力し、データ 1 2 6 を出力するために、多数の入力ピンや出力ピンを必要とする。そのことが、コスト削減の障害となっている。

20

本発明は、上記の課題を解決する。本発明は、タイミング制御回路が必要とする入力ピンや出力ピンの数を削減することができる液晶ディスプレイの駆動技術を提供する。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明に係る液晶ディスプレイの駆動回路では、外部から入力された画素データが、タイミング制御回路を介することなく、ソース・ドライバ回路に入力される。

タイミング制御回路に画素データを入力しないことから、タイミング制御回路が必要とする入力ピンや出力ピンの数を削減することができる。それにより、タイミング制御回路の構成を簡素にできるとともに、印刷回路基板 (P C B : printed circuit board) 等による配線を低減することができる。この液晶ディスプレイの駆動回路によると、その製造コストを削減することができる。

30

【 0 0 0 7 】

発明によって具現化される一の液晶ディスプレイの駆動回路は、タイミング制御回路とソース・ドライバ回路とゲート・ドライバ回路と画素データ線を有する。タイミング制御回路は、クロック信号と同期化信号を入力して、ソース制御信号とゲート制御信号を出力する。ソース・ドライバ回路は、タイミング制御回路に電氣的に接続されているとともに、画素データ線に接続されている。ソース・ドライバ回路は、タイミング制御回路からソース制御信号を入力するとともに、画素データ線からタイミング制御回路を介することなく画素データを入力し、画像データ信号を出力する。ゲート・ドライバ回路は、タイミング制御回路に電氣的に接続されており、ゲート制御信号を入力してオン / オフ信号を出力する。

40

この液晶ディスプレイの駆動回路では、画素データが、タイミング制御回路を介することなく、ソース・ドライバ回路に入力される。画素データをタイミング制御回路に入力しないことから、画素データを入出力するためピンをタイミング制御回路に設ける必要がない。

【 0 0 0 8 】

上記の駆動回路において、ソース・ドライバ回路とゲート・ドライバ回路は、いずれも

50

テープ・キャリア・パッケージ又はガラス基板パッケージによって設けることが好ましい。

【0009】

発明によって具現化される他の液晶ディスプレイの駆動回路は、画素データ線と統合ソース・ドライバ回路とゲート・ドライバ回路を有する。画素データ線は、画素データを伝達する。統合ソース・ドライバ回路は、タイミング制御回路とソース・ドライバ回路を有する。タイミング制御回路は、クロック信号と同期化信号を入力し、ソース制御信号とゲート制御信号を出力する。ソース・ドライバ回路は、タイミング制御回路からソース制御信号を入力するとともに、画素データ線から画素データを入力し、画像データ信号を出力する。ゲート・ドライバ回路は、統合ソース・ドライバ回路のタイミング制御回路からゲート制御信号を入力し、オン/オフ信号を出力する。

10

この液晶ディスプレイの駆動回路では、画素データが、タイミング制御回路を介することなく、ソース・ドライバ回路に入力される。タイミング制御回路がソース・ドライバ回路と統合されているので、画素データを入出力するピンを有するタイミング制御回路を設ける必要がない。

【0010】

上記の駆動回路では、統合ソース・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けることが好ましい。

また、上記の駆動回路が複数の統合ソース・ドライバ回路を有する場合、複数の統合ソース・ドライバ回路を互いに接続しており、ソース・ドライバ回路の動作状態を示す信号を他の統合ソース・ドライバ回路に伝達する信号線をさらに有することが好ましい。

20

【0011】

発明によって具現化されるまた別の液晶ディスプレイの駆動回路は、画素データ線とソース・ドライバ回路と統合ゲート・ドライバ回路を有する。画素データ線は画素データを伝達する。統合ゲート・ドライバ回路は、タイミング制御回路とゲート・ドライバ回路を有する。タイミング制御回路は、クロック信号と同期化信号を入力し、ソース制御信号とゲート制御信号を出力する。ゲート・ドライバ回路は、タイミング制御回路からゲート制御信号を入力し、オン/オフ信号を出力する。ソース・ドライバ回路は、タイミング制御回路からソース制御信号を入力するとともに、画素データ線からタイミング制御回路を介することなく画素データを入力し、画像データ信号を出力する。

30

この液晶ディスプレイの駆動回路では、画素データが、タイミング制御回路を介することなく、ソース・ドライバ回路に入力される。タイミング制御回路がゲート・ドライバ回路と統合されているので、画素データを入出力するピンを有するタイミング制御回路を設ける必要がない。

【0012】

上記の駆動回路では、統合ゲート・ドライバ回路は、テープ・キャリア・パッケージ又はガラス基板パッケージによって設けることが好ましい。

また、上記の駆動回路が複数の統合ゲート・ドライバ回路を有する場合、複数の統合ゲート・ドライバ回路を互いに接続しており、ゲート・ドライバ回路の動作状態を示す信号を他の統合・ゲート・ドライバ回路に伝達する信号線をさらに有することが好ましい。

40

【発明の効果】

【0013】

本発明によって、タイミング制御回路が必要とする入出力ピンの数を削減することが可能となる。タイミング制御回路を設ける制御基板を縮小、あるいはその制御基板を不要にすることが可能となり、液晶ディスプレイの駆動回路の製造コストを低減することが可能となる。

【発明を実施するための最良の形態】

【0014】

(第1実施形態)

図2は、本発明を実施した第1実施形態の液晶ディスプレイの駆動回路を模式的に示し

50

ている。図 2 に示すように、この駆動回路は、ソース・ドライバ回路 210 と、ゲート・ドライバ回路 212 と、タイミング制御回路 208 を有している。タイミング制御回路 208 は、制御基板 202 に搭載されている。従来のタイミング制御回路と比較して、本実施形態のタイミング制御回路 208 は、入力ピンや出力ピンの数が大幅に少なく、その体積も小さい。ソース・ドライバ回路 210 は、X 基板 204 に接続されている。ゲート・ドライバ回路 212 は、Y 基板 206 に接続されている。X 基板 204 と Y 基板 206 は、電気信号を処理する役割を持つ。ソース・ドライバ回路 210 とゲート・ドライバ回路 212 は、テープ・キャリア 214 あるいはガラス基板に搭載することができる。上記のテープ・キャリア 214 は、テープ・キャリア・パッケージであってもよいし、フィルム・パッケージであってもよい。フレキシブル印刷回路基板 216 は、制御基板 202 を X 基板 204 に、そして制御基板 202 を Y 基板 206 に接続するために使用される。

【0015】

駆動回路の動作が図 2 に示されている。クロック信号 218 と同期化信号 220 はタイミング制御回路 208 に入力される。そして、ゲート制御信号 224 とソース制御信号 226 が、タイミング制御回路 208 から出力される。画素データ 222 は、タイミング制御回路 208 を介することなく、ソース・ドライバ回路 210 に直接入力される。この実施形態では、画素データ 222 がタイミング制御回路 208 に入力されないことから、タイミング制御回路 208 のピン数を削減することができる。従って、タイミング制御回路 208 とそれを搭載する制御基板 202 が縮小されている。さらに、制御基板 202 とソース・ドライバ回路 210 との間の配線は、ソース制御信号 226 を送信するだけの役割を持つ。従って、X 基板 204 の制御基板 202 とソース・ドライバ回路 210 との間の配線が簡単化されている。

【0016】

(第 2 実施形態)

図 3 は、本発明を実施した第 2 実施形態の液晶ディスプレイの駆動回路を模式的に示している。図 3 に示すように、この駆動回路は、少なくとも一つの統合ソース・ドライバ回路 306 と、ゲート・ドライバ回路 320 を有している。統合ソース・ドライバ回路 306 は、X 基板 302 に接続されている。ゲート・ドライバ回路 320 は、Y 基板 304 に接続されている。

統合ソース・ドライバ回路 306 は、ソース・ドライバ回路 316 に統合されたタイミング制御回路 318 を有している。この実施形態では、画素データ 324 は、各統合ソース・ドライバ回路 (例えば、統合ソース・ドライバ回路 306、308、310、312、314 等) に統合されたソース・ドライバ回路 316 に直接入力される。一方、クロック信号 322 と同期化信号 326 は、各統合ソース・ドライバ回路 306、308、310、312、314 のタイミング制御回路 318 に入力される。

【0017】

代表となる任意の統合ソース・ドライバ回路のタイミング制御回路 (例えば、統合ソース・ドライバ回路 306 のタイミング制御回路 318) は、ソース制御信号 328 を、他の各統合ソース・ドライバ回路 (例えば統合ソース・ドライバ回路 308、310、312、314) のソース・ドライバ回路へ出力する。それを受けて、各統合ソース・ドライバ回路 308、310、312、314 のソース・ドライバ回路は、画像データを出力する。また、その代表となる統合ソース・ドライバ回路 306 のタイミング制御回路 318 は、ゲート制御信号 330 を、各ゲート・ドライバ回路 320 に出力する。それを受けて、各ゲート・ドライバ回路 320 は、オン/オフ信号を出力する。このオン/オフ信号は、液晶ディスプレイに設けられているスイッチングトランジスタに入力され、スイッチングトランジスタをオン/オフさせる。

加えて、複数の統合ソース・ドライバ回路 306 は互いに信号線によって接続されており、代表となる統合ソース・ドライバ回路 306 のタイミング制御回路 318 に、各統合ソース・ドライバ回路 308、310、312、314 が出力する教示信号 332 が入力されるようになっている。教示信号 332 は、各統合ソース・ドライバ回路 308、31

10

20

30

40

50

0、312、314の動作状態を示す信号である。タイミング制御回路318は、各統合ソース・ドライバ回路308、310、312、314が出力する教示信号332によって、各統合ソース・ドライバ回路308、310、312、314の動作状態を把握する。

【0018】

統合ソース・ドライバ回路306、308、310、312、314は略同一である。そのことから、複数の統合ソース・ドライバ回路306、308、310、312、314のなかのいずれの統合ソース・ドライバ回路も、代表となる統合ソース・ドライバ回路となることで、そのタイミング制御回路を用いて上記した各種の制御信号を出力することができる。

10

【0019】

この実施形態では、タイミング制御回路がソース・ドライバ回路と統合されているので、従来の駆動回路で必要とされていた制御基板102(図1参照)を備えておらず、配線接続が単純化されており、タイミング制御回路を統合することによって増す体積は、原型のソース・ドライバ回路と比較して大きな差を生じない。また、統合ソース・ドライバ回路は、テープ・キャリア・パッケージあるいはガラス基板パッケージによって設けることができる。

【0020】

(実施形態3)

図4は、本発明を実施した第3実施形態の液晶ディスプレイの駆動回路を模式的に示している。図4に示すように、この駆動回路は、少なくとも一つのソース・ドライバ回路406と統合ゲート・ドライバ回路408を有している。ソース・ドライバ回路406は、X基板402に接続されている。統合ゲート・ドライバ回路408は、Y基板404に接続されている。統合ゲート・ドライバ回路408は、ゲート・ドライバ回路414とタイミング制御回路416を統合することによって構成されている。

20

この駆動回路では、画素データ418が、タイミング制御回路416を介することなく、各ソース・ドライバ回路に直接入力される。クロック信号420は、各ソース・ドライバ回路406と各統合ゲート・ドライバ回路408、410、412に入力される。同期化信号422は、各統合ゲート・ドライバ回路408、410、412のタイミング制御回路416に入力される。

30

代表となる任意の統合ゲート・ドライバ回路のタイミング制御回路(例えば、統合ゲート・ドライバ回路408のタイミング制御回路416)は、ソース制御信号424を、各ソース・ドライバ回路406へ出力する。それを受けて、各ソース・ドライバ回路406は、画像データを出力する。また、代表となる統合ゲート・ドライバ回路408のタイミング制御回路416は、ゲート制御信号426を、各統合ゲート・ドライバ回路(例えば統合ゲート・ドライバ回路410、412)に出力する。それを受けて、各統合ゲート・ドライバ回路は、オン/オフ信号を出力する。

【0021】

統合ゲート・ドライバ回路408、410、412は略同一である。そのことから、複数の統合ゲート・ドライバ回路408、410、412のいずれの一又は複数のタイミング制御回路を用いても、上記した各種の制御信号を出力させることができる。また、統合ゲート・ドライバ回路408、410、412は、テープ・キャリア・パッケージあるいはガラス基板パッケージによって設けることができる。

40

図4に示す実施形態において、統合ゲート・ドライバ回路408、410、412を互いに接続し、統合ゲート・ドライバ回路408、410、412の動作状態を示す信号を、代表となる統合ゲート・ドライバ回路406に入力する信号線(図示せず)を設けることもできる。

【0022】

上記の説明によると、本発明を実施した液晶ディスプレイの駆動回路は、下記の利点を有する。この液晶ディスプレイの駆動回路では、タイミング制御回路に必要なピン数が削

50

減されていることから、製造コストが削減される。また、タイミング制御回路を形成する制御基板を縮小することができる。また、配線接続を簡単化することができる。さらに、本発明を実施した液晶ディスプレイの駆動回路では、ソース・ドライバ回路あるいはゲート・ドライバ回路をタイミング制御回路と統合することによって、タイミング制御回路を形成する制御基板を不要とすることができ、駆動回路の構成を簡単化することができる。

【0023】

以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々な変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独であるいは各種の組み合わせによって技術的有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。本明細書または図面に例示した技術は複数の目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

10

【図面の簡単な説明】

【0024】

【図1】従来の薄膜トランジスタ液晶ディスプレイの駆動回路の構成を示す模式図。

【図2】第1実施形態の液晶ディスプレイの駆動回路の構成を示す模式図。

【図3】第2実施形態の液晶ディスプレイの駆動回路の構成を示す模式図。

【図4】第3実施形態の液晶ディスプレイの駆動回路の構成を示す模式図。

【符号の説明】

20

【0025】

102・・・制御基板

104・・・X基板

106・・・Y基板

108・・・タイミング制御回路

110・・・ソース・ドライバ回路

112・・・ゲート・ドライバ回路

114・・・チップ・オン・フィルム

116・・・フレキシブル印刷回路基板

118・・・クロック信号

30

120・・・同期化信号

122・・・画素データ

124・・・ゲート制御信号

126・・・データ

128・・・ソース制御信号

202・・・制御基板

204・・・X基板

206・・・Y基板

208・・・タイミング制御回路

210・・・ソース・ドライバ回路

40

212・・・ゲート・ドライバ回路

214・・・チップ・オン・フィルム

216・・・フレキシブル印刷回路基板

218・・・クロック信号

220・・・同期化信号

222・・・画素データ

224・・・ゲート制御信号

226・・・ソース制御信号

302・・・X基板

304・・・Y基板

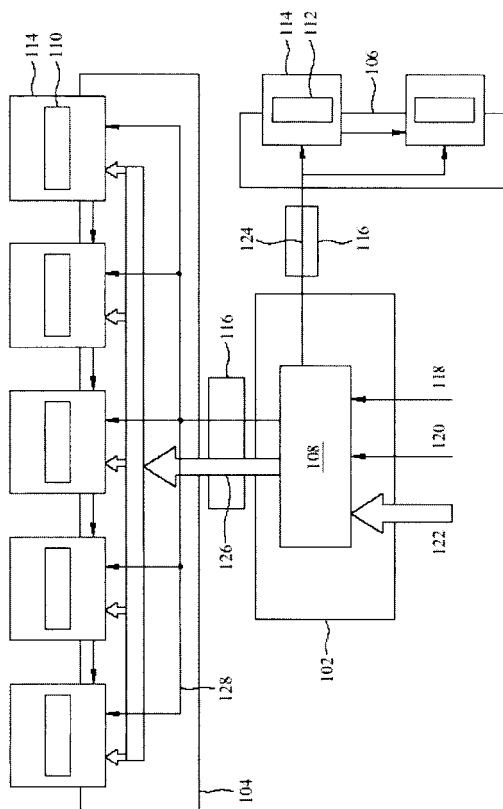
50

- 306、308、310、312、314・・・統合ソース・ドライバ回路
 316・・・ソース・ドライバ回路
 318・・・タイミング制御回路
 320・・・ゲート・ドライバ回路
 322・・・クロック信号
 324・・・画素データ
 326・・・同期化信号
 328・・・ソース制御信号
 330・・・ゲート制御信号
 402・・・X基板
 404・・・Y基板
 406・・・ソース・ドライバ回路
 408、410、412・・・統合ゲート・ドライバ回路
 414・・・ゲート・ドライバ回路
 416・・・タイミング制御回路
 418・・・画素データ
 420・・・クロック信号
 422・・・同期化信号
 424・・・ソース制御信号
 426・・・ゲート制御信号
 428・・・チップ・オン・フィルム
 430・・・フレキシブル印刷回路基板

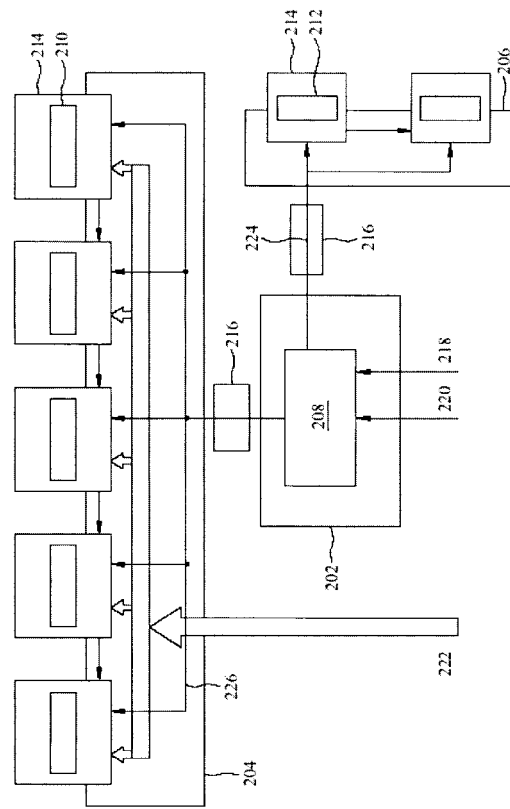
10

20

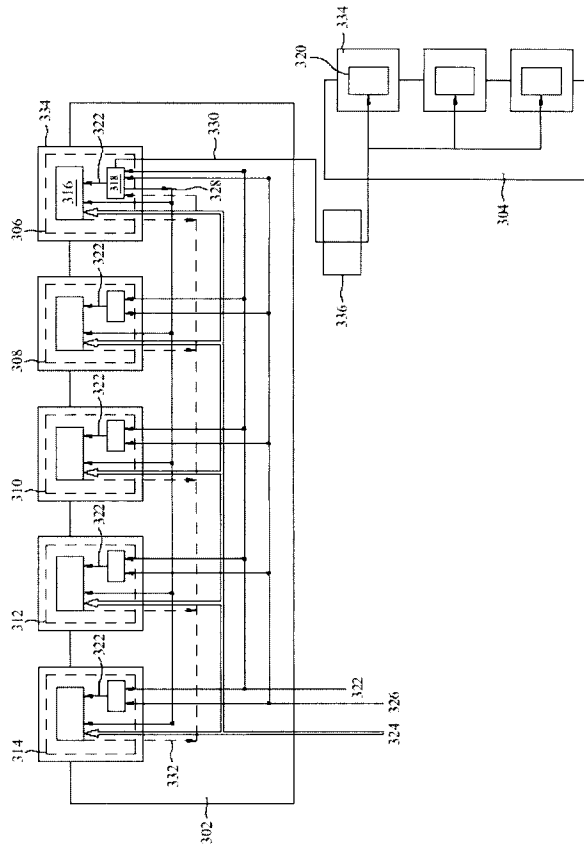
【図1】



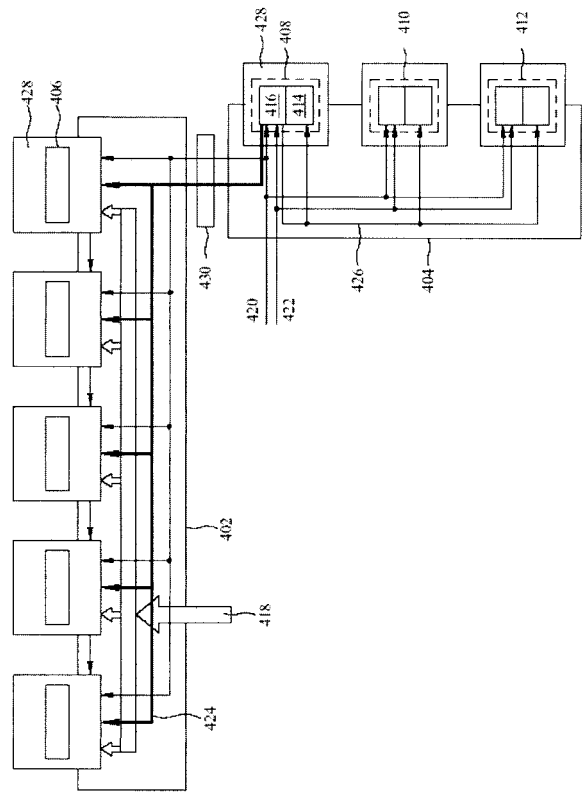
【図2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 2 1 M

(74)代理人 110000110
特許業務法人快友国際特許事務所

(72)発明者 リン - ウエン , ツン
台湾 7 4 1 4 4 タイナン サイエンス - ベースト インダストリアル パーク タイナン カ
ウンティー チー - イェー ロード ナンバー 1 チー メイ オプトエレクトロニクス コーポ
レーション内

F ターム(参考) 2H093 NC09 NC11 NC12 NC16 NC41 ND60 NE01
5C006 AF71 BB16 BC02 BC03 BC11 BC16 BC24 BF16 EB06 FA42
FA51
5C080 AA10 BB05 DD23 DD25 DD28 FF11 JJ02

专利名称(译)	液晶显示器的驱动电路		
公开(公告)号	JP2006251772A	公开(公告)日	2006-09-21
申请号	JP2005365309	申请日	2005-12-19
[标]申请(专利权)人(译)	奇美电子 群创光电股份有限公司		
申请(专利权)人(译)	奇美电子		
[标]发明人	リンウエンツン		
发明人	リン-ウエン, ツン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3648 G09G3/3688 G09G2300/0408		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.J G09G3/20.633.P G09G3/20.680.G G09G3/20.621.M		
F-TERM分类号	2H093/NC09 2H093/NC11 2H093/NC12 2H093/NC16 2H093/NC41 2H093/ND60 2H093/NE01 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC16 5C006/BC24 5C006/BF16 5C006/EB06 5C006/FA42 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD25 5C080/DD28 5C080/FF11 5C080/JJ02 2H193/ZF36 2H193/ZP01		
优先权	094107528 2005-03-11 TW		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过减少液晶显示器中时序控制电路的输入引脚和输出引脚的数量来降低成本。液晶显示器的驱动电路具有像素数据线，时序控制电路，源极驱动器电路和栅极驱动器电路，并且像素数据线连接到源极驱动器电路以进行时序控制。像素数据不经过电路就传送到源极驱动器电路，时序控制电路输入时钟信号和同步信号，输出源极控制信号和栅极控制信号，以及栅极驱动器电路，输入栅极控制信号，输出ON / OFF信号，并且源极驱动器电路不经过时序控制电路而输入来自时序控制电路的源极控制信号和来自像素数据线的像素数据。，输出图像数据信号。[选择图]图2

