

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-251764

(P2006-251764A)

(43) 公開日 平成18年9月21日(2006.9.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G02F 1/133 570	5C080
	G09G 3/20 621F	
	G09G 3/20 623C	
審査請求 有 請求項の数 41 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2005-344972 (P2005-344972)	(71) 出願人	501426046
(22) 出願日	平成17年11月30日 (2005.11.30)		エルジー・フィリップス エルシーデー
(31) 優先権主張番号	2005-018626		カンパニー, リミテッド
(32) 優先日	平成17年3月7日 (2005.3.7)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(33) 優先権主張国	韓国 (KR)		イドードン 20
		(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 白井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
		最終頁に続く	

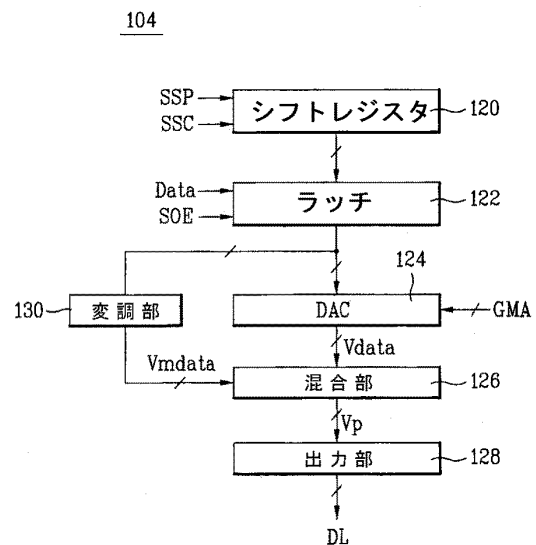
(54) 【発明の名称】 液晶表示装置の駆動装置及び駆動方法

(57) 【要約】

【課題】 別途のメモリを使用せずとも液晶の応答速度を高めて画質の低下を防止し、かつ、メモリの不使用によるコストの削減を実現する液晶表示装置の駆動装置及び駆動方法を提供すること。

【解決手段】 本発明による液晶表示装置の駆動装置は、互いに交差するように配列された複数のゲートライン及び複数のデータラインを持つ液晶パネルと、これらゲートラインにゲートパルスを供給するゲートドライバと、入力されたNビット(ただし、Nは、正の整数)デジタルデータ信号をサンプリングしてアナログデータ電圧を発生させ、これらサンプリングされたデータ信号のうちMビット(ただし、Mは、Nより小さいか等しい正の整数)のデータ値に基づいて液晶の応答速度を速くするための変調データ電圧を発生させ、この変調データ電圧をアナログデータ電圧と混合してデータラインに供給するゲートドライバとを備えることを特徴とする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

互いに交差するように配列された複数のゲートライン及び複数のデータラインを持つ液晶パネルと、

前記ゲートラインにゲートパルスを供給するゲートドライバと、

入力されたNビットデジタルデータ信号をサンプリングしてアナログデータ電圧を発生させ、前記サンプリングされたNビットデジタルデータ信号のうちMビットのデータ値に基づいて液晶の応答速度を速くするための変調データ電圧を発生させ、前記変調データ電圧を前記アナログデータ電圧と混合して前記データラインに供給するデータドライバと、を備えることを特徴とする液晶表示装置の駆動装置。

10

ただし、Nは正の整数であり、MはNより小さいか等しい正の整数である。

【請求項 2】

前記変調データ電圧は、アナログデータ電圧よりも大きいことを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 3】

前記データドライバは、前記ゲートパルスの第 1 区間に、前記変調データ電圧と前記アナログデータ電圧とを混合して前記データラインに供給し、前記ゲートパルスの第 2 区間には、前記アナログデータ電圧を前記データラインに供給することを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 4】

20

前記データドライバは、

サンプリング信号を生成するシフトレジスタと、

前記サンプリング信号によって前記Nビットデジタルデータ信号を保持し、該保持しているNビットデジタルデータ信号をデータ出力信号に応じて出力するラッチと、

前記ラッチから出力された前記Nビットデジタルデータ信号を、前記アナログデータ電圧に変換するデジタルーアナログ変換部と、

前記ラッチから出力されたMビットデジタルデータ信号によって前記変調データ電圧を生成する変調部と、

前記アナログデータ電圧と前記変調データ電圧とを混合して前記データラインに出力する混合部と、

30

を備えることを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 5】

前記変調データ電圧は、前記Mビットデジタルデータ信号に基づいて電圧レベル及びパルス幅のうち少なくとも一つが変調されることを特徴とする請求項 4 に記載の液晶表示装置の駆動装置。

【請求項 6】

前記変調部は、

前記変調データ電圧の電圧レベルを設定する変調電圧生成部と、

前記変調データ電圧のパルス幅を設定するためのスイッチ制御信号を生成するスイッチ制御信号生成部と、

40

前記スイッチ制御信号に応じて前記変調電圧生成部からの前記変調データ電圧を前記混合部に供給するスイッチ素子と、を備えることを特徴とする請求項 4 に記載の液晶表示装置の駆動装置。

【請求項 7】

前記変調電圧生成部は、

前記Mビットデジタルデータ信号をデコードし、第 1 デコード信号を生成する第 1 デコーダと、

駆動電圧端と前記変調電圧生成部の出力ノードとの間に接続された第 1 抵抗と、

前記変調電圧生成部の出力ノードと前記第 1 デコーダとの間に接続され、前記第 1 デコード信号によって前記変調電圧生成部の出力ノードの電圧レベルが可変になるように、前

50

記駆動電圧端からの駆動電圧を分圧する複数の分圧抵抗と、
を備えることを特徴とする請求項 6 に記載の液晶表示装置の駆動装置。

【請求項 8】

前記変調電圧生成部は、駆動電圧端と基底電圧源との間に接続され、抵抗値に基づいて前記駆動電圧端からの駆動電圧を、固定された電圧レベルを持つ前記変調データ電圧に分圧して前記スイッチ素子に供給する第 1 及び第 2 抵抗を備えることを特徴とする請求項 6 に記載の液晶表示装置の駆動装置。

【請求項 9】

前記スイッチ制御信号生成部は、

前記 M ビットデジタルデータ信号をデコードし、第 2 デコード信号を生成する第 2 デコーダと、 10

入力されたクロック信号を前記第 2 デコード信号までカウントし、それぞれ異なるパルス幅を持つ前記スイッチ制御信号を生成して前記スイッチ素子に供給するカウンタと、
を備えることを特徴とする請求項 6 に記載の液晶表示装置の駆動装置。

【請求項 10】

前記スイッチ制御信号生成部は、入力されたクロック信号を設定された値までカウントし、固定されたパルス幅を持つ前記スイッチ制御信号を生成して前記スイッチ素子に供給するカウンタを備えることを特徴とする請求項 6 に記載の液晶表示装置の駆動装置。

【請求項 11】

前記スイッチ制御信号は、前記データ出力信号または前記ゲートパルスに同期するように前記スイッチ素子に供給されることを特徴とする請求項 9 に記載の液晶表示装置の駆動装置。 20

【請求項 12】

前記スイッチ制御信号生成部は、

前記変調電圧生成部の出力ノードと前記スイッチ素子の制御端子との間に接続された抵抗と、

前記スイッチ素子の制御端子と基底電圧源との間に接続され、前記スイッチ制御信号を生成するキャパシタと、

前記スイッチ素子から出力された前記変調データ電圧を、前記 M ビットデジタルデータ信号によってデコードしてクリア信号を生成するクリア信号生成部と、 30

前記スイッチ素子の制御端子と基底電圧源との間に配置され、前記クリア信号によって前記キャパシタに格納された電圧を放電させるトランジスタと、
を備えることを特徴とする請求項 6 に記載の液晶表示装置の駆動装置。

【請求項 13】

前記クリア信号生成部は、

前記変調データ電圧をバッファリングするバッファと、

前記トランジスタの制御端子に接続された出力端及び前記バッファに接続された抵抗と

、
前記出力端に並列に接続された複数のキャパシタと、

前記 M ビットデジタルデータ信号に応じて前記複数のキャパシタのうちいずれか一つを選択する第 2 デコーダと、 40

を備えることを特徴とする請求項 12 に記載の液晶表示装置の駆動装置。

【請求項 14】

前記スイッチ制御信号生成部は、

前記変調電圧生成部の出力ノードと前記スイッチ素子の制御端子との間に接続された抵抗と、

前記スイッチ素子の制御端子と基底電圧源との間に接続され、前記スイッチ制御信号を生成するキャパシタと、

前記スイッチ素子から出力された前記変調データ電圧を用いてクリア信号を生成するクリア信号生成部と、

前記スイッチ素子の制御端子と基底電圧源との間に配置され、前記クリア信号によって前記キャパシタに格納された電圧を放電させるトランジスタと、
を備えることを特徴とする請求項 6 に記載の液晶表示装置の駆動装置。

【請求項 15】

前記クリア信号生成部は、
前記変調データ電圧をバッファリングするバッファと、
前記トランジスタの制御端子に接続された出力端と前記バッファとに接続された抵抗と、
前記出力端と基底電圧源との間に接続されたキャパシタと、
を備えることを特徴とする請求項 14 に記載の液晶表示装置の駆動装置。

10

【請求項 16】

前記クリア信号生成部は、前記出力端と前記トランジスタの制御端子との間に接続された少なくとも一つのインバータをさらに備えることを特徴とする請求項 13 に記載の液晶表示装置の駆動装置。

【請求項 17】

互いに直交する複数のゲートラインと複数のデータラインとを有する液晶パネルと、
前記ゲートラインにゲートパルスを供給するゲートドライバと、
前記ゲートパルスの第 1 区間に、第 1 電圧を持つデータ電圧を前記データラインに供給し、前記ゲートパルスの第 2 区間に、前記第 1 電圧の大きさとパルス幅が異なる第 2 電圧を持つデータ電圧を前記データラインに供給するデータドライバと、を備えることを特徴とする液晶表示装置の駆動装置。

20

【請求項 18】

前記データドライバは、
前記第 1 電圧を生成するために前記第 2 電圧と変調データを混合する混合部と、
前記変調データ電圧の大きさを設定する変調電圧生成部と、
前記変調データ電圧の幅を設定するためのスイッチ制御信号を生成するスイッチ制御信号生成部と、
前記スイッチ制御信号によって前記変調電圧生成部からの変調データ電圧を前記混合部に供給するスイッチと、
を備えることを特徴とする請求項 17 に記載の液晶表示装置の駆動装置。

30

【請求項 19】

前記変調電圧生成部は、
第 1 電圧端子と前記変調電圧生成部の出力ノードとの間に接続された第 1 抵抗と、
前記第 1 電圧端子と前記第 2 電圧端子との間の少なくとも一つの分圧電圧を選択するための複数の分圧抵抗と、
を備えることを特徴とする請求項 18 に記載の液晶表示装置の駆動装置。

【請求項 20】

前記変調電圧生成部は、入力されたデジタルデータ信号をデコードして前記少なくとも一つの分圧抵抗を選択するための第 1 デコード信号を生成する第 1 デコーダをさらに備えることを特徴とする請求項 19 に記載の液晶表示装置の駆動装置。

40

【請求項 21】

前記変調電圧生成部は、駆動電圧端子と基底電圧端子との間に接続され、前記駆動電圧端子からの駆動電圧を固定された電圧に分圧して前記スイッチに供給する第 1 及び第 2 抵抗をさらに備えることを特徴とする請求項 18 に記載の液晶表示装置の駆動装置。

【請求項 22】

前記スイッチ制御信号生成部は、入力クロック信号をカウントして前記スイッチ制御信号を生成するカウンタをさらに備え、前記スイッチ制御信号の幅は、前記カウンタの出力信号によって決定されることを特徴とする請求項 18 に記載の液晶表示装置の駆動装置。

【請求項 23】

前記スイッチ制御信号生成部は、入力されたデジタルデータ信号をデコードしてデコー

50

ド信号を生成するデコーダをさらに備え、前記カウンタは、前記デコード信号によって決定された前記スイッチ制御信号を生成することを特徴とする請求項 22 に記載の液晶表示装置の駆動装置。

【請求項 24】

前記スイッチ制御信号生成部は、入力されたクロック信号を設定された値までカウントし、固定されたパルス幅を持つ前記スイッチ制御信号を生成するカウンタを備えることを特徴とする請求項 18 に記載の液晶表示装置の駆動装置。

【請求項 25】

前記スイッチ制御信号生成部は、
前記変調電圧生成部の出力ノードと前記スイッチの制御端子との間に接続された抵抗と
、
前記スイッチの制御端子と電圧源との間に接続され、前記スイッチ制御信号を生成するキャパシタと、
前記スイッチから出力された前記変調データ電圧を受けてクリア信号を生成するクリア信号生成部と、
前記スイッチの制御端子と前記電圧源との間に配置され、前記クリア信号によって前記キャパシタに格納された電圧を放電させるトランジスタと、
を備えることを特徴とする請求項 18 に記載の液晶表示装置の駆動装置。

【請求項 26】

前記クリア信号生成部は、入力されたデジタルデータ信号をデコードして前記クリア信号を生成することを特徴とする請求項 25 に記載の液晶表示装置の駆動装置。

【請求項 27】

前記クリア信号生成部は、
前記変調データ電圧をバッファリングするバッファと、
前記トランジスタの制御端子に接続されたクリア信号出力端子と
前記クリア信号出力端子と前記バッファとの間に接続された抵抗と、
前記クリア信号出力端子に並列に接続され、前記デジタルデータ信号によって少なくとも一つが選択される複数のキャパシタと、
を備えることを特徴とする請求項 26 に記載の液晶表示装置の駆動装置。

【請求項 28】

前記クリア信号生成部は、複数のキャパシタのうち少なくとも一つを選択するデコーダをさらに備えることを特徴とする請求項 27 に記載の液晶表示装置の駆動装置。

【請求項 29】

前記スイッチ制御信号生成部は、
前記変調電圧生成部の出力ノードと前記スイッチの制御端子との間に接続された抵抗と
、
前記スイッチの制御端子と基底電圧源との間に接続され、前記スイッチ制御信号を生成するキャパシタと、
前記スイッチから出力された前記変調データ電圧を用いてクリア信号を生成するクリア信号生成部と、
前記スイッチの制御端子と前記基底電圧源との間に配置され、前記クリア信号に応じて前記キャパシタに格納された電圧を放電させるトランジスタと、
を備えることを特徴とする請求項 18 に記載の液晶表示装置の駆動装置。

【請求項 30】

前記クリア信号生成部は、
前記変調データ電圧をバッファリングするバッファと、
前記トランジスタの制御端子に接続されたクリア信号出力端子と
前記クリア信号出力端子と前記バッファとの間に接続された抵抗と、
前記クリア信号出力端子と前記基底電圧源との間に接続されたキャパシタと、
を備えることを特徴とする請求項 29 に記載の液晶表示装置の駆動装置。

【請求項 3 1】

互いに交差するように配列された複数のゲートラインと複数のデータラインとを有する液晶パネルの駆動方法において、

入力されたNビットデジタルデータ信号をサンプリングしてアナログデータ電圧を生成する段階と、

前記サンプリングされたNビットデジタルデータ信号のうちMビットのデータ値に基づいて液晶の応答速度を速くするための変調データ電圧を生成する段階と、

前記ゲートラインにゲートパルスを生成する段階と、

前記ゲートパルスに同期するように前記変調データ電圧を前記アナログデータ電圧と混合し、該混合したデータ電圧を前記データラインに供給する段階と、

を含むことを特徴とする液晶表示装置の駆動方法。

10

ただし、Nは正の整数であり、MはNより小さいか等しい正の整数である。

【請求項 3 2】

前記混合したデータ電圧は、前記ゲートパルスの第1区間に、前記データラインに供給され、前記アナログデータ電圧は、前記ゲートパルスの第2区間に、前記データラインに供給されることを特徴とする請求項 3 1に記載の液晶表示装置の駆動方法。

【請求項 3 3】

前記変調データ電圧は、前記Mビットデジタルデータ信号によって電圧レベル及びパルス幅のうち少なくとも一つが変調されることを特徴とする請求項 3 2に記載の液晶表示装置の駆動方法。

20

【請求項 3 4】

前記変調データ電圧を生成する段階は、

前記変調データ電圧の電圧レベルを設定する段階と、

前記変調データ電圧のパルス幅を設定するためのスイッチ制御信号を生成する段階と、

前記設定された電圧レベルとパルス幅を持つ前記変調データ電圧を生成するために、前記スイッチ制御信号に応じてスイッチ素子を制御する段階と、

を含むことを特徴とする請求項 3 3に記載の液晶表示装置の駆動方法。

【請求項 3 5】

前記変調データ電圧の電圧レベルを設定する段階は、

前記Mビットデジタルデータ信号に基づいて複数の抵抗のうち2個の抵抗を選択的に接続させる段階と、

30

前記選択的に接続した2個の抵抗を用いて前記変調データ電圧を生成するための駆動電圧を分圧する段階と、

を含むことを特徴とする請求項 3 4に記載の液晶表示装置の駆動方法。

【請求項 3 6】

前記変調データ電圧の電圧レベルを設定する段階は、駆動電圧と基底電圧源との間に接続された第1及び第2抵抗を用いて、前記固定された電圧レベルの前記変調データ電圧を生成するために前記駆動電圧を分圧することを特徴とする請求項 3 5に記載の液晶表示装置の駆動方法。

【請求項 3 7】

40

前記スイッチ制御信号を生成する段階は、前記Mビットデジタルデータ信号によって決定される異なるパルス幅を持つ前記スイッチ制御信号を生成するために、入力クロック信号をカウントし、前記生成されたスイッチ制御信号を前記スイッチに供給することを特徴とする請求項 3 4に記載の液晶表示装置の駆動方法。

【請求項 3 8】

前記スイッチ制御信号を生成する段階は、入力されるクロック信号を設定された値までカウントすることによって、固定されたパルス幅を持つ前記スイッチ制御信号を生成し、生成されたスイッチ制御信号を前記スイッチに供給することを特徴とする請求項 3 4に記載の液晶表示装置の駆動方法。

【請求項 3 9】

50

前記スイッチ制御信号は、前記ゲートパルスに同期するように前記スイッチに供給されることを特徴とする請求項 37 または 38 に記載の液晶表示装置の駆動方法。

【請求項 40】

前記スイッチ制御信号を生成する段階は、

前記スイッチ制御信号を生成するために前記スイッチに入力された変調データ電圧を第 1 キャパシタに格納する段階と、

前記スイッチから出力された前記変調データ電圧をバッファリングし、前記バッファリングされた電圧を、前記 M ビットデジタルデータ信号によって決定された抵抗を介して複数の第 2 キャパシタのうち少なくとも一つに格納する段階と、

前記第 1 キャパシタに格納した電圧を放電させ、前記少なくとも一つの第 2 キャパシタに格納した電圧に基づいてクリア信号を生成する段階と、
を含むことを特徴とする請求項 34 に記載の液晶表示装置の駆動方法。 10

【請求項 41】

前記スイッチ制御信号を生成する段階は、

前記スイッチ制御信号を生成するために前記スイッチに入力された前記変調データ電圧を第 1 キャパシタに格納する段階と、

前記スイッチから出力された前記変調データ電圧をバッファリングし、前記バッファリングした電圧を第 1 抵抗を介して第 2 キャパシタに格納する段階と、

前記第 1 キャパシタに格納した電圧を放電させ、前記第 2 キャパシタに格納した電圧に基づいてクリア信号を生成する段階と、
を含むことを特徴とする請求項 34 に記載の液晶表示装置の駆動方法。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、メモリを使用せずとも液晶の応答速度を高めて画質の低下を防止することができる液晶表示装置の駆動装置及び駆動方法に関する。

【背景技術】

【0002】

通常、液晶表示装置は、ビデオ信号に応じて液晶セルの光透過率を調節して画像を表示する。液晶セルごとにスイッチ素子が形成されたアクティブマトリクスタイプの液晶表示装置は、動画像を表示するのに適している。アクティブマトリクスタイプの液晶表示装置のスイッチ素子には、主として薄膜トランジスタ（以下、「TFT」という。）が使用されている。 30

【0003】

液晶表示装置は、次式の数 1 及び数 2 からわかるように、液晶固有の粘性と弾性などの特性により応答速度が遅いという短所がある。

【0004】

【数 1】

$$\tau_r \propto \frac{\gamma d^2}{\Delta \epsilon |V_a^2 - V_F^2|}$$

40

式中但し、 τ_r は液晶に電圧が印加された時の立ち上がり時間、 V_a は印加電圧、 V_F は液晶分子が傾斜運動を始めるフリデリック遷移電圧、 d は液晶セルのセルギャップ、 γ は液晶分子の回転粘度である。

【0005】

【数 2】

$$\tau_F \propto \frac{\gamma d^2}{K}$$

50

但し、 τ_F は液晶に印加された電圧がオフされた後に液晶が弾性復元力により元の位置に戻る立ち下り時間、 K は液晶固有の弾性係数である。

【0006】

TN(Twisted Nematic)モードにおける液晶応答速度は、液晶材料の物性とセルギャップなどによって異なるが、通常、立ち上がり時間が20～80msであり、立ち下り時間が20～30msである。このような液晶の応答速度は、動画像の1フレーム期間(例えば、NTSC(National Television Standards Committee)では16.67msとされている。)よりも長いため、図1に示すように、液晶セルに充電される電圧が、所望の電圧に到達する前に次のフレームに進行してしまう。よって、動画像において画面がぼやけるモーションブラー(Motion Blur)現象が生じる。

10

【0007】

図1を参照すると、従来技術による液晶表示装置は、動画像を表示するにあたり遅い応答速度のために、データ(VD)があるレベルから他のレベルに変わる際に表示輝度(BL)が所望の輝度に到達できず、所望の色及び輝度を表示できなくなる。その結果、液晶表示装置は、動画像においてモーションブラー現象が生じ、明暗比(コントラスト比)の低下による表示品質の劣化につながる。

【0008】

このような液晶表示装置における遅い応答速度を解決するために、ルックアップテーブルを用いてデータの変化の有無に基づいてデータを変調する方式(以下、「高速駆動方式」という。)が提案されている(例えば、特許文献1、2参照)。この高速駆動方式は、

20

【0009】

すなわち、図2を参照すると、従来技術による高速駆動方式では、入力データ(VD)を変調し、その変調データ(MVD)を液晶セルに印加することで所望の輝度(MBL)を得ている。この高速駆動方式は、1フレーム期間内に入力データの輝度値に対応して所望の輝度が得られるよう、データの変化の有無に基づいて上式の数1において $|V_a^2 - V_F^2|$ を増加させることによって液晶の応答速度を加速させる。

【0010】

したがって、従来技術による高速駆動方式が適用される液晶表示装置は、液晶の遅い応答速度をデータ値の変調で補償し、動画像におけるモーションブラー現象を和らげることで、所望の色及び輝度で画像を表示できるようになる。

30

【0011】

具体的に、従来技術による高速駆動方式は、ハードウェアの構成にあたりメモリの容量負担を軽減するために、図3に示すように、以前フレーム(F_{n-1})と現在フレーム(F_n)のそれぞれの上位ビット(MSB)だけを比較して変調する。すなわち、従来技術による高速駆動方式は、以前フレーム(F_{n-1})と現在フレーム(F_n)のそれぞれの上位ビットデータ(MSB)を比較し、これら上位ビットデータ(MSB)間に変化があれば、ルックアップテーブルから、該当する変調データ(MRGB)を現在フレーム(F_n)の上位ビットデータ(MSB)として選択する。

【0012】

このような高速駆動方式がなされる高速駆動装置を、図4に示す。

40

【0013】

図4に示したように、従来技術による高速駆動装置は、上位ビットバスライン42に接続されたフレームメモリ43と、上位ビットバスライン42とフレームメモリ43の出力端子に共通に接続されたルックアップテーブル44とを備えている。

【0014】

フレームメモリ43は、上位ビットデータ(MSB)を1フレーム期間の間に格納し、この格納した上位ビットデータ(MSB)をルックアップテーブル44に供給する。ここで、上位ビットデータ(MSB)は、8ビットのソースデータ(RGB)のうち上位4ビットが設定される。

50

【0015】

ルックアップテーブル44は、上位ビットバスライン42から入力された現在フレーム(F_n)の上位ビットデータ(MSB)と、フレームメモリ43から入力された以前フレーム(F_{n-1})の上位ビットデータ(MSB)との組み合わせに対応する変調データ(MRGB)を選択させるためのものである。変調データ(MRGB)は、下位ビットバスライン41からの下位ビットデータ(LSB)と加算されて液晶表示装置に供給される。

【0016】

上位ビットデータ(MSB)を4ビットに設定した場合、高速駆動装置のルックアップテーブル44に登載される変調データ(MRGB)は、次の表1の通りである。

【0017】

【表1】

以前 フレ ーム	現在フレーム															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	1	3	4	6	7	9	10	11	12	14	15	15	15	15	15
1	0	1	2	4	5	7	9	10	11	12	13	14	15	15	15	15
2	0	1	2	3	5	7	8	9	10	12	13	14	15	15	15	15
3	0	1	2	3	5	6	8	9	10	11	12	14	14	15	15	15
4	0	0	1	2	4	6	7	9	10	11	12	13	14	15	15	15
5	0	0	0	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	0	1	3	4	6	8	9	10	11	13	14	15	15	15
7	0	0	0	1	2	4	5	7	8	10	11	12	14	14	15	15
8	0	0	0	1	2	3	5	6	8	9	11	12	13	14	15	15
9	0	0	0	1	2	3	4	6	7	9	10	12	13	14	15	15
10	0	0	0	0	1	2	4	5	7	8	10	11	13	14	15	15
11	0	0	0	0	0	2	3	5	6	7	9	11	12	14	15	15
12	0	0	0	0	0	1	3	4	5	7	8	10	12	13	15	15
13	0	0	0	0	0	1	2	3	4	6	8	10	11	13	14	15
14	0	0	0	0	0	0	1	2	3	5	7	9	11	13	14	15
15	0	0	0	0	0	0	0	1	2	4	6	9	11	13	14	15

【0018】

上記の表1において、最左列は、以前フレーム(F_{n-1})のデータ電圧(VD_{n-1})であり、最上行は、現在フレーム(F_n)のデータ電圧(VD_n)である。また、表1は、上位4ビットを10進数で表したルックアップテーブル情報である。

【特許文献1】米国特許第5,495,265号

【特許文献2】PCT国際公開番号WO 99/09967

【発明の開示】

【発明が解決しようとする課題】

【0019】

しかしながら、従来技術による高速駆動装置及び駆動方法は、以前フレーム(F_{n-1})と現在フレーム(F_n)のデータを比較し変調データ(MRGB)を生成するので、ルックアップテーブル44のようなデータ用のメモリを備えていなければならない。これにより、製造コストが上昇するという問題点と、チップサイズが大きくなるという問題点とがあった。

【0020】

本発明は上記問題点を解決するためのもので、その目的は、メモリを使用せずとも液晶の応答速度を高めて画質の低下を防止することができる液晶表示装置の駆動装置及び駆動方法を提供することにある。

【課題を解決するための手段】

【0021】

10

20

30

40

50

上記目的を達成するために、本発明の実施形態に係る液晶表示装置の駆動装置は、互いに交差するように配列された複数のゲートライン及び複数のデータラインを持つ液晶パネルと、このゲートラインにゲートパルスを供給するゲートドライバと、入力されたNビット（ただし、Nは正の整数）デジタルデータ信号をサンプリングしてアナログデータ電圧を発生させ、サンプリングされたNビットデジタルデータ信号のうちMビット（ただし、Mは、Nより小さいか等しい正の整数）データ値に基づいて液晶の応答速度を速くするための変調データ電圧を発生させ、この変調データ電圧を上記のアナログデータ電圧と混合してデータラインに供給するデータドライバとを備えることを特徴とする。

【0022】

本発明の実施形態に係る液晶表示装置の駆動方法は、互いに交差するように配列された複数のゲートラインと複数のデータラインとを持つ液晶パネルの駆動方法において、入力されたNビット（ただし、Nは正の整数）デジタルデータ信号をサンプリングしてアナログデータ電圧を生成する段階と、サンプリングしたNビットデジタルデータ信号のうちMビット（ただし、Mは、Nより小さいか等しい正の整数）のデータ値に基づいて液晶の応答速度を速くするための変調データ電圧を生成する段階と、ゲートラインにゲートパルスを生成する段階と、ゲートパルスに同期するように上記の変調データ電圧を上記のアナログデータ電圧と混合してデータラインに供給する段階とを含むことを特徴とする。

【発明の効果】

【0023】

本発明に係る液晶表示装置の駆動装置及び駆動方法によれば、ゲートラインに供給されたゲートパルスの第1区間に、変調データ電圧を含むデータ電圧をデータラインに供給し、デジタルデータ信号に対応するアナログデータ電圧よりも高い変調データ電圧で液晶をあらかじめ駆動させた後、ゲートパルスの第2区間に、所望の階調アナログデータ電圧をデータラインに供給し、液晶を所望の状態に駆動させるため、別途のメモリを使用せずとも液晶の応答速度を高めて画質の低下が防止でき、かつ、メモリ不使用によりコストの削減が実現可能になる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の好適な実施形態に係る液晶表示装置の駆動装置及び駆動方法について、添付の図面に基づいて詳細に説明する。

【0025】

図5は、本発明の第1実施形態による液晶表示装置の駆動装置を概略的に示すブロック図である。

【0026】

図5を参照すると、本実施形態による液晶表示装置の駆動装置は、セル領域を定義するために互いに直交するように配列された複数のゲートラインGL1～GLnと複数のデータラインDL1～DLmとを備えた液晶パネル102と、液晶パネル102のゲートラインGL1～GLnを駆動するゲートドライバ106と、入力されたNビット（ただし、Nは正の整数）デジタルデータ信号Dataをサンプリングし、サンプリングされたNビットデジタルデータ信号Dataに対応するアナログデータ電圧Vdataを発生させると同時に、サンプリングしたNビットデジタルデータ信号Dataのうち、Mビット（ただし、Mは、Nより小さいか等しい正の整数）のデータ値に基づいて液晶の応答速度を速くするための変調データ電圧Vmdataをアナログデータ電圧Vdataと混合してデータラインDL1～DLmに供給するデータドライバ104と、データ及びゲートドライバ104、106の駆動タイミングを制御してデータドライバ104にデジタルデータ信号Dataを供給するタイミングコントローラ108とを備えている。

【0027】

液晶パネル102は、各ゲートラインGL1～GLnと各データラインDL1～DLmとが交差する部分に形成された薄膜トランジスタTFTと、薄膜トランジスタTFTに接続された液晶セルとを備える。薄膜トランジスタTFTは、ゲートラインGL1～GLn

からのゲートパルスに応答してデータラインDL1～DLmからのアナログデータ電圧を液晶セルに供給する。液晶セルは、液晶を介在して対面する共通電極と、薄膜トランジスタTFTに接続された画素電極とから構成されるので、等価的に液晶キャパシタC1cで表わすことができる。このような液晶セルは、液晶キャパシタC1cに充電されたアナログデータ電圧を、次のデータ信号が充電されるまで保持するためのストレージキャパシタCstを備える。

【0028】

タイミングコントローラ108は、外部から供給されたソースデータRGBを、液晶パネル102の駆動に見合うデジタルデータ信号Dataに整列し、整列させたデジタルデータ信号Dataを、データドライバ104に供給する。また、タイミングコントローラ108は、外部から入力されたメインクロックMCLK、データイネーブル信号DE、水平及び垂直同期信号Hsync, Vsyncを用いてデータ制御信号DCSとゲート制御信号GCSを生成し、データドライバ104とゲートドライバ106のそれぞれの駆動タイミングを制御する。

10

【0029】

ゲートドライバ106は、タイミングコントローラ108からのゲート制御信号GCS、すなわちゲートスタートパルス(GSP; Gate Start Pulse)、ゲートシフトクロック(GSC; Gate Shift Clock)及びゲート出力イネーブル(GOE; Gate Output Enable)などの各信号を用いて薄膜トランジスタTFTをオン／オフさせるために、順次ゲートパルスを生成してゲートラインGL1～GLnに供給する。このときに、ゲートパルスは、薄膜トランジスタTFTをターンオンさせるためのゲートハイ電圧VGHと、薄膜トランジスタTFTをターンオフさせるためのゲートロー電圧VGLとを有する。

20

【0030】

データドライバ104は、タイミングコントローラ108から供給されるデータ制御信号DCSに応じて、タイミングコントローラ108からのNビットデジタルデータ信号Dataをサンプリングし、サンプリングしたNビットデジタルデータ信号Dataに対応するアナログデータ電圧Vdataを発生させると同時に、サンプリングしたNビットデジタルデータ信号Dataのうち、Mビットのデータ値に基づいて液晶の応答速度を速くするための変調データ電圧Vmdataをアナログデータ電圧Vdataと混合してデータラインDL1～DLmに供給する。

30

【0031】

これにより、データドライバ104は、図6に示すように、サンプリング信号を順次生成するシフトレジスタ120と、Nビットデジタルデータ信号Dataをサンプリング信号に応じて保持するラッチ122と、保持しているNビットデジタルデータ信号Dataによって複数のガンマ電圧GMAのうちいずれか一つを選択し、デジタルデータ信号Dataに対応するアナログデータ電圧Vdataを生成するデジタルアナログ変換部(DAC)124と、保持しているNビットデジタルデータ信号DataのうちMビットのデータ値によって液晶の応答速度を速くするための変調データ電圧Vmdataを生成する変調部130と、アナログデータ電圧Vdataと変調データ電圧Vmdataを混合する混合部126と、混合したデータ電圧VpをバッファリングしてデータラインDL1～DLmに供給する出力部128と、を備える。

40

【0032】

シフトレジスタ120は、タイミングコントローラ108からのデータ制御信号DCSのうち、ソーススタートパルスSSP及びソースシフトクロックSSCを用いて順次サンプリング信号を発生させ、これをラッチ122に供給する。

ラッチ122は、シフトレジスタ120からのサンプリング信号に応じてタイミングコントローラ108からのNビットデジタルデータ信号Dataを1水平ライン分毎に保持する。そして、ラッチ122は、タイミングコントローラ108からのデータ制御信号DCSのうち、ソース出力イネーブル信号SOEによって保持している1水平ライン分のNビットデジタルデータ信号Dataを、デジタルアナログ変換部124に供給する。

50

【0033】

デジタルーアナログ変換部124は、ラッチ122から供給されたNビットデジタルデータ信号Dataによって、ガンマ電圧発生部（図示せず）から供給される複数のガンマ電圧GMAのうちいずれか一つを選択し、Nビットデジタルデータ信号Dataをアナログデータ電圧Vdataに変換して混合部126に供給する。このときに、Nビットデジタルデータ信号Dataが8ビットであれば、複数のガンマ電圧GMAは、図7aに示すように256個の異なるガンマ電圧レベルを有するようになる。したがって、デジタルーアナログ変換部124は、256個の異なるガンマ電圧レベルのうち、ラッチ122から供給されたNビットデジタルデータ信号Dataに対応するガンマ電圧GMAを選択することによってアナログデータ電圧Vdataを発生させる。

10

【0034】

変調部130は、ラッチ122から出力されたNビットのうちMビットデジタルデータ信号Dataによって、液晶の応答速度を速くするための変調データ電圧Vmdataを発生させて混合部126に供給する。

【0035】

具体的には、変調部130は、ラッチ122から供給されたMビットデジタルデータ信号Dataによって、異なる電圧レベル及び異なるパルス幅を持つ変調データ電圧Vmdataを発生させる。

【0036】

但し、変調部130は、ラッチ122から入力されたMビットデジタルデータ信号Dataが8ビットの場合、256個の異なる電圧レベル及びパルス幅を持つ変調データ電圧Vmdataを発生させる。ところが、変調部130の大きさが増加する。そこで、本発明では、ラッチ122から出力される8ビットのうち上位4ビットMSB1～MSB4のデジタルデータ信号Dataが変調部130に供給されるものと仮定する。したがって、変調部130は、ラッチ122から入力されたデジタルデータ信号の上位4ビットMSB1～MSB4に基づき、図7bに示すように16個の異なる電圧レベル及び幅のうちいずれか一つの変調データ電圧Vmdataを発生させて混合部126に供給する。

20

【0037】

混合部126は、デジタルーアナログ変換部124からのアナログデータ電圧Vdataと変調部130からの変調データ電圧Vmdataとを混合し、この混合したデータ電圧Vpを出力部128に供給する。

30

【0038】

出力部128は、混合部126から供給されたデータ電圧Vpを、該当のデータラインDLx（ $1 \leq x \leq m$ ）に供給する。

【0039】

図8は、1水平期間の間に図5に示す液晶パネル102に供給されるゲートパルスGP及びデータ電圧Vpの波形図を示している。

【0040】

図8及び図6を参照すると、液晶パネル102のゲートラインにはゲートドライバ106から一定の幅Wを持つゲートパルスGPが供給される。これと同期するように、ゲートラインにゲートハイ電圧VGHが供給される第1区間t1の間に、液晶パネル102のデータラインDL1～DLmには、混合部126により、デジタルーアナログ変換部124からのアナログデータ電圧Vdataと変調部130からの変調データ電圧Vmdataとが混合されたデータ電圧Vpが供給される。また、ゲートラインにゲートハイ電圧VGHが供給される第1区間t1以降の第2区間t2の間に、液晶パネル102のデータラインDL1～DLmには、デジタルーアナログ変換部124からのアナログデータ電圧Vdataが供給される。ここで、第1区間t1は、第2区間t2よりも短い。

40

【0041】

これにより、本発明の実施形態による液晶表示装置の駆動装置及び駆動方法では、ゲートラインGL1～GLmに供給されるゲートパルスGPの第1区間t1に、変調データ電

50

圧 V_{mdata} を含むデータ電圧 V_p をデータライン $DL1 \sim DLm$ に供給することで、アナログデータ電圧 V_{data} よりも高い電圧で液晶をあらかじめ駆動させた後に、ゲートパルス GP の第 2 区間 t_2 に、所望の階調のアナログデータ電圧 V_p をデータライン $DL1 \sim DLm$ に供給することで、液晶を所望の状態に駆動させるようになる。すなわち、本実施形態による液晶表示装置の駆動装置及び駆動方法は、液晶パネル 102 のスキャン区間である第 1 区間 t_1 に、変調データ電圧 V_{mdata} とアナログデータ電圧 V_{data} とを混合して液晶を高速駆動させた後、第 1 区間 t_1 以降の第 2 区間 t_2 に、通常通りにアナログデータ電圧 V_{data} のみで液晶を駆動させている。

【0042】

したがって、本実施形態による液晶表示装置の駆動装置及び駆動方法によれば、別途のメモリを使用せずとも液晶の応答速度を高めて画質の低下を防止することが可能になる。

【0043】

<第 1 実施例>

図 9 は、図 5 及び図 6 に示した本実施形態による液晶表示装置の駆動装置における変調部 130 の第 1 実施例を示す図である。

【0044】

図 9 及び図 6 を参照すると、第 1 実施例における変調部 130 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ によって、異なるレベルを持つ変調データ電圧 V_{mdata} を出力する変調電圧生成部 132 と、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ によって、異なるパルス幅を持つスイッチ制御信号 SCS を生成するスイッチ制御信号生成部 134 と、スイッチ制御信号 SCS によって、変調電圧生成部 132 の出力ノード $n1$ からの変調データ電圧 V_{mdata} を混合部 126 に供給するスイッチ素子 136 とを備えている。

【0045】

変調電圧生成部 132 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ をデコードし、デコード信号を複数の出力端子に出力する第 1 デコーダ 140 と、各出力端子に接続された複数の分圧抵抗 $R1 \sim R16$ と、駆動電圧端 VDD と各分圧抵抗 $R1 \sim R16$ との間に電氣的に接続された第 1 抵抗 R_v とを備えている。

【0046】

各分圧抵抗 $R1 \sim R16$ は、異なる抵抗値をもって出力ノード $n1$ と第 1 デコーダ 140 の各出力端子との間に電氣的に接続されている。これら第 1 抵抗 R_v と複数の分圧抵抗 $R1 \sim R16$ は、第 1 デコーダ 140 のデコードにより変調データ電圧の電圧レベルを設定する電圧分配回路を構成する。

【0047】

第 1 デコーダ 140 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ をデコードして複数の分圧抵抗 $R1 \sim R16$ のうちいずれか一つを内部の基底電圧源に選択的に接続させ、これにより、第 1 抵抗 R_v と選択された分圧抵抗 $R1 \sim R16$ 間の分圧抵抗により駆動電圧 VDD を分圧し、変調データ電圧 V_{mdata} が出力ノード $n1$ に印加されるようにする。ここで、変調データ電圧 V_{mdata} は、次式の数 3 の通りになる。

【0048】

【数 3】

$$V_{mdata} = \frac{R_x}{R_v + R_x} \times VDD$$

但し、 R_x は、複数の分圧抵抗 $R1 \sim R16$ のうちいずれか一つである。

【0049】

したがって、変調電圧生成部 132 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ によって、複数の分圧抵抗 $R1 \sim R16$ のうちいずれか一つを

10

20

30

40

50

内部の基底電圧源に選択的に接続することによって、異なる電圧レベルを持つ変調データ電圧 V_{mdata} をスイッチ素子 136 に供給する。

【0050】

スイッチ制御信号生成部 134 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ をデコードする第 2 デコーダ 142 と、第 2 デコーダ 142 からのデコード信号に対応するようにクロック信号 CLK をカウントすることによって異なるパルス幅を持つスイッチ制御信号 SCS を生成し、これを、ソース出力イネーブル信号 SOE に同期するようにスイッチ素子 136 に供給するカウンタ 144 とを備えている。

【0051】

第 2 デコーダ 142 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB1 \sim MSB4$ をデコードし、異なる値を持つデコード信号をカウンタ 144 に供給する。 10

【0052】

カウンタ 144 は、第 2 デコーダ 142 から供給されたデコード値までクロック信号 CLK をカウントし、デコード値に対応するパルス幅を持つスイッチ制御信号 SCS を生成する。また、カウンタ 144 は、ソース出力イネーブル信号 SOE に同期して生成したスイッチ制御信号 SCS を、スイッチ素子 136 に供給する。このときに、カウンタ 144 は、ソース出力イネーブル信号 SOE の代わりに、ゲートパルス GP に同期して生成したスイッチ制御信号 SCS を、スイッチ素子 136 に供給しても良い。

【0053】

スイッチ素子 136 は、スイッチ制御信号生成部 134 のカウンタ 144 から供給されたスイッチ制御信号 SCS によってターンオンされ、変調電圧生成部 132 の出力ノード $n1$ に印加された変調データ電圧 V_{mdata} を混合部 126 に供給する。この場合、スイッチ素子 136 は、スイッチ制御信号 SCS のパルス幅に対応する期間だけ、変調データ電圧 V_{mdata} を混合部 126 に供給する。 20

【0054】

このような第 1 実施例における変調部 130 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $Data$ に基づいて変調データ電圧 V_{mdata} 及びスイッチ制御信号 SCS を生成し、混合部 126 に供給される変調データ電圧 V_{mdata} の電圧レベル及びパルス幅を設定する。

【0055】

したがって、第 1 実施例の変調部 130 を含む液晶表示装置の駆動装置及び駆動方法では、液晶パネル 102 のスキャン区間である第 1 区間 $t1$ に、 M ビットデジタルデータ信号 $Data$ に対応する電圧レベルとパルス幅を持つ変調データ電圧 V_{mdata} と、アナログデータ電圧 V_{data} とを混合して液晶を高速駆動させた後、第 1 区間 $t1$ 以降の第 2 区間 $t2$ に、通常通りにアナログデータ電圧 V_{data} のみで液晶を駆動させている。 30

【0056】

尚、第 1 実施例における変調部 130 は、変調電圧生成部 132 の出力ノード $n1$ とスイッチ素子 136 との間にバッファ（図示せず）をさらに備えても良い。このバッファは、変調電圧生成部 132 の出力ノード $n1$ から出力される変調データ電圧 V_{mdata} をバッファリングしてスイッチ素子 136 に供給する役割を遂行する。 40

【0057】

本実施例における変調部 130 は、ラッチ 122 から出力された 8 ビットデジタルデータ信号 $Data$ のうち上位 4 ビットのみを用いる場合について説明したが、これに限定されず、8 ビットデジタルデータ信号 $Data$ によって異なる電圧レベル及びパルス幅を持つ変調データ電圧 V_{mdata} を生成し、これを混合部 130 に供給することも可能である。

【0058】

< 第 2 実施例 >

図 10 は、図 5 及び図 6 に示す本発明の実施形態による液晶表示装置の駆動装置において、変調部 130 の第 2 実施例を示す図である。 50

【0059】

図10及び図6を参照すると、第2実施例における変調部130は、スイッチ制御信号生成部134以外は、図9に示す第1実施例における変調部130と同様に構成されるので、スイッチ制御信号生成部134以外の構成についての説明は省略するものとする。

【0060】

第2実施例における変調部130のスイッチ制御信号生成部134は、クロック信号CLKの個数を、設定された値までカウントすることで一定のパルス幅を持つスイッチ制御信号SCSを生成し、これをソース出力イネーブル信号SOEに同期するようにスイッチ素子136に供給するカウンタ146を備えている。

【0061】

カウンタ146は、クロック信号CLKの個数を、設定された個数までカウントしてスイッチ制御信号SCSを発生する。そして、カウンタ146は、ソース出力イネーブル信号SOEに同期して生成したスイッチ制御信号SCSをスイッチ素子136に供給する。

【0062】

尚、カウンタ146は、ソース出力イネーブル信号SOEの代わりに、ゲートパルスGPに同期して生成したスイッチ制御信号SCSをスイッチ素子136に供給しても良い。

【0063】

このような本発明の第2実施例の変調部130において、スイッチ制御信号生成部134は、カウンタ146を用いて固定されたパルス幅を持つスイッチ制御信号SCSを生成してスイッチ素子136を制御することによって、Mビットデジタルデータ信号Dataにかかわらず固定されたパルス幅を持つ変調データ電圧Vmdataを、混合部126に供給するようにしている。

【0064】

したがって、本実施例における変調部130を備えた液晶表示装置の駆動装置及び駆動方法では、液晶パネル102のスクアン区間である第1区間t1に、固定されたパルス幅を有し、かつ、Mビットデジタルデータ信号Dataに対応する電圧レベルを持つ変調データ電圧Vmdataとアナログデータ電圧Vdataとが混合して液晶を高速駆動させた後、第1区間t1以降の第2区間t2に、通常通りにアナログデータ電圧Vdataのみで液晶を駆動させている。

【0065】

<第3実施例>

図11は、図5及び図6に示す本発明の実施形態による液晶表示装置の駆動装置において、変調部130の第3実施例を示す図である。

【0066】

図11及び図6を参照すると、第3実施例における変調部130は、スイッチ制御信号生成部134以外は、図9に示す第1実施例における変調部130と同様に構成されるので、スイッチ制御信号生成部134以外の構成については説明を省くものとする。

【0067】

第3実施例における変調部130のスイッチ制御信号生成部134は、変調電圧生成部132の出力ノードである第1ノードn1と、スイッチ素子136の制御端子である第2ノードn2との間に電氣的に接続された抵抗Rtと、第2ノードn2と基底電圧源との間に並列接続された第1キャパシタCt及びトランジスタM1と、ラッチ122から供給される上位4ビットデジタルデータ信号MSB1～MSB4に応じてスイッチ素子136から出力される変調データ電圧Vmdataをデコードし、トランジスタM1をオン／オフさせるためのクリア信号Csを発生させるクリア信号生成部244とを備えている。

【0068】

抵抗Rtは、第1ノードn1における電圧を第2ノードn2に供給する。

【0069】

第1キャパシタCtは、抵抗RtとRC回路を形成して第2ノードn2の電圧で、すなわちスイッチ素子136をオンの状態にさせる。したがって、スイッチ素子136は、第

10

20

30

40

50

1 キャパシタ C_t と抵抗 R_t との RC 回路により、第 1 キャパシタ C_t に電圧が充電されている間にターンオンされ、変調電圧生成部 132 からの変調データ電圧 V_{mdata} を混合部 126 に供給する。

【0070】

トランジスタ M_1 は、クリア信号生成部 244 からのクリア信号 C_s によって第 2 ノード n_2 を基底電圧源に電氣的に接続させ、第 1 キャパシタ C_t に格納された電圧を放電させる。

【0071】

クリア信号生成部 244 は、ラッチ 122 から供給された上位 4 ビットデジタルデータ信号 $MSB_1 \sim MSB_4$ によって、スイッチ素子 136 から混合部 126 に供給された変調データ電圧 V_{mdata} をデコードしてクリア信号 C_s を生成する。 10

【0072】

このため、クリア信号生成部 244 は、図 12 に示すように、混合部 126 に出力された変調データ電圧 V_{mdata} をバッファリングするバッファ 245 と、トランジスタ M_1 の制御端子に接続された出力端 n_0 及びバッファ 245 に電氣的に接続された抵抗 R_d と、出力端 n_0 に並列接続された複数の第 2 キャパシタ $C_1 \sim C_{16}$ と、上位 4 ビットデジタルデータ信号 $MSB_1 \sim MSB_4$ によって複数の第 2 キャパシタ $C_1 \sim C_{16}$ のうちいずれか一つをデコードする第 2 デコーダ 242 とを備えている。

【0073】

バッファ 245 は、スイッチ素子 136 から混合部 126 に供給された変調データ電圧 V_{mdata} をバッファリングして抵抗 R_d に供給する。 20

【0074】

各キャパシタ $C_1 \sim C_{16}$ は、出力端 n_0 に電氣的に接続された第 1 電極と、第 2 デコーダ 242 に電氣的に接続された第 2 電極とで構成される。これら各キャパシタ $C_1 \sim C_{16}$ は、異なる静電容量を有し、したがって、図 13 に示すような充電特性を示す。

【0075】

第 2 デコーダ 242 は、ラッチ 122 からの上位 4 ビットデジタルデータ信号 $MSB_1 \sim MSB_4$ をデコードし、複数の第 2 キャパシタ $C_1 \sim C_{16}$ のうちいずれか一つの第 2 電極を内部の基底電圧源に選択的に接続させることによって、第 2 キャパシタ $C_1 \sim C_{16}$ のうちいずれか一つと抵抗 R_t とで構成される RC 回路を形成している。 30

【0076】

このようなクリア信号生成部 244 は、上位 4 ビットデジタルデータ信号 $MSB_1 \sim MSB_4$ によって複数の第 2 キャパシタ $C_1 \sim C_{16}$ のうちいずれか一つを選択して基底電圧源に接続させることによって、バッファ 245 から入力された電圧を、選択した第 2 キャパシタ $C_1 \sim C_{16}$ に充電させる。したがって、クリア信号生成部 244 は、第 2 デコーダ 242 により選択された第 2 キャパシタ $C_1 \sim C_{16}$ に充電させた電圧に対応するクリア信号 C_s を発生させてトランジスタ M_1 に供給する。

【0077】

これにより、クリア信号 C_s は、選択した第 2 キャパシタ $C_1 \sim C_{16}$ に充電させた電圧が、トランジスタ M_1 のしきい電圧 V_{th} 以下の場合に第 1 論理状態を持つのに対し、トランジスタ M_1 のしきい電圧 V_{th} 以上の場合に第 1 論理状態と異なる第 2 論理状態を持つようになる。このときに、第 2 論理状態は、トランジスタ M_1 をターンオンさせられるような電圧レベルを有し、第 1 論理状態は、トランジスタ M_1 をターンオフさせられるような電圧レベルを有する。 40

【0078】

したがって、トランジスタ M_1 は、各第 2 キャパシタ $C_1 \sim C_{16}$ の静電容量に基づいて発生する第 2 論理状態のクリア信号 C_s によってターンオンされることによって、第 2 ノード n_2 の電圧を基底電圧源に放電させる。要するに、スイッチ制御信号生成部 134 は、上位 4 ビットデジタルデータ信号 $MSB_1 \sim MSB_4$ によって発生させるクリア信号 C_s に基づいて異なるパルス幅を持つスイッチ制御信号 SCS を生成することによって、 50

変調データ電圧 V_{mdata} を混合部 126 に供給する時間 t_1 を設定する。

【0079】

但し、クリア信号生成部 244 は、図 14 に示すように、出力端 n_0 とトランジスタ M_1 の制御端子との間に接続されたインバータ 246 をさらに備える。

【0080】

インバータ 246 は、出力端 n_0 から供給されたクリア信号 C_s を反転させてトランジスタ M_1 の制御端子に供給する。このときに、トランジスタ M_1 は、P タイプトランジスタにならねばならない。

【0081】

また、クリア信号生成部 244 は、出力端 n_0 とトランジスタ M_1 の制御端子との間に接続された 2 個のインバータを備え、クリア信号 C_s を 2 回反転させてトランジスタ M_1 の制御端子に供給しても良い。この場合、トランジスタ M_1 は、N タイプトランジスタでなければならない。

【0082】

このような第 3 実施例の変調部 130 において、スイッチ制御信号生成部 134 は、M ビットデジタルデータ信号 $Data$ に対応するクリア信号 C_s を生成してスイッチ素子 136 を制御することによって、M ビットデジタルデータ信号 $Data$ に応じて異なる電圧レベルと異なるパルス幅を持つ変調データ電圧 V_{mdata} が混合部 126 に供給されるようにする。

【0083】

また、本実施例の変調部 130 において、スイッチ制御信号生成部 134 は、第 1 キャパシタ C_t と抵抗 R_t を用いてスイッチ素子 136 をターンオンさせ、ゲートパルス GP の第 1 区間 t_1 間に、M ビットデジタルデータ信号 $Data$ に対応する電圧レベルを持つ変調データ電圧 V_{mdata} を、固定された幅で混合部 126 に供給し、M ビットデジタルデータ信号 $Data$ に対応するクリア信号 C_s を生成して、ゲートパルス GP の第 2 区間 t_2 間に、第 1 キャパシタ C_t に格納された電圧を放電させてスイッチ素子 136 をターンオフさせるようにする。

【0084】

したがって、第 3 実施例における変調部 130 を備えた液晶表示装置の駆動装置及び駆動方法では、液晶パネル 102 のスキャン区間である第 1 区間 t_1 に、相互に異なるパルス幅を有し、M ビットデジタルデータ信号 $Data$ に対応する電圧レベルを有する変調データ電圧 V_{mdata} とアナログデータ電圧 V_{data} とが混合された電圧で液晶を高速駆動させた後、第 1 区間 t_1 以降の第 2 区間 t_2 に、通常通りにアナログデータ電圧 V_{data} のみで液晶を駆動させている。

【0085】

図 15 は、図 5 及び図 6 に示す本発明の実施形態による液晶表示装置の駆動装置において、変調部 130 の第 4 実施例を示す図である。

【0086】

< 第 4 実施例 >

図 15 及び図 6 を参照すると、第 4 実施例における変調部 130 は、スイッチ制御信号生成部 134 以外は、図 9 に示す第 1 実施例における変調部 130 と同様の構成を有するので、スイッチ制御信号生成部 134 以外の構成については説明を省くものとする。

【0087】

第 4 実施例における変調部 130 のスイッチ制御信号生成部 134 は、変調電圧生成部 132 の出力ノードである第 1 ノード n_1 とスイッチ素子 136 の制御端子である第 2 ノード n_2 との間に電氣的に接続された抵抗 R_t と、第 2 ノード n_2 と基底電圧源間に並列接続された第 1 キャパシタ C_t 及びトランジスタ M_1 と、スイッチ素子 136 から出力された変調データ電圧 V_{mdata} を用いてトランジスタ M_1 をオン／オフの状態にするためのクリア信号 C_s を発生させるクリア信号生成部 344 とを備えている。

【0088】

抵抗 R_t は、第 1 ノード n_1 における電圧を第 2 ノード n_2 に供給する。

【0089】

第 1 キャパシタ C_t は、抵抗 R_t と RC 回路を形成して第 2 ノード n_2 の電圧を、すなわちスイッチ素子 136 をオンの状態にさせる。これにより、スイッチ素子 136 は、第 1 キャパシタ C_t と抵抗 R_t との RC 回路により、第 1 キャパシタ C_t に電圧を充電している間にターンオンされ、変調電圧生成部 132 からの変調データ電圧 V_{mdata} を混合部 126 に供給する。

【0090】

トランジスタ M_1 は、クリア信号生成部 244 からのクリア信号 C_s に基づいて第 2 ノード n_2 を基底電圧源に電氣的に接続させ、第 1 キャパシタ C_t に格納した電圧を放電させる。 10

【0091】

クリア信号生成部 344 は、スイッチ素子 136 から混合部 126 に供給された変調データ電圧 V_{mdata} を用いてトランジスタ M_1 をオン／オフの状態にするためのクリア信号 C_s を生成する。

【0092】

このため、クリア信号生成部 344 は、図 16 に示すように、変調データ電圧 V_{mdata} をバッファリングするバッファ 345 と、トランジスタ M_1 の制御端子に接続された出力端 n_0 とバッファ 345 とに電氣的に接続された抵抗 R_d と、出力端子 n_0 と基底電圧源とに電氣的に接続された第 2 キャパシタ C_d とを備えている。 20

【0093】

バッファ 345 は、混合部 126 に供給された変調データ電圧 V_{mdata} をバッファリングして抵抗 R_d に供給する。

【0094】

抵抗 R_d 及び第 2 キャパシタ C_d は、RC 時定数によりバッファ 345 から供給された変調データ電圧 V_{mdata} を遅延させてクリア信号 C_s を発生させ、これをトランジスタ M_1 の制御端子に供給する。このときに、抵抗 R_d 及び第 2 キャパシタ C_d による RC 時定数は、ゲートラインに供給されたゲートパルス G_P の第 2 区間 t_2 の間にクリア信号 C_s を発生させてトランジスタ M_1 をオンの状態にするように設定される。

【0095】

尚、クリア信号生成部 344 は、出力端 n_0 とトランジスタ M_1 の制御端子との間に少なくとも一つのインバータをさらに備えても良い。 30

【0096】

このような第 4 実施例の変調部 130 においてスイッチ制御信号生成部 134 は、第 1 キャパシタ C_t と抵抗 R_t を用いてスイッチ素子 136 をターンオンさせ、ゲートパルス G_P の第 1 区間 t_1 の間に、Mビットデジタルデータ信号 $Data$ に対応する電圧レベルを持つ変調データ電圧 V_{mdata} を固定された幅で混合部 126 に供給するようにし、クリア信号生成部 344 及びトランジスタ M_1 を用いてゲートパルス G_P の第 2 区間 t_2 の間に第 1 キャパシタ C_t に格納した電圧を放電させてスイッチ素子 136 をターンオフさせる。 40

【0097】

したがって、本実施例における変調部 130 を備えた液晶表示装置の駆動装置及び駆動方法では、液晶パネル 102 のスキャン区間である第 1 区間 t_1 に、固定されたパルス幅を有し、かつ、Mビットデジタルデータ信号 $Data$ に対応する電圧レベルを有する変調データ電圧 V_{mdata} とアナログデータ電圧 V_{data} とが混合して液晶を高速駆動させた後、第 1 区間 t_1 以降の第 2 区間 t_2 に、通常通りにアナログデータ電圧 V_{data} のみで液晶を駆動させている。

【0098】

<第 5 実施例>

図 17 は、図 5 及び図 6 に示す本発明の実施形態による液晶表示装置の駆動装置におい 50

て、変調部 130 の第 5 実施例を示す図である。

【0099】

図 17 及び図 6 を参照すると、第 5 実施形態における変調部 130 は、変調電圧生成部 132 以外は、図 9 に示す第 1 実施例における変調部 130 と同様の構成を有するので、変調電圧生成部 132 以外の構成については説明を省くものとする。

【0100】

第 5 実施例における変調部 130 の変調電圧生成部 132 は、駆動電圧 VDD と基底電圧源との間に直列接続された第 1 及び第 2 分圧抵抗 Rv、Rf を備え、第 1 及び第 2 分圧抵抗 Rv、Rf 間の出力ノード n1 は、スイッチ素子 136 に電氣的に接続されている。

【0101】

第 1 及び第 2 分圧抵抗 Rv、Rf は、それ自体の抵抗値により駆動電圧 VDD を分圧し、固定されたレベルの分圧電圧をスイッチ素子 136 に供給する。

【0102】

このような第 5 実施例の変調部 130 において変調電圧生成部 132 は、第 1 及び第 2 分圧抵抗 Rv、Rf を用いて、固定された電圧レベルを有する変調データ電圧 Vmdat a を生成し、これをスイッチ素子 136 に供給する。

【0103】

したがって、本実施例における変調部 130 を備えた液晶表示装置の駆動装置及び駆動方法では、液晶パネル 102 のスキャン区間である第 1 区間 t1 に、Mビットデジタルデータ信号 Data にかかわらずに固定された電圧レベルと、Mビットデジタルデータ信号 Data によるパルス幅を有する変調データ電圧 Vmdat a と、アナログデータ電圧 Vdat a とを混合して液晶を高速駆動させた後、第 1 区間 t1 以降の第 2 区間 t2 に、通常通りにアナログデータ電圧 Vdat a のみで液晶を駆動させている。

【0104】

<第 6 実施例>

図 18 は、図 5 及び図 6 に示す本発明の実施形態による液晶表示装置の駆動装置において、変調部 130 の第 6 実施例を示す図である。

【0105】

図 18 及び図 6 を参照すると、第 6 実施例における変調部 130 は、変調電圧生成部 132 以外は、図 11 に示す第 3 実施例における変調部 130 と同様の構成を有するので、変調電圧生成部 132 以外の構成については説明を省くものとする。

【0106】

第 6 実施例における変調部 130 の変調電圧生成部 132 は、駆動電圧 VDD と基底電圧源との間に直列接続された第 1 及び第 2 分圧抵抗 Rv、Rf を備え、第 1 及び第 2 分圧抵抗 Rv、Rf 間の出力ノード n1 は、スイッチ素子 136 に電氣的に接続されている。

【0107】

第 1 及び第 2 分圧抵抗 Rv、Rf は、自らの抵抗値により駆動電圧 VDD を分圧し、固定されたレベルの分圧電圧をスイッチ素子 136 に供給する。

【0108】

このような第 6 実施例の変調部 130 において、変調電圧生成部 132 は、第 1 及び第 2 分圧抵抗 Rv、Rf を用いて、固定された電圧レベルを有する変調データ電圧 Vmdat a を生成し、これをスイッチ素子 136 に供給する。したがって、本実施例における変調部 130 を備えた液晶表示装置の駆動装置及び駆動方法では、液晶パネル 102 のスキャン区間である第 1 区間 t1 に、Mビットデジタルデータ信号 Data にかかわらず、固定された電圧レベルと Mビットデジタルデータ信号 Data に基づくパルス幅を有する変調データ電圧 Vmdat a と、アナログデータ電圧 Vdat a とを混合して液晶を高速駆動させた後、第 1 区間 t1 以降の第 2 区間 t2 に、通常通りにアナログデータ電圧 Vdat a のみで液晶を駆動させている。

【0109】

以上、具体的な実施例及び図面に基づいて本発明を説明してきたが、これに限定されず

10

20

30

40

50

、本発明の技術的思想を逸脱しない範囲内で様々な置換、変形及び変更が可能であるといふことは、本発明の属する技術分野で通常の知識を持つ者にとっては明白である。

【図面の簡単な説明】

【0110】

【図1】従来技術による液晶表示装置におけるデータによる輝度変化を示す波形図である。

【図2】従来技術による液晶表示装置の高速駆動方式におけるデータ変調による輝度変化の一例を示す波形図である。

【図3】従来技術による液晶表示装置の高速駆動装置における上位ビットデータの変調を示す図である。

【図4】従来技術による液晶表示装置の高速駆動装置を示すブロック図である。

【図5】本発明の実施形態における液晶表示装置の駆動装置を概略的に示す図である。

【図6】図5に示したデータドライバを概略的に示す図である。

【図7A】図6に示したデジタル-アナログ変換部に供給されたガンマ電圧または変調部から出力される変調データ電圧の電圧レベルを示す図である。

【図7B】図6に示した変調部から出力される変調データ電圧の電圧レベルを示す図である。

【図8】図5に示した液晶パネルのゲートライン及びデータラインに供給される波形を示す波形図である。

【図9】図6に示した変調部の第1実施例を示す図である。

【図10】図6に示した変調部の第2実施例を示す図である。

【図11】図10に示した変調部の第3実施例を示す図である。

【図12】図11に示したクリア信号生成部の一例を示す図である。

【図13】図12に示した各キャパシタに格納される電圧を示す波形図である。

【図14】図11に示したクリア信号生成部の一例を示す図である。

【図15】図6に示した変調部の第4実施例を示す図である。

【図16】図15に示したクリア信号生成部の一例を示す図である。

【図17】図6に示した変調部の第5実施例を示す図である。

【図18】図6に示した変調部の第6実施例を示す図である。

【符号の説明】

【0111】

43 フレームメモリ

44 ルックアップテーブル

102 液晶パネル

104 データドライバ

106 ゲートドライバ

108 タイミングコントローラ

120 シフトレジスタ

122 ラッチ

124 デジタル-アナログ変換部

126 混合部

128 出力部

130 変調部

132 変調電圧生成部

134 スイッチ制御信号生成部

136 スイッチ素子

140, 142, 242 デコーダ

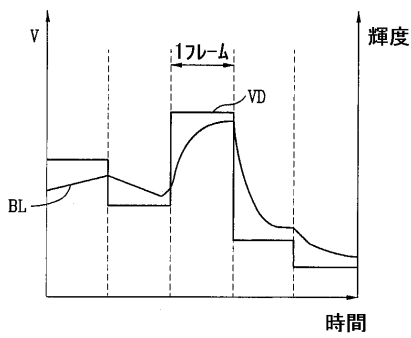
144, 146 カウンタ

244, 344 クリア信号生成部

245, 345 バッファ

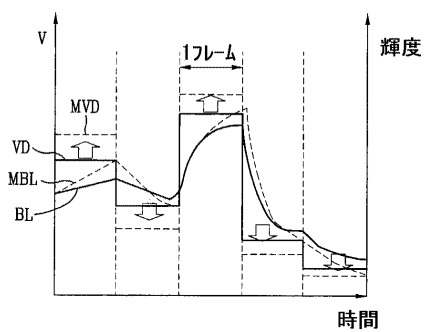
【図 1】

従来技術



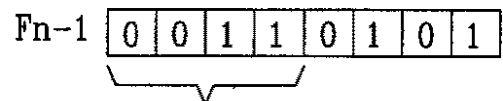
【図 2】

従来技術

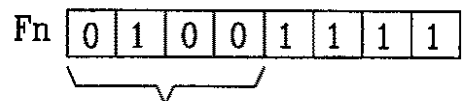


【図 3】

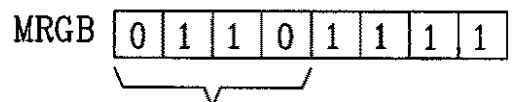
従来技術



4 ビットのMSB



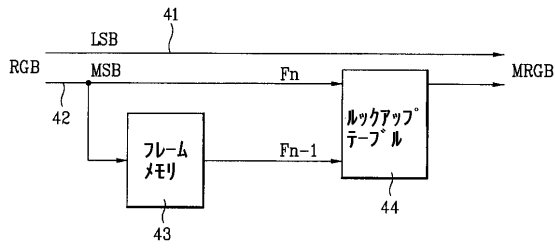
4 ビットのMSB



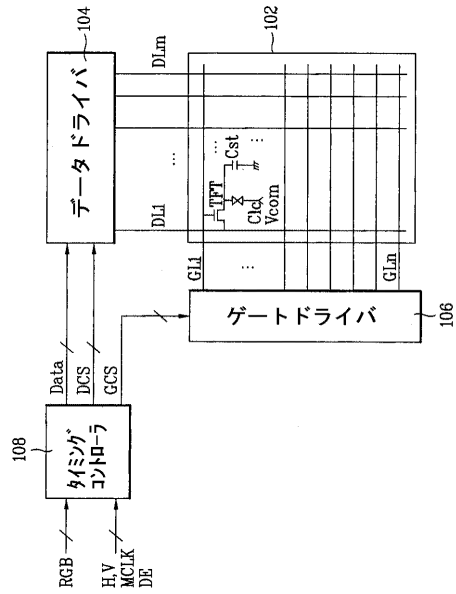
4 ビットのMSB

【図 4】

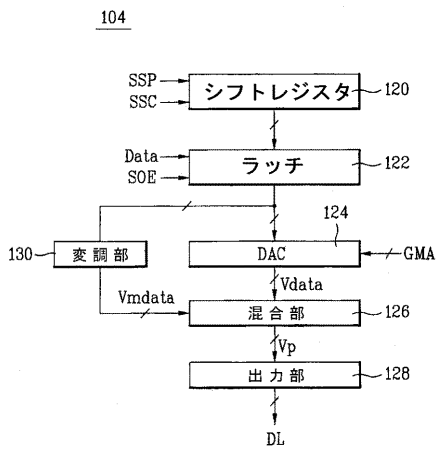
従来技術



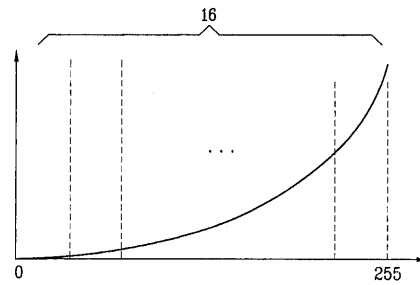
【図 5】



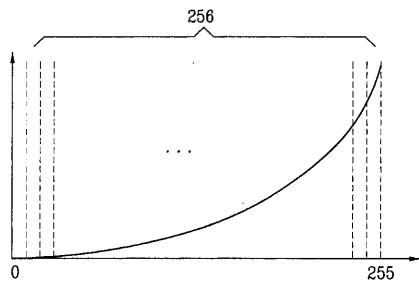
【図 6】



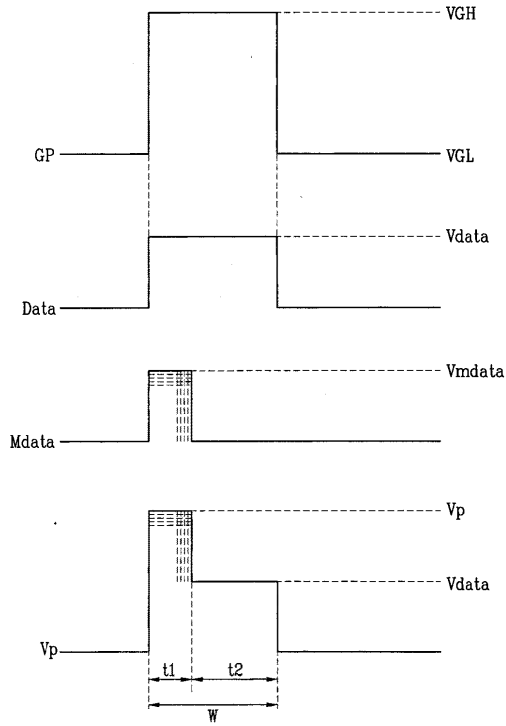
【図 7 B】



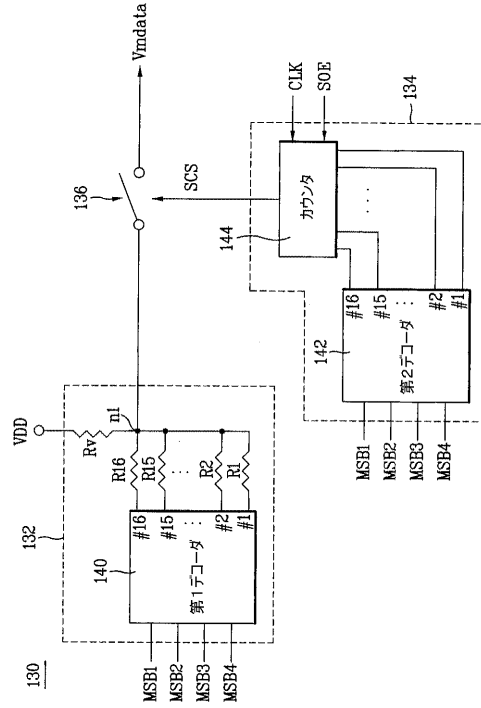
【図 7 A】



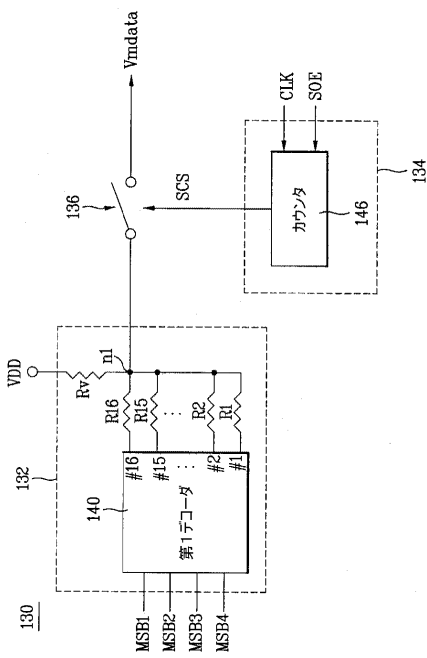
【图 8】



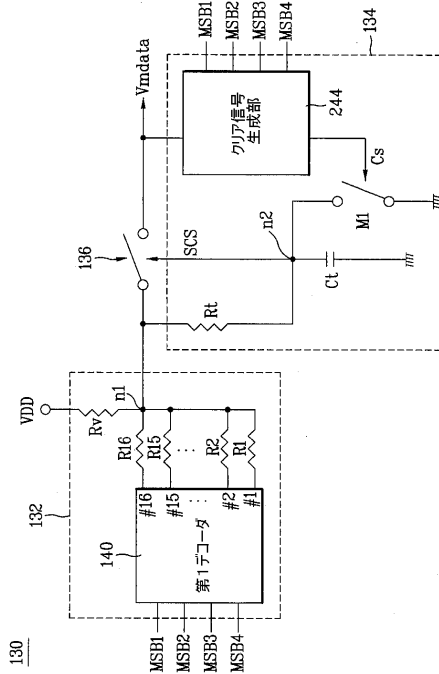
【图 9】



【 図 1 0 】

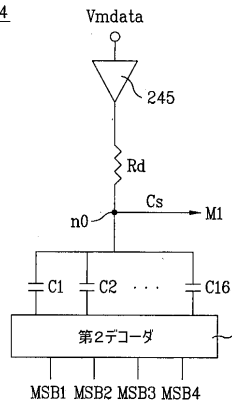


【 図 1 1 】

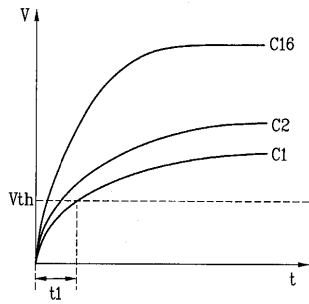


【図 1 2】

244

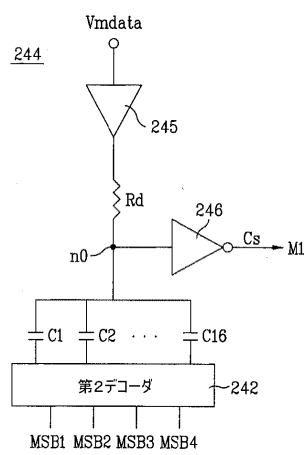


【図 1 3】

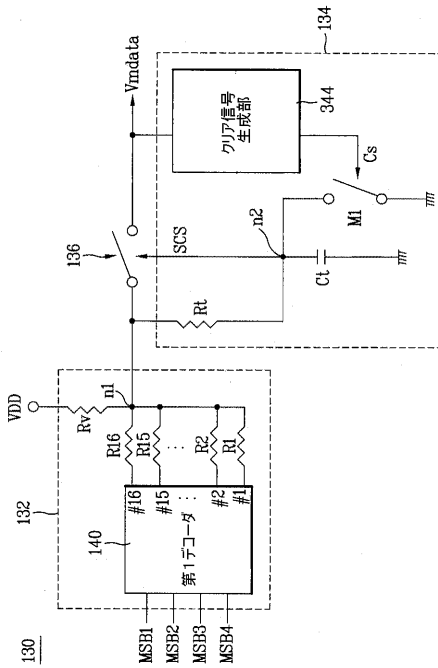


【図 1 4】

244

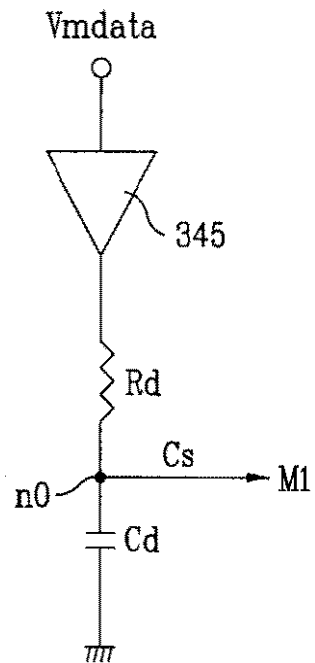


【図 1 5】



【図 1 6】

344



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 2 3 F
 G 0 9 G 3/20 6 2 3 Y
 G 0 9 G 3/20 6 4 1 A
 G 0 9 G 3/20 6 4 1 C
 G 0 9 G 3/20 6 2 3 B
 G 0 9 G 3/20 6 2 1 A
 G 0 9 G 3/20 6 1 2 F
 G 0 9 G 3/20 6 3 1 R

(74)代理人 100096688
 弁理士 本宮 照久

(74)代理人 100104352
 弁理士 朝日 伸光

(74)代理人 100128657
 弁理士 三山 勝巳

(72)発明者 李 錫 雨
 大韓民国 ソウル 九老區 梧柳1洞 3 3 8番地

(72)発明者 金 楠 熹
 大韓民国 ソウル 江西區 禾谷洞 1 1 1-2 0

Fターム(参考) 2H093 NA16 NA43 NA53 NC03 NC10 NC12 NC22 NC26 NC27 NC28
 NC34 NC35 NC49 NC65 ND06 ND33 ND58
 5C006 AA15 AA16 AC21 AF71 AF83 BB16 BC12 BC16 BF03 BF04
 BF11 BF22 BF24 BF27 BF28 BF37 BF43 FA14 FA16 FA44
 FA51
 5C080 AA10 BB05 DD08 DD22 DD27 EE28 EE29 FF11 JJ02 JJ03
 JJ04 JJ05

专利名称(译)	液晶显示装置的驱动装置和驱动方法		
公开(公告)号	JP2006251764A	公开(公告)日	2006-09-21
申请号	JP2005344972	申请日	2005-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	李錫雨 金楠熹		
发明人	李 錫 雨 金 楠 熹		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3648 G09G2310/027 G09G2320/0252 G09G2320/0276		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.570 G09G3/20.621.F G09G3/20.623.C G09G3/20.623.F G09G3/20.623.Y G09G3/20.641.A G09G3/20.641.C G09G3/20.623.B G09G3/20.621.A G09G3/20.612.F G09G3/20.631.R G09G3/20.612.U G09G3/20.623.D		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC65 2H093/ND06 2H093/ND33 2H093/ND58 5C006/AA15 5C006/AA16 5C006/AC21 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF22 5C006/BF24 5C006/BF27 5C006/BF28 5C006/BF37 5C006/BF43 5C006/FA14 5C006/FA16 5C006/FA44 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD22 5C080/DD27 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZH40		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020050018626 2005-03-07 KR		
其他公开文献	JP4514695B2		
外部链接	Espacenet		

摘要(译)

甲防止额外减少不使用的图像质量的一个存储器通过增大液晶的响应速度，和用于驱动这实现在由于不使用存储器的成本的降低的液晶显示装置提供的设备和方法它。用于驱动根据本发明的液晶显示装置的设备包括具有多条栅极线和多条数据线设置成彼此交叉，栅极驱动器，用于提供栅极脉冲的栅极线的液晶面板，对输入的N位（其中N为正整数）数字数据信号进行采样，以产生模拟数据电压，并选择采样数据信号的M位（其中M小于N）相等的正基于所述整数的数据值）来生成经调制的数据电压以提高液晶的响应速度，还包括将所调制的数据电压提供给数据线的的数据驱动器中并混合，以与模拟数据电压特征。点域6

