

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-235627

(P2006-235627A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 575	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
G09G 3/34 (2006.01)	G02F 1/133 525	
	G09G 3/20 611E	

審査請求 有 請求項の数 14 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2006-42049 (P2006-42049)
 (22) 出願日 平成18年2月20日 (2006.2.20)
 (31) 優先権主張番号 10-2005-0016220
 (32) 優先日 平成17年2月26日 (2005.2.26)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国443-742京畿道水原市靈通
 区梅灘洞416
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 申 ▲キョン▼ 周
 大韓民国京畿道龍仁市器興邑甫羅里289
 -12サムジョンアパート102/504

最終頁に続く

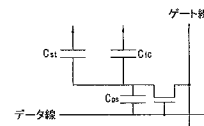
(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【要約】

【課題】フリッカーと残像が減少した液晶表示装置及びその駆動方法を提供する。

【解決手段】液晶表示装置は、ゲート線とデータ線の交差によって定義される画素が設けられている液晶表示パネルと、階調電圧を生成する階調電圧生成部と、ゲートオフ電圧、正極性ゲートオン電圧、正極性ゲートオン電圧より低い負極性ゲートオン電圧を生成する駆動電圧生成部と、ゲート線にゲートオン電圧を印加するゲート駆動部と、階調電圧生成部から階調電圧の印加を受けて画素にデータ電圧を印加するデータ駆動部と、データ駆動部が画素に正極性データ電圧と負極性データ電圧を交互に印加し、正極性データ電圧が印加される画素には正極性ゲートオン電圧を印加し、負極性データ電圧が印加される画素には負極性ゲートオン電圧を印加するように制御する信号制御部とを含む。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

ゲート線とデータ線の交差によって定義される画素が設けられている液晶表示パネルと、
階調電圧を生成する階調電圧生成部と、
ゲートオフ電圧、正極性ゲートオン電圧、前記正極性ゲートオン電圧より低い負極性ゲートオン電圧を生成する駆動電圧生成部と、
前記ゲート線にゲートオン電圧を印加するゲート駆動部と、
前記階調電圧生成部から前記階調電圧の印加を受けて前記画素にデータ電圧を印加するデータ駆動部と、
前記データ駆動部が、前記画素に正極性データ電圧と負極性データ電圧とを交互に印加し、前記正極性データ電圧が印加される画素には前記正極性ゲートオン電圧を印加し、前記負極性データ電圧が印加される画素には前記負極性ゲートオン電圧を印加するように制御する信号制御部と、
を含むことを特徴とする液晶表示装置。

10

【請求項 2】

前記負極性ゲートオン電圧と前記ゲートオフ電圧の電圧差は、前記正極性ゲートオン電圧と前記ゲートオフ電圧の電圧差の 50 ~ 80 % の間であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲート線の延長方向に互いに隣接した前記画素は互いに異なる前記ゲート線に接続されていることを特徴とする、請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記信号制御部は、互いに隣接した前記ゲート線に互いに異なるゲートオン電圧が印加されるように前記ゲート駆動部を制御することを特徴とする、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記信号制御部は、同一のゲート線に接続された画素に同一の極性のデータ電圧が印加されるように前記データ駆動部を制御することを特徴とする、請求項 4 に記載の液晶表示装置。

30

【請求項 6】

秒当たりフレーム数が 120 以上であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 2 ゲートオン電圧は時間に従って電圧が減少する階段式電圧分布を有することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 8】

前記第 1 ゲートオン電圧は時間に従って電圧が減少する階段式電圧分布を有することを特徴とする、請求項 7 に記載の液晶表示装置。

【請求項 9】

前記液晶表示パネルは液晶層をさらに含み、
前記液晶層は誘電率異方性が負であり初期配列が垂直方向であることを特徴とする、請求項 1 に記載の液晶表示装置。

40

【請求項 10】

前記液晶表示パネルの背面に位置しており、三色光をフレーム単位で前記液晶表示パネルに順次反復的に供給する光源部をさらに含むことを特徴とする、液晶表示装置。

【請求項 11】

秒当たりフレーム数が 180 回以上であることを特徴とする、請求項 10 に記載の液晶表示装置。

【請求項 12】

50

ゲート線とデータ線の交差によって定義される画素が設けられている液晶表示パネルを含む液晶表示装置の制御方法において、

正極性データ電圧が印加される前記画素には正極性ゲートオン電圧を印加し、負極性データ電圧が印加される前記画素には前記正極性ゲートオン電圧より低い負極性ゲートオン電圧を印加することを特徴とする液晶表示装置の駆動方法。

【請求項 13】

前記負極性ゲートオン電圧とゲートオフ電圧の電圧差は、前記正極性ゲートオン電圧と前記ゲートオフ電圧の電圧差の 50 ~ 80 % の間であることを特徴とする、請求項 12 に記載の液晶表示装置の駆動方法。

【請求項 14】

互いに隣接したゲート線に互いに異なるゲートオン電圧を印加し、互いに隣接したデータ線に互いに異なる極性のデータ電圧を印加することを特徴とする、請求項 12 に記載の液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置とその駆動方法に係わり、より詳しくは、データ電圧の極性別に互いに異なるゲートオン電圧を印加してフリッカーと残像を減少させた液晶表示装置とその駆動方法に関する。

【背景技術】

20

【0002】

液晶表示装置は薄膜トランジスタが形成されている薄膜トランジスタ基板と、カラーフィルター層が形成されているカラーフィルター基板及びこれらの上に液晶層が位置している液晶表示パネルを含む。液晶表示パネルは非発光素子であるため、薄膜トランジスタ基板の後面に、光を供給するためのバックライトユニットを配置する必要がある。バックライトユニットから供給された光は液晶層の配列状態によって透過量が調節される。

【0003】

薄膜トランジスタ基板に設けられたゲート線とデータ線は互いに交差しながら画素を形成し、各画素において対応するゲート線およびデータ線が薄膜トランジスタに接続されている。ゲート線にゲートオン電圧 V_{on} が印加され薄膜トランジスタがターンオンすると、データ線を通じて印加されたデータ電圧 V_d が画素に充電される。画素に充電された画素電圧 V_p とカラーフィルター基板の共通電極に形成された共通電圧 V_{com} との間に形成された電界によって液晶層の配列状態が決定される。データ電圧 V_d はフレーム別に異なる極性で印加される。

30

【0004】

画素に印加されたデータ電圧 V_d は、ゲート電極とソース電極との間の寄生容量 C_{gs} によって降下して画素電圧 V_p を形成する。データ電圧 V_d と画素電圧 V_p の間の電圧差をキックバック電圧 V_{kb} という。

キックバック電圧 V_{kb} は、階調と極性によってその値が変化するものであって、フレームごとに画素電圧 V_p が相異なるように構成される。このことから輝度差によるフリッカー (flicker) 不良が生じ、残留直流電圧 (residual DC voltage) の影響を受けて残像が発生するという問題が生じる。

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

したがって、本発明の目的はフリッカーと残像が減少した液晶表示装置を提供することにある。

また、本発明の他の目的はフリッカーと残像が減少する液晶表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

50

【0006】

上記の目的は、ゲート線とデータ線の交差によって定義される画素が設けられている液晶表示パネルと；階調電圧を生成する階調電圧生成部と；ゲートオフ電圧、正極性ゲートオン電圧、前記正極性ゲートオン電圧より低い負極性ゲートオン電圧を生成する駆動電圧生成部と；前記ゲート線にゲートオン電圧を印加するゲート駆動部と；前記階調電圧生成部から前記階調電圧の印加を受けて前記画素にデータ電圧を印加するデータ駆動部と；前記データ駆動部が、前記画素に正極性データ電圧と負極性データ電圧を交互に印加し、前記正極性データ電圧が印加される画素には前記正極性ゲートオン電圧を印加し、前記負極性データ電圧が印加される画素には前記負極性ゲートオン電圧を印加するように制御する信号制御部とを含む液晶表示装置によって達成できる。

10

【0007】

前記負極性ゲートオン電圧と前記ゲートオフ電圧の電圧差は、前記正極性ゲートオン電圧と前記ゲートオフ電圧の電圧差の50～80%の間であるのが好ましい。

前記ゲート線の延長方向に互いに隣接した前記画素は互いに異なる前記ゲート線に接続されているのが好ましい。

前記信号制御部は互いに隣接した前記ゲート線に互いに異なるゲートオン電圧が印加されるように前記ゲート駆動部を制御するのが好ましい。

【0008】

前記信号制御部は同一のゲート線に接続された画素に同一の極性のデータ電圧が印加されるように前記データ駆動部を制御するのが好ましい。

20

秒当たりフレーム数が120以上であるのが好ましい。

前記第2ゲートオン電圧は時間に従って電圧が減少する階段式電圧分布を有するのが好ましい。

【0009】

前記第1ゲートオン電圧は時間に従って電圧が減少する階段式電圧分布を有するのが好ましい。

前記液晶表示パネルは液晶層をさらに含み、前記液晶層は誘電率異方性が負であり初期配列が垂直方向であるのが好ましい。

また、前記液晶表示パネルの背面に位置しており、三色光をフレーム単位で前記液晶表示パネルに順次反復的に供給する光源部をさらに含むのが好ましい。この場合、秒当たりフレーム数が180回以上であるのが好ましい。

30

【0010】

前記本発明の他の目的は、ゲート線とデータ線の交差によって定義される画素が設けられている液晶表示パネルを含む液晶表示装置の制御方法において、正極性データ電圧が印加される前記画素には正極性ゲートオン電圧を印加し、負極性データ電圧が印加される前記画素には前記正極性ゲートオン電圧より低い負極性ゲートオン電圧を印加することを特徴とする液晶表示装置の駆動方法によって達成できる。

【0011】

前記負極性ゲートオン電圧とゲートオフ電圧の電圧差は、前記正極性ゲートオン電圧と前記ゲートオフ電圧の電圧差の50～80%の間であるのが好ましい。

40

互いに隣接したゲート線に互いに異なるゲートオン電圧を印加し、互いに隣接したデータ線に互いに異なる極性のデータ電圧を印加するのが好ましい。

【発明の効果】

【0012】

本発明によると、フリッカーと残像が減少した液晶表示装置が提供される。

また、フリッカーと残像が減少する液晶表示装置の駆動方法が提供される。

【発明を実施するための最良の形態】

【0013】

以下、添付図面を参照して本発明をさらに詳しく説明する。

詳細な説明に先立って、いろいろな実施例において同一の構成要素には同一の参照番号

50

を付与した。同一の構成要素については第1実施例で代表的に説明し、他の実施例ではその説明を省略する。

図1は本発明の第1実施例による液晶表示装置のブロック図である。

【0014】

本発明の液晶表示装置1は液晶表示パネル300及びこれに接続されたゲート駆動部400とデータ駆動部500、ゲート駆動部400に接続された駆動電圧生成部700、データ駆動部500に接続された階調電圧生成部800及びこれらを制御する信号制御部600を含む。

このうち、液晶表示パネル300について図2および図3を参照して説明すると次の通りである。

【0015】

液晶表示パネル300は互いに対向する薄膜トランジスタ基板100とカラーフィルター基板200、そして両基板100、200の間に位置する液晶層260を含む。

先ず、薄膜トランジスタ基板100を見ると、第1絶縁基板111上にゲート配線121、122、123が形成されている。ゲート配線121、122、123は金属単一層または多重層であることができる。ゲート配線121、122、123は横方向にのびているゲート線121及びゲート線121に接続されている薄膜トランジスタTのゲート電極122、画素電極層151と重なって保存容量を形成する共通電極線123を含む。

【0016】

第1絶縁基板111上には、窒化ケイ素(SiNx)などからなるゲート絶縁膜131がゲート配線121、122、123を覆っている。

ゲート電極122のゲート絶縁膜131の上部には、非晶質ケイ素などの半導体からなる半導体層132が形成されており、半導体層132の上部には、シリサイドまたはn型不純物が高濃度にドーピングされているn+水素化非晶質ケイ素などの物質で作られた抵抗接触層133が形成されている。抵抗接触層133はゲート電極122を中心に2部分に分けられている。

【0017】

抵抗接触層133及びゲート絶縁膜131上には、データ配線141、142、143が形成されている。データ配線141、142、143も、金属層からなる単一層または多重層で構成することができる。データ配線141、142、143は、縦方向に形成されゲート線121と交差して画素を形成するデータ線141、データ線141の分枝で抵抗接触層133の上部まで延長されているドレーン電極142、ドレーン電極142と分離されておりゲート電極122を中心にドレーン電極142の反対側抵抗接触層133の上部に形成されているソース電極143を含む。

【0018】

データ配線141、142、143及びこれらが覆っていない半導体層132の上部には、窒化ケイ素、PECVD方法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜及びアクリル系有機絶縁膜などからなる保護膜134が形成されている。保護膜134にはソース電極143を露出する接触口161が形成されている。

保護膜134の上部には、画素電極層151が形成されている。画素電極層151は通常ITO(indium tin oxide)またはIZO(indium zinc oxide)等の透明な導電物質からなる。

【0019】

画素電極層151には、画素電極切開パターン152が形成されている。画素電極切開パターン152は、後述の共通電極切開パターン252と共に液晶層260を複数のドメインに分割するために形成されているものである。

カラーフィルター基板200を見ると、第2絶縁基板211上にブラックマトリックス221が形成されている。ブラックマトリックス221は、一般に赤色、緑色及び青色フィルターの間を区分し、薄膜トランジスタ基板100に位置する薄膜トランジスタT

10

20

30

40

50

への直接的な光照射を遮断する役割を果たす。ブラックマトリックス 221 は、通常黒色顔料が添加された感光性有機物質から構成されている。黒色顔料としてはカーボンブラックやチタニウムオキシドなどを使用することができる。

【0020】

カラーフィルター層 231 は、ブラックマトリックス 221 を境界として赤色、緑色及び青色フィルターが反復して形成される。カラーフィルター層 231 は、光源部 400 から照射されて液晶層 260 を通過した光に色相を付与する役割を果たす。カラーフィルター層 231 は、通常感光性有機物質から構成されている。

カラーフィルター層 231 とカラーフィルター層 231 が覆っていないブラックマトリックス 221 の上部には、オーバーコート膜 241 が形成されている。オーバーコート膜 241 は、カラーフィルター層 231 を平坦化すると共に、カラーフィルター層 231 を保護する役割を果たし、通常アクリル系エポキシ材料が多く使用される。

10

【0021】

オーバーコート膜 241 の上部には、共通電極層 251 が形成されている。共通電極層 251 は、ITO (indium tin oxide) または IZO (indium zinc oxide) 等の透明な導電物質からなる。共通電極層 251 は、薄膜トランジスター基板の画素電極層 151 と共に液晶層 260 に直接電圧を印加する。共通電極層 251 には、共通電極切開パターン 252 が形成されている。共通電極切開パターン 252 は、画素電極層 151 の画素電極切開パターン 152 と共に液晶層 260 を複数のドメインに分ける役割を果たす。

20

【0022】

画素電極切開パターン 152 と共通電極切開パターン 252 は、多様な形状に形成することができる。例えば、画素電極切開パターン 152 と共通電極切開パターン 252 は、図において斜め方向に形成することができ、図示したように互いに直交する折曲部を備えるように構成することができる。

薄膜トランジスター基板 100 とカラーフィルター基板 200 との間に液晶層 260 が位置する。液晶層 260 は VA (vertically aligned) モードであり、電圧が加わらない状態で液晶分子は長さ方向が垂直方向となっている。電圧が加わると、液晶分子は誘電率異方性が負であるため、電場に対して垂直方向に置かれる。ところが、画素電極切開パターン 152 と共通電極切開パターン 252 が形成されていないと、液晶分子は置かれる方位角が決定されず、多様な方向に無秩序に配列し、配向方向が異なる境界面で転傾線 (disclination line) が生じる。画素電極切開パターン 152 と共通電極切開パターン 252 は、液晶層 260 に電圧がかかる時にフリンジフィールドを形成して、液晶配向の方位角を決定する。また、液晶層 260 は、画素電極切開パターン 152 と共通電極切開パターン 252 の配置によって多重領域に分けられる。

30

【0023】

駆動電圧生成部 700 は、薄膜トランジスター T をターンオンさせるゲートオン電圧 V_{on} とターンオフさせるゲートオフ電圧 V_{off} 、及び共通電極層 251 に印加される共通電圧 V_{com} などを生成する。ここで、ゲートオン電圧 V_{on} は、正極性ゲートオン電圧 (positive polarity gate on voltage、 $V_{on}(+)$) と正極性ゲートオン電圧 $V_{on}(+)$ より低い負極性ゲートオン電圧 (negative polarity gate on voltage、 $V_{on}(-)$) とを含む。

40

【0024】

階調電圧生成部 800 は、液晶表示装置 1 の輝度と関連する複数の階調電圧 (gray scale voltage) を生成する。

ゲート駆動部 400 は、スキャン駆動部 (scan driver) とも言い、ゲート線 121 に接続されて駆動電圧生成部 700 からのゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} の組み合わせからなるゲート信号をゲート線 121 に印加する。

【0025】

50

データ駆動部500はソース駆動部(source driver)とも言い、階調電圧生成部800から階調電圧の印加を受け、信号制御部600の制御によって階調電圧を選択してデータ線141にデータ電圧Vdを印加する。

信号制御部600は、ゲート駆動部400、データ駆動部500、駆動電圧生成部700及び階調電圧生成部800などの動作を制御する制御信号を生成して、各ゲート駆動部400、データ駆動部500、駆動電圧生成部800に供給する。

【0026】

以下、液晶表示装置1の動作について詳細に説明する。

信号制御部600には、外部のグラフィック制御器(graphic controller)からRGB階調信号R、G、B及びその表示を制御する制御入力信号(input control signal)、例えば、垂直同期信号(vertical synchronizing signal、Vsync)と水平同期信号(horizontal synchronizing signal、Hsync)、メインクロック(main clock、CLK)、データイネーブル信号(data enable signal、DE)などが提供される。信号制御部600は、制御入力信号に基づいてゲート制御信号、データ制御信号及び電圧選択制御信号(voltage selection control signal、VSC)を生成し、外部からの階調信号R、G、Bを液晶表示パネル300の動作条件に合うように適切に変換した後、ゲート制御信号をゲート駆動部400及び駆動電圧生成部700に inputs し、データ制御信号と処理した階調信号R'、G'、B'をデータ駆動部500に inputs し、電圧選択制御信号VSCを階調電圧生成部800に inputs する。

【0027】

ゲート制御信号は、ゲートオンパルス(ゲート信号のハイ区間)の出力開始を指示する垂直同期開始信号(vertical synchronization start signal、STV)、ゲートオンパルスの出力時期を制御するゲートクロック信号(gate clock、CPV)及びゲートオンパルスの幅を限定するゲートオンイネーブル信号(gate on enable signal、OE)などを含む。このうちのゲートオンイネーブル信号OEとゲートクロック信号CPVは、駆動電圧生成部700に供給される。データ制御信号は、階調信号の入力開始を指示する水平同期開始信号(horizontal synchronization start signal、STH)とデータ線141に当該データ電圧Vdを印加することを指示するロード信号(load signal、LOADまたはTP)、データ電圧の極性を反転させる反転制御信号RVS及びデータクロック信号HCLKなどを含む。

【0028】

まず、階調電圧生成部800は、電圧選択制御信号VSCによって決定された電圧値を有する階調電圧をデータ駆動部500に供給する。

ゲート駆動部400は、信号制御部600からのゲート制御信号によってゲートオン電圧Vonを順にゲート線121に印加して、ゲート線121に接続された薄膜トランジスタTをターンオンさせる。これと同時に、データ駆動部500は、信号制御部600から inputs されたデータ制御信号に基づいて、階調信号R'、G'、B'に対応する階調電圧生成部800からのアナログデータ電圧Vdをデータ信号として選択し、ターンオンされた薄膜トランジスタTに接続されている画素170に対応するデータ線141に供給する。この時、信号制御部600は、正極性データ電圧Vd(+)が印加される画素170には正極性ゲートオン電圧Von(+)を供給し、負極性データ電圧Vd(-)が印加される画素170には負極性ゲートオン電圧Von(-)が供給されるようにゲート駆動部400を制御する。

【0029】

データ線141に供給されたデータ信号は、ターンオンされた薄膜トランジスタTを通じて当該画素170に印加される。このような方式でひとつのフレーム(frame)の間に全てのゲート線121に対して順にゲートオン電圧Vonを印加して、全ての画素

170にデータ信号を印加する。ひとつのフレームが終わって、駆動電圧生成部700とデータ駆動部500に反転制御信号RVSが供給されると、その次のフレームの全てのデータ信号の極性が変わる。

【0030】

以下、キックバック電圧Vkbが変化する理由及び本発明で極性によって互いに異なるゲートオン電圧Vonを印加する原理を図4～図7を参照して説明する。

キックバック電圧Vkbは次のように表現される。

【0031】

【数1】

$$V_{kb} = \frac{C_{gs}}{(C_{lc} + C_{st} + C_{gs})} (V_{on} - V_{off}) \dots (式1)$$

10

ここで、図4のように、Cgsはゲート電極とソース電極間の寄生容量、C1cは液晶容量、Cstは保存容量を示す。

また、液晶容量C1cは次のように表現される。

【0032】

【数2】

$$C_{lc} = \epsilon_0 \cdot \epsilon \cdot \frac{A}{d} \dots (式2)$$

20

ここで、ε0は真空での液晶の誘電率、εは液晶の誘電率、dは画素電極層と共通電極層間の距離、Aは画素電極層と共通電極層の間に液晶層が重なっている面積を示す。

液晶容量C1cは、液晶の配向状態によってその値が変化する。これは液晶の誘電率異方性によるものであって、例えば、ノーマリブラック(normally black)PVAモードではブラック状態の液晶誘電率(水平方向誘電率、εx)がホワイト状態の液晶誘電率(垂直方向、εy)に比べて小さい。したがって、液晶容量C1cはホワイト状態がブラック状態より大きく、キックバック電圧Vkbはホワイト状態がブラック状態より小さい。

30

【0033】

図5は、PVAモード液晶表示装置において単一ゲートオン電圧印加時のシミュレーション結果を示した図面である。表1はシミュレーションに使用されたデータを示したものであり、表2はシミュレーション結果を整理したものである。

【0034】

【表1】

	単位	ホワイト	ブラック
誘電率	F/m	6.6 (垂直方向)	3.3 (水平方向)
保存容量Cst	pF	0.526	0.526
液晶容量C1c	pF	0.553	0.310
データ電圧Vd	V	12~0	7~5
ゲートオン電圧Von	V	20~-7	20~-7
寄生容量Cgs	fF	27	27

40

【0035】

【表 2】

単位：V

状態	ホワイト	ブラック
正極性データ電圧 $V_d (+)$	11.51	6.97
負極性データ電圧 $V_d (-)$	0.04	5.03
正極性画素電圧 $V_p (+)$	10.56	5.45
負極性画素電圧 $V_p (-)$	-1.43	3.40
正極性キックバック電圧 $V_{kb} (+)$ ($V_d (+) - V_p (+)$)	0.96	1.52
負極性キックバック電圧 $V_{kb} (-)$ ($V_d (-) - V_p (-)$)	1.47	1.63
最適共通電圧 ($V_p (+) + V_p (-)$) / 2	4.56	4.43
実際共通電圧	4.49	
実際共通電圧 - 最適共通電圧	0.07	-0.06

10

表 1 のように、液晶容量 C_{lc} は水平方向誘電率 の影響を受けるブラック状態のものが垂直方向誘電率 の影響を受けるホワイト状態のものより低かった。これによってブラック状態でのキックバック電圧 V_{kb} はホワイト状態より大きくなる。

20

【0036】

表 2 から、正極性データ電圧 $V_d (+)$ が印加される時より、負極性データ電圧 $V_d (-)$ が印加される時に、キックバック電圧 V_{kb} が大きいことが分かる。極性によるキックバック電圧 V_{kb} が異なるため、正極性画素電圧 $V_p (+)$ と負極性画素電圧 $V_p (-)$ の算術平均値で定義される最適共通電圧 V_{com} が互いに異なるようになる。一方、実際共通電圧 V_{com} は、中間階調で実験によって求めることができる。実験によって求めた共通電圧 V_{com} と正極性での最適共通電圧 V_{com} との間には約 0.07 V、負極性での最適共通電圧 V_{com} との間には約 0.06 V の電圧差が発生する。このような最適共通電圧 V_{com} と実際共通電圧 V_{com} との間の偏差によって、共通電圧 V_{com} を基準に正極性データ電圧 $V_d (+)$ の印加時と負極性データの電圧 $V_d (-)$ 印加時の画素電圧 V_p が相異なるようになるためフリッカーと残像が発生する。

30

【0037】

このような極性によるキックバック電圧 V_{kb} の差と、これによる最適共通電圧 V_{com} の差は、式 1 では原因を説明できない。その理由はゲート電極とソース電極間のバイアス電圧 V_{gs} によって変化する寄生容量 C_{gs} を定数と仮定したためである。

図 6 は薄膜トランジスタの等価回路図である。寄生容量 C_{gs} は薄膜トランジスタのゲート電極とソース電極の間に形成される容量であって、ゲート電極とソース電極のオーバーラップによる容量 C_{GSO} のみを考慮したが、図 6 のように半導体層と絶縁膜との間の電位障壁による電荷の蓄積 C_{gsi} も考慮しなければならない。電荷の蓄積 C_{gsi} は、図 7 のように薄膜トランジスタのバイアス電圧 V_{gs} に比例する。図 7 は、画素への充電が完了してデータ電圧 V_d と画素電圧 V_p が同一になる、つまり、ゲートオン電圧 V_{on} がゲートオフ電圧 V_{off} に変わる前の状態を示したものである。これについては、IEEE TRANSACTIONS ON ELECTRON DEVICES、VOL 43、NO 1、1996 年 1 月、31～39 頁の DYNAMIC CHARACTERIZATION OF a-Si TFT-LCD PIXELS に開示されている。したがって、薄膜トランジスタオフ状態での寄生容量 C_{gs} より、薄膜トランジスタオン状態での寄生容量 C_{gs} が、 C_{gs}' だけ大きいと言える。これを考慮した薄膜トランジスタオン状態での電荷 $Q(on)$ とオフ状態での電荷 $Q(off)$ は次の通りであ

40

50

る。

【0038】

【数3】

$$Q(on) = (Vd - Vcom)C_{lc} + (Vd - Vcom)C_{st} + (Vd - Von)(C_{gs} + C_{gs}')$$

$$Q(off) = (Vp - Vc)C_{lc} + (Vp - Vc)C_{st} + (Vp - Voff)C_{gs}$$

・・・(式3)

10

式3に $V_{kb} = Vd - Vp$ を代入し、 $Q(on) = Q(off)$ を利用してキックバック電圧 V_{kb} を整理すれば式4のようになる。

【0039】

【数4】

$$V_{kb} = \frac{C_{gs}}{(C_{lc} + C_{st} + C_{gs})} (Von - Voff) + \frac{C_{gs}'}{(C_{lc} + C_{st} + C_{gs})} (Von - Vd) \quad \dots (式4)$$

式4と図7から、負極性キックバック電圧 $V_{kb}(-)$ が正極性キックバック電圧 $V_{kb}(+)$ に比べて大きい2つの原因が分かる。第1の原因は、式4のようにキックバック電圧 V_{kb} は、ゲートオン電圧 V_{on} とデータ電圧 V_d の差 ($V_{on} - V_d$) に比例し、データ電圧 V_d は正極性より負極性でさらに小さいという点である。第2の原因は、キックバック電圧 V_{kb} は寄生容量 C_{gs} に比例し、寄生容量 C_{gs} は図7のようにバイアス電圧 V_{gs} に比例し、バイアス電圧 V_{gs} は正極性より負極性でさらに大きいという点である。薄膜トランジスタの立場から見ると、バイアス電圧 V_{gs} はゲートオン電圧 V_{on} とデータ電圧 V_d の差 ($V_{on} - V_d$) と同一であるためである。

20

【0040】

このような点から、正極性と負極性でのゲートオン電圧 V_{on} を異なるように印加して、ゲートオン電圧 V_{on} とデータ電圧 V_d の差 ($V_{on} - V_d$) を減少させると、極性によるキックバック電圧 V_{kb} の差を減少できることが分かる。

30

図8は、本発明の第1実施例によるゲートオン電圧 V_{on} の印加を説明するための図面であり、図9は本発明の第1実施例による薄膜トランジスタ基板100の配置図である。

【0041】

第1実施例では、正極性ゲートオン電圧 $V_{on}(+)$ を20Vに維持し、負極性ゲートオン電圧 $V_{on}(-)$ を8Vとしている。ホワイト状態で正極性データ電圧 $V_d(+)$ が12Vであり、負極性データ電圧 $V_d(-)$ が0Vであると、ゲートオン電圧 V_{on} とデータ電圧 V_d の差 ($V_{on} - V_d$) は極性に関係なく8Vで同一になる。これによって、キックバック電圧 V_{kb} も極性に関係なく1Vで一定になり、最適共通電圧 V_{com} と実際共通電圧 V_{com} を同一にすることができる。

40

【0042】

フレーム反転方式 (frame inversion) やライン反転方式 (line inversion) の場合は、フリッカーが発生する問題が生じるため、ドット反転方式 (dot inversion) が多く採択される。フレーム反転方式では、データ電圧 V_d の極性をフレーム単位で変え、ライン反転方式では、ゲート線121の単位でデータ電圧 V_d の極性を変え、ドット反転方式では隣接した画素が互いに異なる極性を有する。

【0043】

図9のように、ゲート線121の方向に互いに隣接した画素170は、互いに異なる極性を有する。

50

ート線 1 2 1 に接続されている。つまり、あるフレームにおいて、正極性ゲートオン電圧 $V_{on}(+)$ が印加されるゲート線 1 2 1 に接続された画素 1 7 0 に対してゲート線 1 2 1 の方向に隣接した画素 1 7 0 は、負極性ゲートオン電圧 $V_{on}(-)$ を印加する他のゲート線 1 2 1 に接続されている。正極性ゲートオン電圧 $V_{on}(+)$ が印加される時、データ駆動部 5 0 0 はゲート線 1 2 1 にジグザグに接続されている画素 1 7 0 に該当する正極性データ電圧 $V_d(+)$ を印加する。負極性ゲートオン電圧 $V_{on}(-)$ が印加される時、データ駆動部 5 0 0 はゲート線 1 2 1 にジグザグに接続されている画素 1 7 0 に該当する負極性データ電圧 $V_d(-)$ を印加する。その次のフレームでは画素 1 7 0 に印加されるデータ電圧 V_d の極性が変わり、ゲートオン電圧 V_{on} も変わる。これにより、極性によってゲートオン電圧 V_{on} の値が異なるように構成してドット反転方式を実現することができる。 10

【0044】

フレーム反転方式とライン反転方式の場合、通常の薄膜トランジスタ基板 1 0 0 の配置をそのまま使用することができる。ただし、ゲート駆動部 4 0 0 はデータ電圧 V_d の極性によってゲートオン電圧 V_{on} の値が異なるように印加すればよい。

以上の第 1 実施例はホワイト状態のみを考慮したものであり、ブラック状態の場合には次のような問題が生じる。第 1 実施例のように、正極性ゲートオン電圧 $V_{on}(+)$ は 2 0 V、負極性ゲートオン電圧 $V_{on}(-)$ は 8 V を使用し、正極性ブラック電圧として 7 V を、負極性ブラック電圧として 5 V を使用する場合、正極性でのバイアス電圧 V_{gs} は 1 3 V (2 0 - 7) になり、負極性でのバイアス電圧 V_{gs} は 3 V (8 - 5) になる。ゲートオン電圧 V_{on} として 2 0 V 単一電圧を使用する場合、負極性でのバイアス電圧 V_{gs} は 1 5 V (2 0 - 5) になるので、第 1 実施例によると、ブラック状態では極性によるキックバック電圧 V_{kb} の差がさらに大きくなる。また、負極性でのバイアス電圧 V_{gs} が 3 V に減少して充電が不良になることがある。 20

【0045】

第 2 実施例ではブラック状態を考慮して負極性ゲートオン電圧 $V_{on}(-)$ を 1 3 V とした。

図 1 0 は、本発明の第 2 実施例によるゲートオン電圧 V_{on} 印加を説明するための図面であり、図 1 1 は本発明の第 2 実施例によるゲートオン電圧 V_{on} 印加時のシミュレーション結果を示した図面である。シミュレーションに使用したデータは表 1 と同一である。 30

【0046】

ホワイト状態でのバイアス電圧 V_{gs} は、正極性と負極性各々 8 V (2 0 - 1 2) と 1 3 V (1 3 - 0) であり、ブラック状態でのバイアス電圧 V_{gs} は正極性と負極性各々 1 3 V (2 0 - 7) と 8 V (1 3 - 5) である。バイアス電圧 V_{gs} は最少 8 V を維持して充電率が良好となり、さらに、バイアス電圧 V_{gs} はホワイト状態とブラック状態で相互補完 (trade - off) 関係を有するようになる。

【0047】

表 3 はシミュレーション結果を整理したものである。

【0048】

【表 3】

単位：V

状態	ホワイト	ブラック
正極性データ電圧 $V_d (+)$	11.52	6.98
負極性データ電圧 $V_d (-)$	0.24	5.20
正極性画素電圧 $V_p (+)$	10.56	5.46
負極性画素電圧 $V_p (-)$	-0.78	4.24
正極性キックバック電圧 $V_{kb} (+)$ ($V_d (+) - V_p (+)$)	0.96	1.52
負極性キックバック電圧 $V_{kb} (-)$ ($V_d (-) - V_p (-)$)	1.01	0.96
最適共通電圧 ($V_p (+) + V_p (-)$) / 2	4.89	4.85
実際共通電圧	4.87	
実際共通電圧 - 最適共通電圧	0.02	-0.02

10

単一ゲートオン電圧 V_{on} を使用した表 2 と比較すると、正極性キックバック電圧 $V_{kb} (+)$ は同一である。反面、負極性キックバック電圧 $V_{kb} (-)$ を見ると、ホワイト状態では 1.47 V から 1.01 V に、ブラック状態では 1.63 V から 0.96 V に各々減少した。ホワイト状態とブラック状態の負極性キックバック電圧 $V_{kb} (-)$ の差は 0.16 V (1.63 - 1.47) から 0.05 V (1.01 - 0.96) に減少した。最適共通電圧 V_{com} はホワイト状態とブラック状態各々 4.89 V と 4.85 V であって、その差は 0.04 V に過ぎず、表 2 の 0.13 V (4.56 V - 4.43 V) より著しく減少した。最適共通電圧 V_{com} と実際共通電圧 V_{com} である 4.87 V との差は 0.02 V であって、表 2 の 0.06 ~ 0.07 V に比べて非常に小さい値を示す。

20

【0049】

このように第 2 実施例による液晶表示装置は実際共通電圧 V_{com} と最適共通電圧 V_{com} の差が小さいため、極性による画素電圧 V_p の偏差が減ってフリッカーや残像の発生も減少する。

30

このように極性によるゲートオン電圧 V_{on} の差はバイアス電圧 V_{gs} の均一化と円滑な充電のための最少バイアス電圧 V_{gs} を同時に考慮しなければならない。

【0050】

その他、極性によるゲートオン電圧 V_{on} 間の差は、式 4 の $V_{on} - V_{off}$ 値を考慮しなければならない。 $V_{on} - V_d$ が同一になるように負極性ゲートオン電圧 $V_{on} (-)$ の値を減少させると、負極性での $V_{on} - V_{off}$ 値も減少して、むしろ負極性キックバック電圧 $V_{kb} (-)$ が正極性キックバック電圧 $V_{kb} (+)$ より小さくなることがある。

40

【0051】

実際共通電圧 V_{com} は、上記のような事項を考慮して実際の液晶表示装置でゲートオン電圧 V_{on} を変化させながら決定する。負極性ゲートオン電圧 $V_{on} (-)$ とゲートオフ電圧 V_{off} 間の差は、正極性ゲートオン電圧 $V_{on} (+)$ とゲートオフ電圧 V_{off} 間の差の 50 ~ 80 % とすることができる。

図 12 は本発明の第 3 実施例によるゲートオン電圧印加を説明するための図面であり、図 13 は本発明の第 4 実施例によるゲートオン電圧印加を説明するための図面である。

【0052】

図 12 のように、ゲートオン電圧 V_{on} は時間によって電圧が減少する階段式電圧分布を有している。正極性ゲートオン電圧 $V_{on} (+)$ は、 V_{g1} と V_{g1} より低い V_{g2} の

50

2段階電圧で構成される。負極性ゲートオン電圧 $V_{on}(-)$ は V_{g3} と V_{g3} より低い V_{g4} の2段階電圧で構成される。ここで、 V_{g1} と V_{g3} は同一の大きさであるが、 V_{g4} は V_{g2} より小さい。このようにゲートオン電圧 V_{on} がいろいろな値を有する場合、電圧差は電圧の平均値を使用して計算することができる。

【0053】

図13では V_{g3} も V_{g1} 値より小さい値を有する。一方、 V_{g1} と V_{g2} との差と V_{g3} と V_{g4} との差における大小は限定されない。

本発明はこれに限定されないが、大型液晶表示装置、高透過率液晶表示装置、CSD (color sequential display) のような120Hz以上の駆動が適用される液晶表示装置に適用できる。

10

【0054】

液晶表示装置の大きさが大きくなるほど、共通電圧 V_{com} のロードが大きくなり位置別に共通電圧 V_{com} の偏差が増加してフリッカーと残像が発生するようになる。

保存容量 C_{lc} を減らすと、開口率増加設計が容易になって高透過率液晶表示装置を製造することができる。一方、120Hz以上の駆動ではゲートオンタイムが減少し画素容量が増加して充電率低下が問題になるので、保存容量 C_{lc} を減少しなければならない。

【0055】

CSDはカラーフィルター層231をなくし光源部400で色相を付与する方式である。このために、光源部400は液晶表示パネル300に三原色を供給し、LED (light emitting diode) から構成することができる。CSDで光源部400は三原色をフレーム単位で順に反復的に液晶表示パネル300に提供する。カラーフィルター層231を使用する液晶表示装置での1つのフレームはCSDでは三原色が全て表示される3つのフレームに該当する。したがって、通常の60Hz駆動のためにはCSDは180Hzの駆動が要求される。高い周波数によってゲートオンタイムが減少し画素容量が増加するため、保存容量 C_{lc} を減少させなければならない。

20

【0056】

本発明を使用すると極性によるキックバック電圧 V_{kb} が一定になるので、共通電圧 V_{com} の偏差を補償することができ、保存容量 C_{lc} を減らすことができる。

【図面の簡単な説明】

【0057】

30

【図1】本発明の第1実施例による液晶表示装置のブロック図である。

【図2】本発明の第1実施例による液晶表示パネルの配置図である。

【図3】図2のIII-IIIによる断面図である。

【図4】画素の等価回路図である。

【図5】単一ゲートオン電圧印加時のシミュレーション結果を示した図面である。

【図6】薄膜トランジスタの等価回路図である。

【図7】バイアス電圧(V_{gs})による寄生容量(C_{gs})の変化を示したグラフである。

【図8】本発明の第1実施例によるゲートオン電圧印加を説明するための図面である。

【図9】本発明の第1実施例による薄膜トランジスタ基板の配置図である。

40

【図10】本発明の第2実施例によるゲートオン電圧印加を説明するための図面である。

【図11】本発明の第2実施例によるゲートオン電圧印加時のシミュレーション結果を示した図面である。

【図12】本発明の第3実施例によるゲートオン電圧印加を説明するための図面である。

【図13】本発明の第4実施例によるゲートオン電圧印加を説明するための図面である。

【符号の説明】

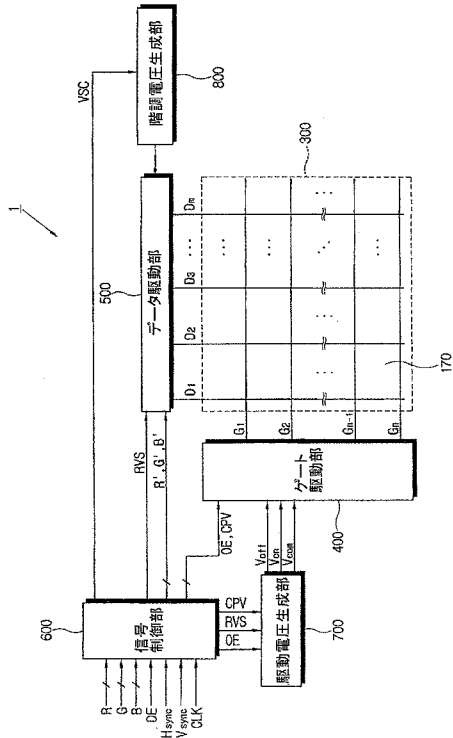
【0058】

- 1 液晶表示装置
- 100 薄膜トランジスタ基板
- 111 第1絶縁基板

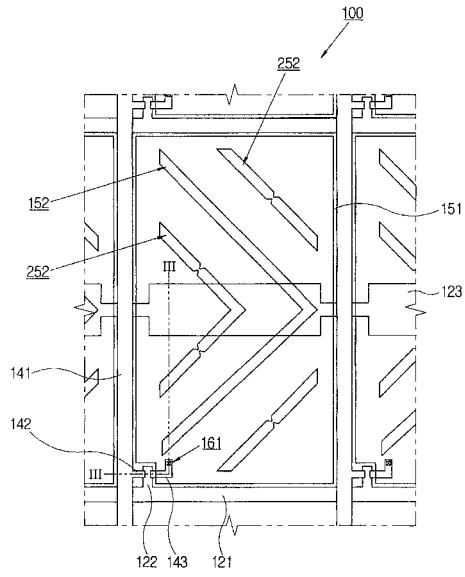
50

1 2 1	ゲート線	
1 2 2	ゲート電極	
1 2 3	共通電極線	
1 3 1	ゲート絶縁膜	
1 3 2	半導体層	
1 3 3	抵抗接触層	
1 3 4	保護膜	
1 4 1	データ線	
1 4 2	ドレーン電極	
1 4 3	ソース電極	10
1 5 1	画素電極層	
1 5 2	画素電極切開パターン	
1 6 1	接触口	
1 7 0	画素	
2 0 0	カラーフィルター基板	
2 1 1	第2絶縁基板	
2 2 1	ブラックマトリックス	
2 3 1	カラーフィルター層	
2 4 1	オーバーコート膜	
2 5 1	共通電極層	20
2 5 2	共通電極切開パターン	
2 6 0	液晶層	
3 0 0	液晶表示パネル	
4 0 0	ゲート駆動部	
5 0 0	データ駆動部	
6 0 0	信号制御部	
7 0 0	駆動電圧生成部	
8 0 0	階調電圧生成部	

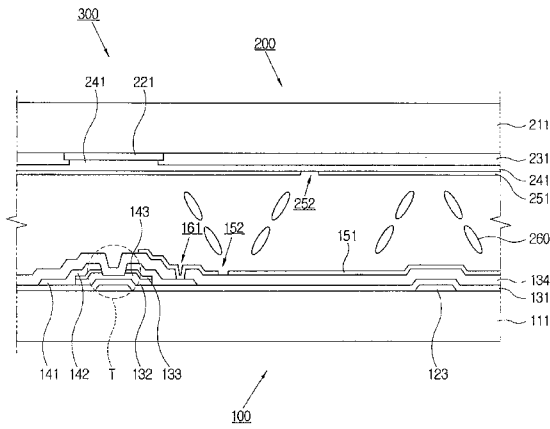
【 図 1 】



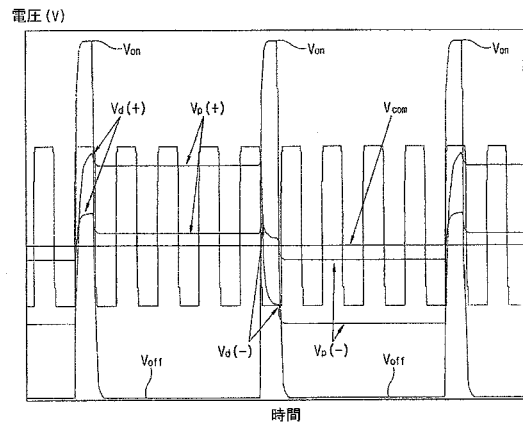
【 図 2 】



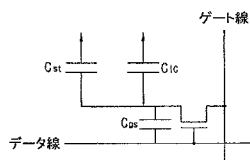
【 図 3 】



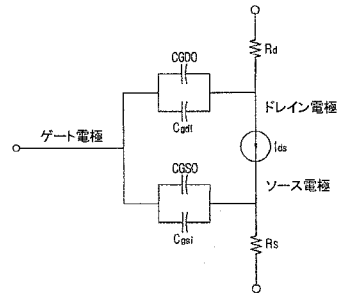
【 図 5 】



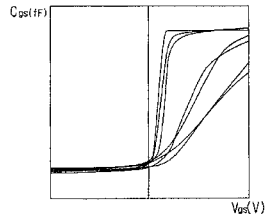
【 図 4 】



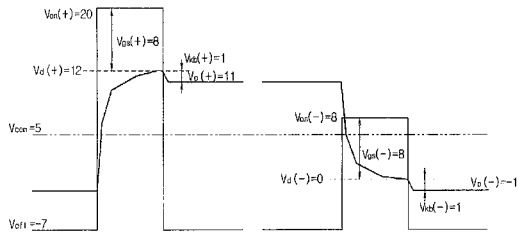
【 図 6 】



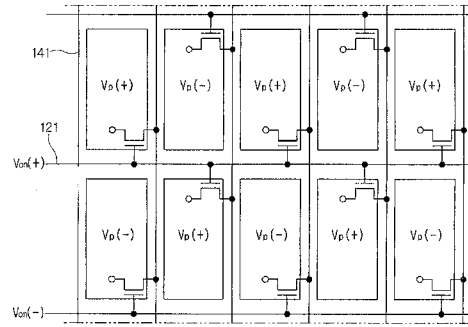
【 図 7 】



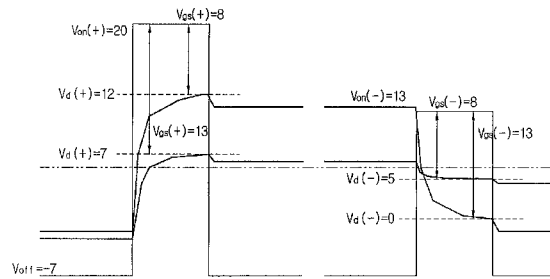
【 図 8 】



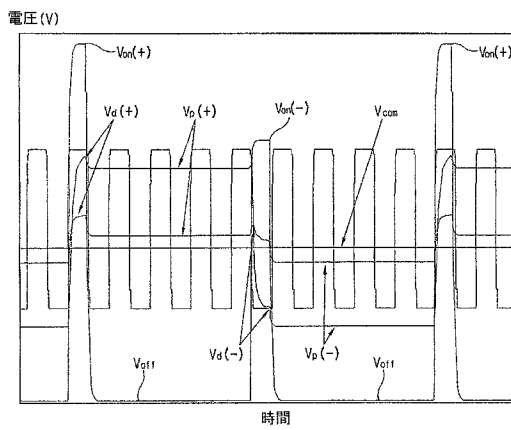
【 図 9 】



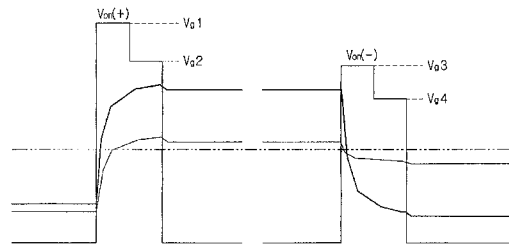
【 図 10 】



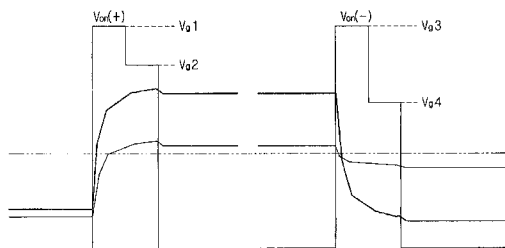
【 図 11 】



【 図 13 】



【 図 12 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 2 P
	G 0 9 G 3/34	J
	G 0 9 G 3/20	6 4 2 J
	G 0 9 G 3/20	6 8 0 H

(72)発明者 蔡 鐘 哲

大韓民国ソウル特別市麻浦区鹽里洞エルジーアパート106-1902

(72)発明者 朴 哲 佑

大韓民国京畿道水原市靈通区梅灘2洞韓國アパート102-601

(72)発明者 梁 英 チョル

大韓民国京畿道城南市盆唐區亭子洞住公アパート610-1104

F ターム(参考) 2H093 NA16 NA33 NA53 NA65 NB11 NB16 NC03 NC10 NC12 NC34
 NC43 ND10 ND12 ND35 NE03 NF09 NH15
 5C006 AA14 AA22 AC22 AC26 AC27 AC28 AF42 AF43 AF44 AF71
 BB16 BB29 BC03 EA01 FA16 FA23 FA34 GA03
 5C080 AA10 BB05 CC03 DD06 DD30 FF11 JJ02 JJ03 JJ04 JJ05
 JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2006235627A	公开(公告)日	2006-09-07
申请号	JP2006042049	申请日	2006-02-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	申キヨン周 蔡鐘哲 朴哲佑 梁英子ヨル		
发明人	申 ▲キヨン▼ 周 蔡 鐘 哲 朴 哲 佑 梁 英 ▲チヨル▼		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G3/34		
CPC分类号	G02F2001/134318 G09G3/3614 G09G3/3648 G09G3/3696 G09G2320/0219 G09G2320/0247 A61G17/007		
FI分类号	G09G3/36 G02F1/133.575 G02F1/133.550 G02F1/133.525 G09G3/20.611.E G09G3/20.621.B G09G3/20.622.C G09G3/20.622.P G09G3/34.J G09G3/20.642.J G09G3/20.680.H		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA53 2H093/NA65 2H093/NB11 2H093/NB16 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC43 2H093/ND10 2H093/ND12 2H093/ND35 2H093/NE03 2H093/NF09 2H093/NH15 5C006/AA14 5C006/AA22 5C006/AC22 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BB29 5C006/BC03 5C006/EA01 5C006/FA16 5C006/FA23 5C006/FA34 5C006/GA03 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB02 2H193/ZC15 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZP03 2H193/ZQ08		
优先权	1020050016220 2005-02-26 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种减少闪烁和残留图像的液晶显示装置及其驱动方法。ZOLUTION：液晶显示装置包括：液晶显示面板，其中提供由栅极线和数据线的交叉限定的像素；灰度电压产生部分，产生灰度电压；驱动电压产生部分，其产生栅极截止电压，正极性栅极导通电压，负极性栅极导通电压低于正极性栅极导通电压；栅极驱动部分，其将栅极电压施加到栅极线上；数据驱动部分，当从灰度电压产生部分接收到灰度电压的印象时，将数据电压施加到像素；信号控制部分执行控制，使得数据驱动部分交替地将正极性数据电压和负极性数据电压施加到像素，将正极性栅极导通电压施加到施加正极性数据电压的像素并留下深刻的印象。负极性栅极导通到施加负极性数据电压的像素的电压。Z

