

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-201679
(P2006-201679A)

(43) 公開日 平成18年8月3日(2006.8.3)

(51) Int. Cl.		F I		テーマコード (参考)
G09G	3/36	(2006.01)	G09G 3/36	2H093
G02F	1/133	(2006.01)	G02F 1/133	5C006
G09G	3/20	(2006.01)	G09G 3/20	612K
			G09G 3/20	621A
			G09G 3/20	621L
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く				

(21) 出願番号	特願2005-15508 (P2005-15508)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会社 東京都港区港南4-1-8
(22) 出願日	平成17年1月24日 (2005.1.24)	(74) 代理人	100083806 弁理士 三好 秀和
		(74) 代理人	100100712 弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929 弁理士 川又 澄雄
		(74) 代理人	100108707 弁理士 中村 友之
		(74) 代理人	100095500 弁理士 伊藤 正和
最終頁に続く			

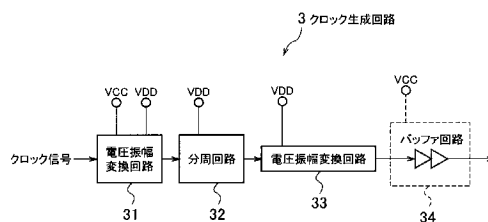
(54) 【発明の名称】 クロック生成回路及び液晶表示装置

(57) 【要約】

【課題】 ラッチエラーの防止を図れるクロック生成回路と液晶表示装置を提供する。

【解決手段】 分周されたクロック信号を電圧振幅変換回路33が第3電圧振幅のクロック信号に変換し、データ信号が通過するバッファ回路を動作させる電源と同じ電源で動作するバッファ回路34に当該クロック信号を通過させ、通過後のクロック信号を基にしてデータ信号をラッチすることで、電源の電源電圧が低下すると、データ信号とクロック信号の両方に遅れが生じるので、ラッチエラーを防止することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 電圧振幅のデータ信号が当該第 1 電圧振幅よりも大きな第 2 電圧振幅のデータ信号に変換され、このデータ信号が第 2 電圧振幅よりも小さな第 3 電圧振幅のデータ信号に変換され、このデータ信号が第 3 電圧振幅に応じた電源電圧の電源で動作するバッファ回路を通過し、通過後のデータ信号が所定のクロック信号を基にしてラッチされるときに入力される第 1 電圧振幅のクロック信号を第 2 電圧振幅のクロック信号に変換する電圧振幅変換回路と、このクロック信号を分周する分周回路とを備え、

分周されたクロック信号を第 3 電圧振幅のクロック信号に変換する電圧振幅変換回路と

10

前記電源で動作し、第 3 電圧振幅のクロック信号が通過するバッファ回路とを備え、通過後のクロック信号が前記所定のクロック信号であることを特徴とするクロック生成回路。

【請求項 2】

第 1 電圧振幅のデータ信号を第 1 電圧振幅よりも大きな第 2 電圧振幅のデータ信号に変換する電圧振幅変換回路、このデータ信号を第 2 電圧振幅よりも小さな第 3 電圧振幅のデータ信号に変換する電圧振幅変換回路、第 3 電圧振幅に応じた電源電圧の電源で動作し当該データ信号が通過するバッファ回路を備えるデータ処理回路と、

第 1 電圧振幅のクロック信号を第 2 電圧振幅のクロック信号に変換する電圧振幅変換回路、このクロック信号を分周する分周回路を備えるクロック生成回路と、

20

前記データ処理回路からのデータ信号を所定のクロック信号を基にして映像信号に変換して信号線に供給する信号線駆動回路と、

信号線に供給された映像信号が書き込まれる画素からなる表示部とを備え、

分周されたクロック信号を第 3 電圧振幅のクロック信号に変換する電圧振幅変換回路、前記電源で動作し且つ第 3 電圧振幅の前記クロック信号が通過するバッファ回路を前記クロック生成回路が備え、

通過後のクロック信号が前記所定のクロック信号であることを特徴とする液晶表示装置

【請求項 3】

クロック生成回路からのクロック信号を第 3 電圧振幅よりも大きな第 4 電圧振幅のクロック信号に変換して信号線駆動回路に供給する電圧振幅変換回路を備え、

30

信号線駆動回路は、

供給されたクロック信号をクロックとして用い、供給されたクロック信号に同期するサンプリングパルスを生成するシフトレジスタ、

サンプリングパルスにより第 3 電圧振幅の前記データ信号をラッチし第 4 電圧振幅のデータ信号に変換するサンプリングラッチ回路、

この変換されたデータ信号が一括で転送されるとき、このデータ信号をラッチするロードラッチ回路、

このラッチされたデータをアナログの前記映像信号に変換するデジタルアナログ変換回路

40

を備えることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

データ処理回路が、第 2 電圧振幅のデータ信号を複数のデータ信号に変換するシリアルパラレル変換回路と、データ信号ごとにデータ信号を第 3 電圧振幅のデータ信号に変換する電圧振幅変換回路と変換されたデータ信号が通過するバッファ回路とを備え、

データ信号ごとに前記信号線駆動回路を備え、

クロック生成回路からのクロック信号を第 3 電圧振幅よりも大きな第 4 電圧振幅のクロック信号に変換して各信号線駆動回路に供給する電圧振幅変換回路を備え、

信号線駆動回路は、

供給されたクロック信号をクロックとして用い、供給されたクロック信号に同期するサ

50

ンプリングパルスを生成するシフトレジスタ、

サンプリングパルスにより第3電圧振幅の前記データ信号をラッチし第4電圧振幅のデータ信号に変換するサンプリングラッチ回路、

この変換されたデータ信号が一括で転送されるときに当該データ信号をラッチするロードラッチ回路、

このラッチされたデータをアナログの前記映像信号に変換するデジタルアナログ変換回路

を備えることを特徴とする請求項2記載の液晶表示装置。

【請求項5】

前記サンプリングラッチ回路は、

10

第3電圧振幅の前記データ信号がドレインに供給される第1NチャンネルTFT、

第1NチャンネルTFTのソースに一方の電極が接続され、他方の電極が接地されたキャパシタ、

第1NチャンネルTFTのソースにゲートが接続され、ソースが接地された第2NチャンネルTFT、

第1NチャンネルTFTのソースにドレインが接続され、第2NチャンネルTFTのドレインにゲートが接続され、第4電圧振幅に応じた電源電圧の電源にソースが接続された第1PチャンネルTFT、

第1PチャンネルTFTのドレインとゲートにゲートとドレインがそれぞれ接続され、当該電源にソースが接続され、ドレインからラッチ出力が取り出される第2PチャンネルTFT

20

を備えることを特徴とする請求項2乃至4のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に用いることでラッチエラーの防止を図れるクロック生成回路とラッチエラーの防止を図れる液晶表示装置に関する。

【背景技術】

【0002】

近年における液晶表示装置は、テレビジョン受像機、コンピュータの表示装置、携帯電話端末などの様々な機器に使用される。

30

【0003】

図5は、従来の液晶表示装置10Aの構成と配置を示す図であり、図6は、液晶表示装置10Aが備えるデータ処理回路2の構成を示す図であり、図7は、液晶表示装置10Aが備えるクロック生成回路3Aの構成を示す図であり、図8は、サンプリングラッチ回路42Aの回路図である。なお、同様な液晶表示装置が特許文献1にも開示されている。

【0004】

図5の液晶表示装置10Aでは、表示部1に表示を行う際に、第1電圧振幅（例えば0V〜2.8V）のデータ信号がデータ処理回路2に供給され、このデータ信号は、図6に示すデータ処理回路2内の、第1電圧振幅に応じた電源電圧（例えば3V）の電源VCCと、第1電圧振幅よりも大きな第2電圧振幅（例えば0V〜5.0V）に応じた電源電圧（例えば5V）の電源VDDとで動作する電圧振幅変換回路21で、第2電圧振幅のデータ信号に変換され、電源VDDで動作するシリアルパラレル変換回路22で2本のデータ信号に変換され、電源VDDで動作する電圧振幅変換回路23で、第2電圧振幅よりも小さな第3電圧振幅（例えば0V〜2.8V）のデータ信号に変換され、電源VCCで動作するバッファ回路24を通過する。

40

【0005】

また、第1電圧振幅のクロック信号が、図7に示すクロック生成回路3A内の電源VCCと電源VDDとで動作する電圧振幅変換回路31で第2電圧振幅のクロック信号に変換され、電源VDDで動作する分周回路32で分周され、電源VDDで動作するバッファ回

50

路 3 4 A を通過する。

【 0 0 0 6 】

そして、バッファ回路 3 4 A を通過したクロック信号をクロックとして用いることにより生成された、クロック信号に同期するサンプリングパルスが、図 5 に示す信号線駆動回路 4、4 内のシフトレジスタ 4 1、4 1 で生成され、図 6 のバッファ回路 2 4 を通過したデータ信号が、図 5 に示す信号線駆動回路 4、4 内のサンプリングラッチ回路 4 2 A、4 2 A でサンプリングパルスによりラッチされ第 3 電圧振幅よりも大きな第 4 電圧振幅（例えば 0 V 5 . 0 V）のデータ信号に変換される。

【 0 0 0 7 】

このサンプリングラッチ回路 4 2 A では、図 8 の N チャンネル T F T が導通すると、第 3 電圧振幅のデータ信号が電圧振幅変換回路により第 4 電圧振幅のデータ信号に変換され、クロックインバータで構成されたラッチ回路でラッチされる。

【 0 0 0 8 】

このラッチされたデータ信号が一括で転送されると、これが図 5 に示す信号線駆動回路 4 内のロードラッチ回路 4 3 でラッチされ、このラッチされたデータが信号線駆動回路 4 内のデジタルアナログ変換回路 4 4 でアナログの映像信号に変換される。

【 0 0 0 9 】

そして、映像信号が表示部 1 に供給され、さらに走査線駆動回路 5 により走査線が駆動され、この映像信号が表示部 1 を構成する画素に書き込まれることにより表示がなされる。

【 0 0 1 0 】

液晶表示装置 1 0 A では、シリアルパラレル変換回路 2 2 を、第 2 電圧振幅に応じた電源電圧つまり高い電源電圧の電源 V D D で動作するものとし、第 1 電圧振幅のデータ信号を第 2 電圧振幅のデータ信号に変換する電圧振幅変換回路 2 1 を設けることで高速化を図り、一方、バッファ回路 2 4 を、第 3 電圧振幅に応じた電源電圧つまり低い電源電圧の電源 V C C で動作するものとし、第 2 電圧振幅のデータ信号を第 3 電圧振幅のデータ信号に変換する電圧振幅変換回路 2 3 を設けることで省電力化を図っている。

【特許文献 1】特開 2 0 0 4 4 2 4 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

しかしながら、図 8 のサンプリングラッチ回路 4 2 A は、電圧振幅変換回路やクロックインバータのために多くの T F T が必要であり、これにより、液晶表示装置 1 0 A の額縁幅が大きくなってしまふ。また、キャパシタを用いた D R A M 型ラッチ回路は電圧振幅変換を行えないので、サンプリングラッチ回路 4 2 A には採用できない。

【 0 0 1 2 】

また、液晶表示装置 1 0 A では、タイミングに起因して表示品質が低下することがある。

【 0 0 1 3 】

図 9 は、液晶表示装置 1 0 A のタイミングチャートである。

【 0 0 1 4 】

液晶表示装置 1 0 A では、電源 V C C の電源電圧が低下した場合、この電源 V C C で動作するバッファ回路 2 4 を通過するデータ信号は電源電圧の低下がない場合に比べて遅れる。

【 0 0 1 5 】

一方、バッファ回路 3 4 A は、電源 V C C でない電源 V D D で動作しているため、バッファ回路 3 4 A 通過するクロック信号には遅れが生じない。

【 0 0 1 6 】

これにより、この遅れのないクロック信号から生成されたサンプリングパルスで、遅れの生じたパラレル信号をラッチすると、ラッチエラーが生じ、これにより表示品質が低下

10

20

30

40

50

してしまう。

【0017】

本発明は、上記の課題に鑑みてなされたものであり、その目的とするところは、液晶表示装置に用いることでラッチエラーの防止を図れるクロック生成回路とラッチエラーの防止を図れる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0018】

上記の課題を解決するために、請求項1記載のクロック生成回路は、第1電圧振幅のデータ信号が当該第1電圧振幅よりも大きな第2電圧振幅のデータ信号に変換され、このデータ信号が第2電圧振幅よりも小さな第3電圧振幅のデータ信号に変換され、このデータ信号が第3電圧振幅に応じた電源電圧の電源で動作するバッファ回路を通過し、通過後のデータ信号が所定のクロック信号を基にしてラッチされるときに入力される第1電圧振幅のクロック信号を第2電圧振幅のクロック信号に変換する電圧振幅変換回路と、このクロック信号を分周する分周回路とを備え、分周されたクロック信号を第3電圧振幅のクロック信号に変換する電圧振幅変換回路と、前記電源で動作し、第3電圧振幅のクロック信号が通過するバッファ回路とを備え、通過後のクロック信号が前記所定のクロック信号であることを特徴とする。

10

【0019】

請求項1記載のクロック生成回路によれば、分周されたクロック信号を第3電圧振幅のクロック信号に変換し、データ信号が通過するバッファ回路を動作させる電源と同じ電源で動作するバッファ回路に当該クロック信号を通過させ、通過後のクロック信号を基にしてデータ信号をラッチすることで、電源の電源電圧が低下すると、データ信号とクロック信号の両方に遅れが生じるので、ラッチエラーを防止することができる。

20

【0020】

請求項2記載の液晶表示装置は、第1電圧振幅のデータ信号を第1電圧振幅よりも大きな第2電圧振幅のデータ信号に変換する電圧振幅変換回路、このデータ信号を第2電圧振幅よりも小さな第3電圧振幅のデータ信号に変換する電圧振幅変換回路、第3電圧振幅に応じた電源電圧の電源で動作し当該データ信号が通過するバッファ回路を備えるデータ処理回路と、第1電圧振幅のクロック信号を第2電圧振幅のクロック信号に変換する電圧振幅変換回路、このクロック信号を分周する分周回路を備えるクロック生成回路と、前記データ処理回路からのデータ信号を所定のクロック信号を基にして映像信号に変換して信号線に供給する信号線駆動回路と、信号線に供給された映像信号が書き込まれる画素からなる表示部とを備え、分周されたクロック信号を第3電圧振幅のクロック信号に変換する電圧振幅変換回路、前記電源で動作し且つ第3電圧振幅の前記クロック信号が通過するバッファ回路を前記クロック生成回路が備え、通過後のクロック信号が前記所定のクロック信号であることを特徴とする。

30

【0021】

請求項2記載の液晶表示装置によれば、分周されたクロック信号を第3電圧振幅のクロック信号に変換し、データ信号が通過するバッファ回路を動作させる電源と同じ電源で動作するバッファ回路に当該クロック信号を通過させ、通過後のクロック信号を基にしてデータ信号を映像信号に変換することで、電源の電源電圧が低下すると、データ信号とクロック信号の両方に遅れが生じるので、データ信号を映像信号に変換するときのラッチエラーを防止することができる。

40

【0022】

請求項3記載の液晶表示装置は、請求項2記載の液晶表示装置においてクロック生成回路からのクロック信号を第3電圧振幅よりも大きな第4電圧振幅のクロック信号に変換して信号線駆動回路に供給する電圧振幅変換回路を備え、信号線駆動回路は、供給されたクロック信号をクロックとして用い、供給されたクロック信号に同期するサンプリングパルス生成するシフトレジスタ、サンプリングパルスにより第3電圧振幅の前記データ信号をラッチし第4電圧振幅のデータ信号に変換するサンプリングラッチ回路、この変換され

50

たデータ信号が一括で転送されるとき、このデータ信号をラッチするロードラッチ回路、このラッチされたデータをアナログの前記映像信号に変換するディジタルアナログ変換回路を備えることを特徴とする。

【0023】

請求項3記載の液晶表示装置によれば、分周されたクロック信号を第3電圧振幅のクロック信号に変換し、データ信号が通過するバッファ回路を動作させる電源と同じ電源で動作するバッファ回路に当該クロック信号を通過させ、通過後のクロック信号に同期するサンプリングパルスを生成し、このサンプリングパルスによりデータ信号をラッチし第4電圧振幅のデータ信号に変換し、この変換されたデータ信号をラッチし、ラッチされたデータをアナログの映像信号に変換することで、電源の電源電圧が低下すると、データ信号とクロック信号の両方に遅れが生じるので、ラッチエラーを防止することができる。

10

【0024】

請求項4記載の液晶表示装置は、請求項2記載の液晶表示装置において、データ処理回路が、第2電圧振幅のデータ信号を複数のデータ信号に変換するシリアルパラレル変換回路と、データ信号ごとにデータ信号を第3電圧振幅のデータ信号に変換する電圧振幅変換回路と変換されたデータ信号が通過するバッファ回路とを備え、データ信号ごとに前記信号線駆動回路を備え、クロック生成回路からのクロック信号を第3電圧振幅よりも大きな第4電圧振幅のクロック信号に変換して各信号線駆動回路に供給する電圧振幅変換回路を備え、信号線駆動回路は、供給されたクロック信号をクロックとして用い、供給されたクロック信号に同期するサンプリングパルスを生成するシフトレジスタ、サンプリングパルスにより第3電圧振幅の前記データ信号をラッチし第4電圧振幅のデータ信号に変換するサンプリングラッチ回路、この変換されたデータ信号が一括で転送されるときこのデータ信号をラッチするロードラッチ回路、このラッチされたデータをアナログの前記映像信号に変換するディジタルアナログ変換回路を備えることを特徴とする。

20

【0025】

請求項4記載の液晶表示装置によれば、分周されたクロック信号を第3電圧振幅のクロック信号に変換し、データ信号が通過するバッファ回路を動作させる電源と同じ電源で動作するバッファ回路に当該クロック信号を通過させ、通過後のクロック信号に同期するサンプリングパルスを生成し、このサンプリングパルスによりデータ信号をラッチし第4電圧振幅のデータ信号に変換し、この変換されたデータ信号をラッチし、ラッチされたデータをアナログの映像信号に変換することで、電源の電源電圧が低下すると、データ信号とクロック信号の両方に遅れが生じるので、ラッチエラーを防止することができる。

30

【0026】

請求項5記載の液晶表示装置は、請求項2乃至4のいずれかに記載の液晶表示装置において、前記サンプリングラッチ回路は、第3電圧振幅の前記データ信号がドレインに供給される第1NチャンネルTFT、第1NチャンネルTFTのソースに一方の電極が接続され、他方の電極が接地されたキャパシタ、第1NチャンネルTFTのソースにゲートが接続され、ソースが接地された第2NチャンネルTFT、第1NチャンネルTFTのソースにドレインが接続され、第2NチャンネルTFTのドレインにゲートが接続され、第4電圧振幅に応じた電源電圧の電源にソースが接続された第1PチャンネルTFT、第1PチャンネルTFTのドレインとゲートにゲートとドレインがそれぞれ接続され、当該電源にソースが接続され、ドレインからラッチ出力が取り出される第2PチャンネルTFTを備えることを特徴とする。

40

【0027】

請求項5記載の液晶表示装置によれば、サンプリングラッチ回路は、第3電圧振幅の前記データ信号がドレインに供給される第1NチャンネルTFT、第1NチャンネルTFTのソースに一方の電極が接続され、他方の電極が接地されたキャパシタ、第1NチャンネルTFTのソースにゲートが接続され、ソースが接地された第2NチャンネルTFT、第1NチャンネルTFTのソースにドレインが接続され、第2NチャンネルTFTのドレインにゲートが接続され、第4電圧振幅に応じた電源電圧の電源にソースが接続された第1PチャンネルT

50

F T、第 1 P チャンネル T F T のドレインとゲートにゲートとドレインがそれぞれ接続され、当該電源にソースが接続され、ドレインからラッチ出力が取り出される第 2 P チャンネル T F T を備えることで、T F T を少なくでき、よって、液晶表示装置の額縁幅を小さくすることができる。

【発明の効果】

【0028】

本発明によれば、分周されたクロック信号を第 3 電圧振幅のクロック信号に変換し、データ信号が通過するバッファ回路を動作させる電源と同じ電源で動作するバッファ回路に当該クロック信号を通過させ、通過後のクロック信号を基にしてデータ信号をラッチすることで、電源の電源電圧が低下すると、データ信号とクロック信号の両方に遅れが生じるので、ラッチエラーを防止することができる。

10

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態を図面を参照して説明する。

【0030】

図 1 は、本発明の実施の形態に係る液晶表示装置 10 の構成と配置を示す図である。

【0031】

液晶表示装置 10 は、マトリクス状に配置された画素を有する表示部 1 と、第 1 電圧振幅（例えば 0 V 2.8 V）のデータ信号を第 1 電圧振幅より大きな第 2 電圧振幅（例えば 0 V 5.0 V）の 2 本のデータ信号に変換し、さらに第 2 電圧振幅より小さな第 3 電圧振幅（例えば 0 V 2.8 V）のデータ信号に変換するデータ処理回路 2 と、第 1 電圧振幅のクロック信号を第 2 電圧振幅のクロック信号に変換および分周し、さらに第 3 電圧振幅のクロック信号に変換するクロック生成回路 3 と、クロック生成回路 3 からのクロック信号を第 3 電圧振幅よりも大きな第 4 電圧振幅（例えば 0 V 5.0 V）のクロック信号にそれぞれ変換する電圧振幅変換回路 301、301 と、各電圧振幅変換回路 301 からのクロック信号をクロックとして用い、このクロック信号に同期するサンプリングパルスを生成し、データ処理回路 2 からのデータ信号をサンプリングパルスによりラッチして第 4 電圧振幅のデータ信号に変換し、このデータ信号を一括で転送してラッチし、このラッチしたデータをアナログの映像信号に変換し、表示部 1 の画素に接続された信号線 X に供給する信号線駆動回路 4、4 と、表示部 1 の画素に接続された走査線 Y を駆動する走査線駆動回路 5 とを備える。なお、カラー表示を行う場合、データ信号が R（赤）、G（緑）、B（青）の色ごとに必要であり、各データ信号について同様の信号処理が行われるので、便宜上その中の 1 つについて説明する。

20

30

【0032】

一方の電圧振幅変換回路 301 と一方の信号線駆動回路 4 は、例えば表示部 1 の奇数番の信号線 X のためのものであり、他方の電圧振幅変換回路 301 と他方の信号線駆動回路 4 は、偶数番の信号線 X のためのものである。

【0033】

液晶表示装置 10 では、ガラスなどの透明なアレイ基板 100 上の表示部 1 において、複数の信号線 X および走査線 Y が交差しており、各交差部の画素には、信号線 X と走査線 Y とにより導通 / 非導通を制御される薄膜トランジスタ（T F T : Thin Film Transistor）101 と、この薄膜トランジスタ 101 が導通した際に信号線 X 上の映像信号が書き込まれる画素電極 102 とが形成されている。また、アレイ基板 100 上に形成された蓄積容量線 Z と画素電極 112 との間に蓄積容量 103 が構成される。また、アレイ基板 100 とこれに対向する対向基板との間に液晶が充填され、これにより対向基板上の表示部 1 に形成された対向電極 201 と画素電極 102 との間に液晶 300 が構成される。

40

【0034】

データ処理回路 2 は、図 6 に示したものと同様であり、第 1 電圧振幅に応じた電源電圧の電源 V C C と、第 2 電圧振幅に応じた電源電圧の電源 V D D とで動作し、第 1 電圧振幅のデータ信号を第 2 電圧振幅のデータ信号に変換する電圧振幅変換回路 21、電源 V D D

50

で動作し、データ信号を2本のデータ信号に変換するシリアルパラレル変換回路22、電源VDDで動作し、各データ信号を第3電圧振幅のデータ信号に変換する電圧振幅変換回路23、第3電圧振幅に応じた電源電圧の電源VCCで動作し当該データ信号が通過するバッファ回路24を備える。

【0035】

図2は、液晶表示装置10が備えるクロック生成回路3の構成を示す図である。

【0036】

クロック生成回路3は、電源VCCと電源VDDとで動作し、第1電圧振幅のクロック信号を第2電圧振幅のクロック信号に変換する電圧振幅変換回路31、電源VDDで動作し、このクロック信号を分周する分周回路32、電源VDDで動作し、分周されたクロック信号を第3電圧振幅のクロック信号に変換する電圧振幅変換回路33、第3電圧振幅に応じた電源電圧の電源VCCで動作し、第3電圧振幅のクロック信号が通過するバッファ回路34を備える。

10

【0037】

図1に戻り、信号線駆動回路4は、クロック生成回路3からのクロック信号を用い、このクロック信号に同期するサンプリングパルスを生成するシフトレジスタ41、サンプリングパルスにより第3電圧振幅のデータ信号をラッチし第4電圧振幅のデータ信号に変換するサンプリングラッチ回路42、この変換されたデータ信号が一括で転送されるとき、このデータ信号をラッチするロードラッチ回路43、このラッチされたデータをアナログの映像信号に変換するデジタルアナログ変換回路44とを備える。

20

【0038】

図3は、サンプリングラッチ回路42の回路図である。

【0039】

サンプリングラッチ回路42は、第3電圧振幅のデータ信号がドレインに供給されるNチャンネルTFT421(第1NチャンネルTFT)、このNチャンネルTFT421のソースに一方の電極が接続され、他方の電極が接地されたキャパシタC1、NチャンネルTFT421のソースにゲートが接続され、ソースが接地されたNチャンネルTFT422(第2NチャンネルTFT)、NチャンネルTFT421のソースにドレインが接続され、NチャンネルTFT422のドレインにゲートが接続され、第4電圧振幅に応じた電源電圧の電源VDDにソースが接続されたPチャンネルTFT423(第1PチャンネルTFT)、このPチャンネルTFT423のドレインとゲートにゲートとドレインがそれぞれ接続され、電源VDDにソースが接続され、ドレインからラッチ出力が取り出されるPチャンネルTFT424(第2PチャンネルTFT)を備える。なお、キャパシタC1の容量は、NチャンネルTFT421が非導通であるときのゲートリーク電流によりラッチ出力の電圧が変化しない容量に設定すればよい。

30

【0040】

図1に戻り、データ処理回路2、クロック生成回路3、信号線駆動回路4及び走査線駆動回路5は、アレイ基板100に内蔵されている。つまり、これら回路を構成するトランジスタはTFTであり、画素を構成する薄膜トランジスタ101をアレイ基板100上に形成した際に、この薄膜トランジスタ101の製造プロセスと同じ製造プロセスでアレイ基板100上に形成されたものである。

40

【0041】

次に、液晶表示装置10の動作を説明する。

【0042】

図1の液晶表示装置10では、液晶表示装置10の入力パッドから第1電圧振幅のデータ信号が入力される。このデータ信号の周波数は例えば5MHzである。そして、データ信号をデータ処理回路2の電圧振幅変換回路21が第2電圧振幅のデータ信号に変換し、このデータ信号をシリアルパラレル変換回路22が2本のデータ信号に変換する。このデータ信号の周波数は例えば2.5MHzである。そして、このデータ信号を電圧振幅変換回路23が第3電圧振幅のデータ信号に変換し、このデータ信号がバッファ回路24を通

50

過し、1本のデータ信号、例えば奇数番の信号線Xのためのデータ信号が、一方の信号線駆動回路4に供給され、偶数番の信号線Xのためのデータ信号が他方の信号線駆動回路4に供給される。

【0043】

また、液晶表示装置10の入力パッドから入力された第1電圧振幅のクロック信号をクロック生成回路3内の電圧振幅変換回路31が第2電圧振幅のクロック信号に変換し、このクロック信号を分周回路32が分周し、この分周されたクロック信号を電圧振幅変換回路33が第3電圧振幅のクロック信号に変換し、このクロック信号がバッファ回路34を通過し、電圧振幅変換回路301、301に供給される。

【0044】

各電圧振幅変換回路301はクロック信号を第4電圧振幅のクロック信号に変換し、信号線駆動回路4、4に供給する。

【0045】

各信号線駆動回路4ではシフトレジスタ41が、図示しないタイミング発生回路から水平スタートパルスが供給されたときにシフト動作を開始して、電圧振幅変換回路301からのクロック信号をクロックとして用い、このクロック信号に同期するサンプリングパルスを生成し、データ処理回路2からのデータ信号をサンプリングラッチ回路42がサンプリングパルスにより1水平期間において順次にラッチして第2電圧振幅のデータ信号に変換する。

【0046】

このサンプリングラッチ回路42では、図3のNチャンネルTFT421のゲートに例えば5.0Vが印加されてNチャンネルTFT421が導通する。

【0047】

NチャンネルTFT421が導通し、第3電圧振幅のデータ信号の電圧が高くなることで、チャンネルTFT422のゲート電圧がそのしきい値よりも高くなると、NチャンネルTFT422が導通して、ラッチ出力が低電圧となる。また、ラッチ出力が低電圧になることで、PチャンネルTFT423が導通して、そのドレインの電圧が電源VDDの電圧にまで上昇する。

【0048】

一方、NチャンネルTFT421が導通し、第3電圧振幅のデータ信号の電圧が低くなることで、チャンネルTFT422のゲート電圧がそのしきい値よりも低くなると、NチャンネルTFT422とPチャンネルTFT423とが非導通となり、ラッチ出力が電源VDDの電圧となる。

【0049】

このように、液晶表示装置10では、サンプリングラッチ回路42を4つのTFTと1つのキャパシタで構成したので、液晶表示装置10の額縁幅を小さくすることができる。

図1に戻り、サンプリングラッチ回路42のラッチ出力が水平ブランキング期間において一括で転送されると、これをロードラッチ回路43がラッチし、このラッチされたデータをデジタルアナログ変換回路44がアナログの映像信号に変換し、表示部1の信号線Xに供給する。

【0050】

表示部1では、駆動された走査線Yに接続された薄膜トランジスタ101が導通して、信号線Xに供給された映像信号が画素電極112に書き込まれ、一方、対向電極201には所定の信号が供給される。これにより、液晶300に電界が印加される。また、映像信号の振幅等に応じて、電界強度が変化し、これにより液晶300における光の透過率が変化する。例えば、図示しないバックライト装置からの光や外光が液晶300を通過するときに液晶300の光の透過率に応じた強度の光となり外部へ出射することで表示がなされる。

【0051】

図4は、液晶表示装置10のタイミングチャートである。

10

20

30

40

50

【 0 0 5 2 】

液晶表示装置 10 では、電源 V C C の電源電圧が低下した場合、この電源 V C C で動作するバッファ回路 2 4 を通過するパラレル信号は電源電圧の低下がない場合に比べて遅れる。

【 0 0 5 3 】

一方、バッファ回路 3 4 も、同一の電源 V C C で動作しているため、バッファ回路 3 4 を通過するクロック信号にも遅れが生じる。

【 0 0 5 4 】

これにより、この遅れが生じたクロック信号から生成されたサンプリングパルスで、遅れが生じたパラレル信号をラッチすることとなるので、ラッチエラーが生じるのを防止することができる。

10

【 0 0 5 5 】

また、バッファ回路 3 4 の T F T がバッファ回路 2 4 の T F T の製造プロセスと同一の製造プロセスで同じときに形成されているので、バッファ段数を同じにすることで、遅れの長さを同じにすることができ、かかる点もラッチエラー防止に寄与する。

【 0 0 5 6 】

なお、本実施の形態では、例えば奇数番の信号線 X のための信号線駆動回路 4 と偶数番の信号線 X のための信号線駆動回路 4 とを設け、同様に、電圧振幅変換回路 3 0 1、バッファ回路 2 4、電圧振幅変換回路 2 3 をそれぞれ合計で 2 つずつ設け、1 本のシリアルデータ信号を各電圧振幅変換回路 2 3 のためのデータ信号からなるパラレルのデータ信号に変換するシリアルパラレル変換回路 2 2 を設けたが、奇数番および偶数番の信号線 X のために同一の信号線駆動回路 4 を設け、同様に、電圧振幅変換回路 3 0 1、バッファ回路 2 4、電圧振幅変換回路 2 3 をそれぞれ 1 つずつ設け、シリアルパラレル変換回路 2 2 を設けない構成としてもよい。

20

【 0 0 5 7 】

以上説明したように、本実施の形態によれば、分周されたクロック信号を第 3 電圧振幅のクロック信号に変換し、データ信号が通過するバッファ回路を動作させる電源と同じ電源で動作するバッファ回路に当該クロック信号を通過させ、通過後のクロック信号を基にしてデータ信号をラッチすることで、電源の電源電圧が低下すると、データ信号とクロック信号の両方に遅れが生じるので、ラッチエラーを防止することができる。

30

【 0 0 5 8 】

また、サンプリングラッチ回路は、第 3 電圧振幅のデータ信号がドレインに供給される第 1 N チャンネル T F T、第 1 N チャンネル T F T のソースに一方の電極が接続され、他方の電極が接地されたキャパシタ、第 1 N チャンネル T F T のソースにゲートが接続され、ソースが接地された第 2 N チャンネル T F T、第 1 N チャンネル T F T のソースにドレインが接続され、第 2 N チャンネル T F T のドレインにゲートが接続され、第 4 電圧振幅に応じた電源電圧の電源にソースが接続された第 1 P チャンネル T F T、第 1 P チャンネル T F T のドレインとゲートにゲートとドレインがそれぞれ接続され、当該電源にソースが接続され、ドレインからラッチ出力が取り出される第 2 P チャンネル T F T を備えることで、T F T を少なくでき、よって、液晶表示装置の額縁幅を小さくすることができる。

40

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】 本発明の実施の形態に係る液晶表示装置 10 の構成と配置を示す図である。

【 図 2 】 液晶表示装置 10 が備えるクロック生成回路 3 の構成を示す図である。

【 図 3 】 サンプリングラッチ回路 4 2 の回路図である。

【 図 4 】 液晶表示装置 10 のタイミングチャートである。

【 図 5 】 従来液晶表示装置 10 A の構成と配置を示す図である。

【 図 6 】 データ処理回路 2 の構成を示す図である。

【 図 7 】 クロック生成回路 3 A の構成を示す図である。

【 図 8 】 サンプリングラッチ回路 4 2 A の回路図である。

50

【図 9】液晶表示装置 10A のタイミングチャートである。

【符号の説明】

【0060】

C 1 ... キャパシタ

V C C、V D D ... 電源

X ... 信号線

Y ... 走査線

Z ... 蓄積容量線

1 ... 表示部

2 ... データ処理回路

3、3 A ... クロック生成回路

4 ... 信号線駆動回路

5 ... 走査線駆動回路

10、10 A ... 液晶表示装置

21 ... 電圧振幅変換回路

22 ... シリアルパラレル変換回路

23 ... 電圧振幅変換回路

24 ... バッファ回路

31 ... 電圧振幅変換回路

32 ... 分周回路

33 ... 電圧振幅変換回路

34、34 A ... バッファ回路

41 ... シフトレジスタ

42 ... サンプリングラッチ回路

42 A ... サンプリングラッチ回路

43 ... ロードラッチ回路

44 ... デジタルアナログ変換回路

100 ... アレイ基板

101 ... 薄膜トランジスタ

102 ... 画素電極

103 ... 蓄積容量

112 ... 画素電極

201 ... 対向電極

300 ... 液晶

301 ... 電圧振幅変換回路

421、422 ... Nチャネル T F T

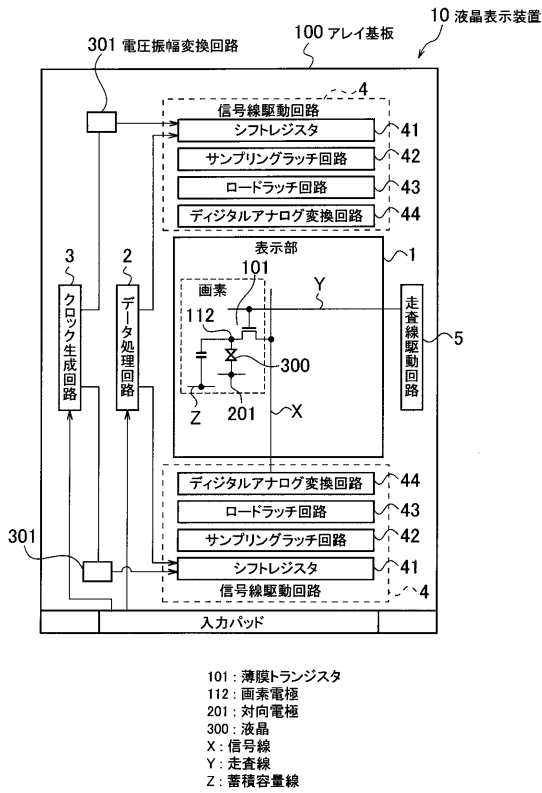
423、424 ... Pチャネル T F T

10

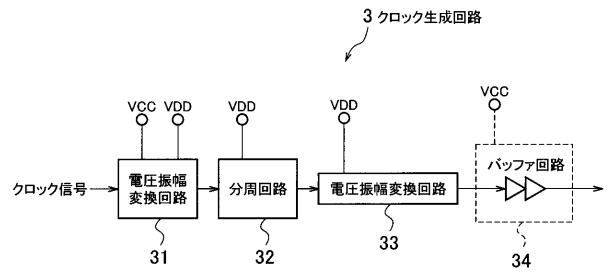
20

30

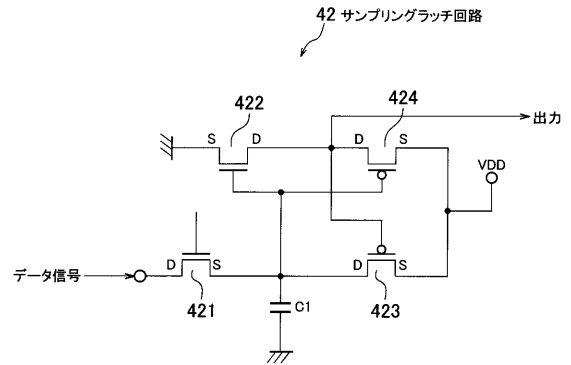
【 図 1 】



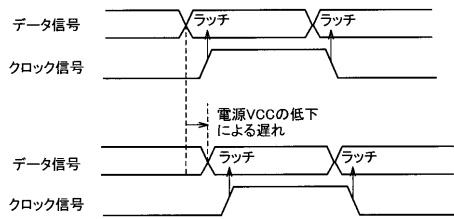
【 図 2 】



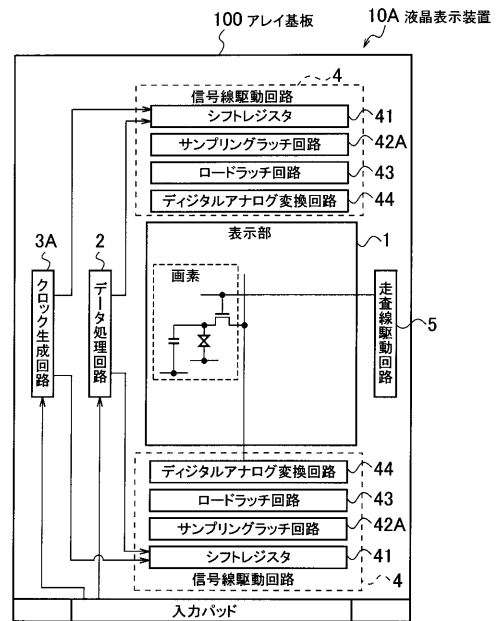
【 図 3 】



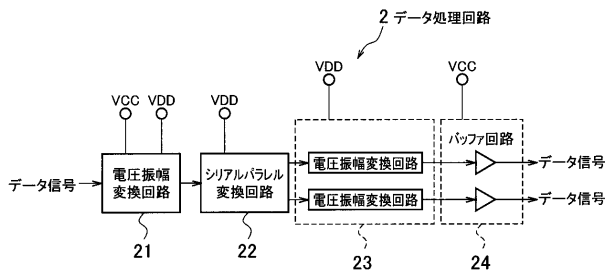
【 図 4 】



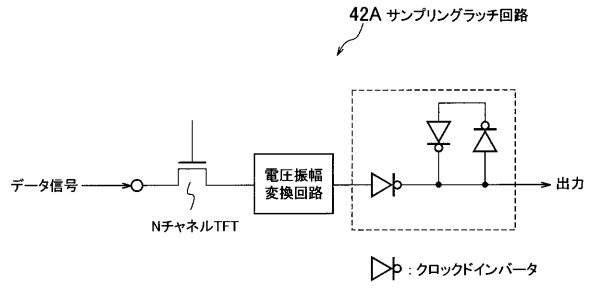
【 図 5 】



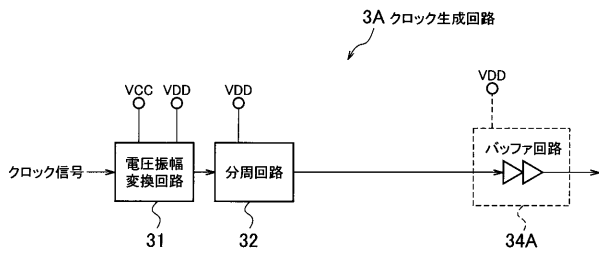
【 図 6 】



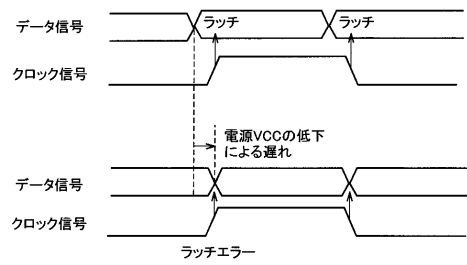
【 図 8 】



【 図 7 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H

(74)代理人 100101247
弁理士 高橋 俊一

(74)代理人 100098327
弁理士 高松 俊雄

(72)発明者 西村 陽彦
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H093 NC22 NC26 NC27 NC34 NC35 ND37 ND42 ND49 ND60
5C006 AF50 AF72 AF82 BB16 BC12 BF03 BF04 BF11 BF23 BF25
BF46 FA16 FA18
5C080 AA10 BB05 DD09 FF11 JJ02 JJ03 JJ04

专利名称(译)	时钟产生电路和液晶显示装置		
公开(公告)号	JP2006201679A	公开(公告)日	2006-08-03
申请号	JP2005015508	申请日	2005-01-24
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	西村陽彦		
发明人	西村 陽彦		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.K G09G3/20.621.A G09G3/20.621.L G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H		
F-TERM分类号	2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND37 2H093/ND42 2H093/ND49 2H093/ND60 5C006/AF50 5C006/AF72 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF23 5C006/BF25 5C006/BF46 5C006/FA16 5C006/FA18 5C080/AA10 5C080/BB05 5C080/DD09 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供时钟产生电路和液晶显示装置，两者都防止了锁存错误。解决方案：电压幅度转换电路33将分频时钟信号转换为第三电压幅度的时钟信号，并使时钟信号通过由与电源相同的电源操作的缓冲电路34以操作缓冲器数据信号通过的电路。当通过在通过之后基于时钟信号锁存数据信号来降低电源的电源电压时，在数据信号和时钟信号中都发生延迟，因此，防止了锁存错误。之

