

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-345819
(P2005-345819A)

(43) 公開日 平成17年12月15日(2005.12.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1339	GO2F 1/1339 500	2H089
GO2F 1/1368	GO2F 1/1368	2H092

審査請求 有 請求項の数 3 O L (全 10 頁)

(21) 出願番号	特願2004-166165 (P2004-166165)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成16年6月3日(2004.6.3)	(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100124349 弁理士 米田 圭啓
		(72) 発明者	北川 英樹 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	杉本 修 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

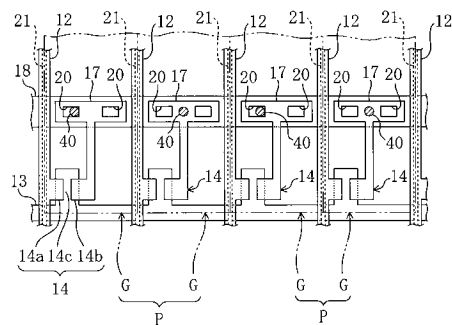
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】コンタクトホール20を有するアレイ基板10と、スペーサ40が一体形成された対向基板30とを互いに貼り合わせるようにした液晶表示装置において、貼合せ精度が過度に高くなっても、両基板10, 30間のギャップを均一化できるようにする。

【解決手段】全ての画素領域Gからなる全体領域を、各々、複数のスペーサ40を有しかつ少なくとも1つの画素領域Gからなる複数の部分領域Pに分け、各部分領域Pの複数のスペーサ40を、一部のスペーサ40がコンタクトホール20に嵌り込む位置に位置付けられたときに、残部のスペーサ40がコンタクトホール20に嵌り込む位置からずれた位置に位置付けられるように配置する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

各画素領域毎にスイッチング素子の画素電極側電極と画素電極との間に介在する絶縁保護膜に設けられたコンタクトホールを経由して前記画素電極側電極と前記画素電極とを互いに電氣的に接続するように設けられたアレイ基板と、前記アレイ基板に対向するように配置され、該アレイ基板に貼り合わされた対向基板と、前記対向基板に一体に形成され、前記アレイ基板との間にギャップを形成するための複数のスペーサと、前記アレイ基板および前記対向基板間に配置された液晶層とを備えた液晶表示装置であって、

全ての前記画素領域からなる全体領域は、各々、複数の前記スペーサを有しかつ少なくとも1つの前記画素領域からなる複数の部分領域に分けられ、

前記各部分領域内の前記複数のスペーサは、一部のスペーサが該一部のスペーサに対応する前記コンタクトホールに嵌り込む位置に位置付けられたときに、残部のスペーサが該残部のスペーサに対応する前記コンタクトホールに嵌り込む位置からずれた位置に位置付けられるように配置されていることを特徴とする液晶表示装置。

10

【請求項 2】

請求項 1 に記載の液晶表示装置において、

前記アレイ基板は、前記各画素電極にそれぞれ電荷を保持するための補助容量バスラインを有し、

前記各スペーサは、それぞれ、前記補助容量バスラインに対応する位置に配置されていることを特徴とする液晶表示装置。

20

【請求項 3】

請求項 1 に記載の液晶表示装置において、

前記各部分領域の前記画素領域は、複数とされ、

前記各部分領域の前記複数のスペーサは、前記複数の画素領域のうちの一部の前記画素領域のみに配置されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コンタクトホールを有するアレイ基板とスペーサを有する対向基板とを互いに貼り合わせるようにした液晶表示装置に関し、特にスペーサがコンタクトホールに嵌り込むことに起因する両基板間のギャップの不均一化を防止する対策に関する。

30

【背景技術】

【0002】

一般に、液晶表示装置では、アレイ基板と対向基板との間に、複数のスペーサを介在させ、このことで、両基板間のギャップを均一にするようになされており、その際に、球状のスペーサを両基板間に散布するようにしたものでは、スペーサが凝集しやすいことから、近年では、一方の基板に柱状のスペーサを一体に形成するようにしたものが増えており、例えば、特許文献 1 に記載されたものでは、対向電極を有するカラーフィルタ基板（対向基板）側にスペーサを一体形成するようになっている。

【0003】

また、基板に形成されるスペーサの配置については、スペーサの存在に起因する表示むらを抑える上では、配線幅がゲートバスラインよりも広い補助容量バスライン（以下、Csバスラインという）に対応する位置であることが望ましい。

40

【0004】

ところで、アレイ基板における TFT の画素電極側電極と画素電極との間に絶縁保護膜を設けるようにした液晶表示装置では、その絶縁保護膜に、両電極同士を電氣的に接続するためのコンタクトホールが設けられている。

【0005】

したがって、上記のスペーサが、対向基板側に形成されている場合には、アレイ基板と対向基板とを互いに貼り合わせる際に、その貼合せ精度が高くないと、図 10 の平面図に

50

模式的に示すように、アレイ基板100に対し対向基板が同図に矢印で示す方向にずれたときに、スペーサ200がコンタクトホール300に嵌り込むことがあり、その結果、アレイ基板100と対向基板との間のギャップが乱れ、正常な表示ができなくなる。

【0006】

そこで、従来の場合には、対向基板上におけるスペーサ200の配置精度を高めるのみならず、アレイ基板100と対向基板とを互いに貼り合わせる際の貼合せ精度を、できるだけ高めるようになされている。

【特許文献1】特開平4-122914号公報(第2頁,第2図)

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

しかしながら、近年では、高精細化により画素ピッチがますます小さくなってきていることから、上記従来の場合には、極めて高い貼合せ精度が要求されることになり、そのために、貼合せ作業が極めて困難であるという問題がある。

【0008】

本発明は、斯かる点に鑑みてなされたものであり、その主な目的は、コンタクトホールを有するアレイ基板と、柱状スペーサが形成された対向基板とを互いに貼り合わせる際に、貼合せ精度が過度に高くなくても、両基板間のギャップを均一化できるようにすることにある。

【課題を解決するための手段】

20

【0009】

上記の目的を達成すべく、本発明では、全ての画素領域からなる全体領域を、複数の部分領域に分け、各部分領域毎に、一部のスペーサがコンタクトホールに嵌り込んでも、残部のスペーサがコンタクトホールに嵌り込まないでギャップを確保するようにし、これにより、貼合せ精度が高くなくても、アレイ基板と対向基板との間のギャップを均一化できるようにした。

【0010】

具体的には、本発明では、各画素領域毎にスイッチング素子の画素電極側電極と画素電極との間に介在する絶縁保護膜に設けられたコンタクトホールを経由して前記画素電極側電極と前記画素電極とを互いに電氣的に接続するように設けられたアレイ基板と、このアレイ基板に対向するように配置されていて、該アレイ基板に貼り合わされた対向基板と、この対向基板に一体に形成されていて、前記アレイ基板との間にギャップを形成するための複数のスペーサと、前記アレイ基板および前記対向基板間に配置された液晶層とを備えた液晶表示装置を前提としている。

30

【0011】

そして、全ての前記画素領域からなる全体領域は、各々、複数の前記スペーサを有しかつ少なくとも1つの前記画素領域からなる複数の部分領域に分けられているものとする。その上で、前記各部分領域内の前記複数のスペーサは、一部のスペーサが該一部のスペーサに対応する前記コンタクトホールに嵌り込む位置に位置付けられたときに、残部のスペーサが該残部のスペーサに対応する前記コンタクトホールに嵌り込む位置からずれた位置に位置付けられるように配置されているものとする。

40

【0012】

尚、上記の構成において、前記アレイ基板が、前記各画素電極にそれぞれ電荷を保持するための補助容量バスラインを有するものである場合には、前記各スペーサは、それぞれ、前記補助容量バスラインに対応する位置に配置されているものとすることができる。

【0013】

また、前記各部分領域の前記画素領域が、複数とされる場合には、前記各部分領域の前記複数のスペーサは、前記複数の画素領域のうちの一部の前記画素領域のみに配置されているものとすることもできる。

【発明の効果】

50

【0014】

本発明によれば、コンタクトホールを有するアレイ基板と、スペーサが形成された対向基板とを互いに貼り合わせるようにした液晶表示装置において、各部分領域毎に、少なくとも1つのスペーサによりアレイ基板と対向基板との間のギャップを確保することができるので、貼合せ精度が高くないでも、全体領域に亘ってギャップを均一化することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明に係る実施形態を、図面に基づいて説明する。

【0016】

図1および図2は、本発明の実施形態に係る液晶表示装置の構成を模式的に示して、図1は図2のI-I線断面図であり、図2は液晶表示装置の要部の構成を模式的に示す断面図である。この液晶表示装置は、画素電極の駆動にTFT(Thin Film Transistor)を用いるようにしたアクティブマトリクス型のものであり、また、液晶表示パネルの背面側に配置されたバックライトから該液晶表示パネルに入射された光に対し、その透過光量を各画素毎に制御するようにした透過型のものである。

10

【0017】

液晶表示装置は、マトリクス状に配置された複数のTFTを有するアレイ基板10と、カラーフィルタ層を有して、アレイ基板に貼り合わされた対向基板としてのカラーフィルタ基板20(以下、CF基板という)とを備えており、これらアレイ基板10とCF基板30との間には、液晶層50が配置されている。

20

【0018】

上記のアレイ基板10は、透明のガラス基板11を有している。ガラス基板11上には、縦方向(図1の上下方向)に延びる複数本のデータバスライン12と、横方向(同図の左右方向)に延びる複数本のゲートバスライン13とが互いに交差するように配置されており、各交点の近傍には、ソース電極14a、ドレイン電極14bおよびゲート電極14cを有するTFT14と、このTFT14のドレイン電極14bに電氣的に接続された画素電極15とが配置されている。TFT14のソース電極14aは、前記交点を通るデータバスライン12に電氣的に接続しており、TFT14のゲート電極14cは、前記交点を通るゲートバスライン13に電氣的に接続している。データバスライン12、ソース電極14aおよびドレイン電極14bと、ゲートバスライン13およびゲート電極14cとは、ゲート絶縁膜16によって電氣的に絶縁されている。また、ドレイン電極14bは、TFT14の位置から画素領域Gの略中央位置まで延設されており、その端部は、ゲートバスライン13に平行な方向に延びる略矩形状の補助容量用電極17(以下、Cs電極という)とされている。さらに、ゲート絶縁膜16におけるCs電極17とは反対の側には、Csバスライン18がゲートバスライン13の方向に延びるように設けられており、各画素領域Gでは、そのCsバスライン18とCs電極17とにより補助容量を形成するようになされている。

30

【0019】

上記データバスライン12、ソース電極14a、ドレイン電極14bおよびCs電極17の上には、絶縁保護膜19が設けられており、画素電極15は、その絶縁保護膜19の上に配置されている。この画素電極15は、画素領域の略全体を覆うように設けられており、その周縁部は、当該画素領域Gを区画する2本のデータバスライン12および2本のゲートバスライン13の各対応部分にそれぞれ重なるように設けられている。

40

【0020】

各画素領域Gにおいて、Cs電極17に対応する絶縁保護膜の部位には、2つのコンタクトホール20が形成されており、これらのコンタクトホール20を経由して、Cs電極17、つまりTFT14のドレイン電極14bと、画素電極15とが電氣的に接続している。尚、図1のおよび図2の21は、データバスライン12の下層側に該データバスライン12に沿って延びるように配置されたオーミックコンタクト層であって、データバスラ

50

イン 1 2 の断線防止などの機能を持つものである。

【 0 0 2 1 】

一方、上記の C F 基板 3 0 も、透明のガラス基板 3 1 を有している。このガラス基板 3 1 上において、アレイ基板 1 0 のデータバスライン 1 2 周り、ゲートバスライン 1 3 周り、T F T 1 4 周りおよび C s バスライン 1 8 周りなど、光の漏れる領域には、遮光層 3 2 (ブラックマトリックス) が設けられており、その上には、カラーフィルタ層 3 3 が設けられている。カラーフィルタ層 3 3 は、R (赤色)、G (緑色)、B (青色) の 3 種類の着色層が所定の画素配列に基づいて各画素領域 G 毎に択一的に配置されてなっている。つまり、本実施形態では、「画素」とは、サブピクセル (ドット) を表している。カラーフィルタ層 3 3 の上には、例えば I T O 膜からなる透明の対向電極 3 4 が複数の画素領域 G に亘って設けられている。この対向電極 3 4 の上には、当該 C F 基板 3 0 とアレイ基板 1 0 との間に所定のギャップを形成するための柱状スペーサ 4 0 が各画素領域 G に 1 つの割合で配置されている。

10

【 0 0 2 2 】

ここで、上記のように構成された液晶表示装置の製造工程について説明する。

【 0 0 2 3 】

まず、アレイ基板 1 0 については、ガラス基板 1 1 上にスパッタリングによりゲート膜を成膜し、そのゲート膜をパターニングして、ゲートバスライン 1 3、ゲート電極 1 4 c および C s バスライン 1 8 を形成する。

【 0 0 2 4 】

次に、C V D 法によりゲート絶縁膜 1 6 を成膜し、その上に、データバスライン 1 2、ソース電極 1 4 a、ドレイン電極 1 4 b および C s 電極 1 7 を設ける。これにより、T F T 1 4 が形成される。

20

【 0 0 2 5 】

そして、絶縁保護膜 1 9 を成膜した後、スパッタリングにより透明導電膜を成膜し、この透明導電膜をパターニングして画素電極 1 5 を形成する。この画素電極 1 5 は、絶縁保護膜 1 9 に形成されたコンタクトホール 2 0 を経由して、C s 電極 1 7、つまり T F T 1 4 のドレイン電極 1 4 b に電氣的に接続される。

【 0 0 2 6 】

一方、C F 基板 3 0 については、ガラス基板 3 1 上に遮光層 3 2 を形成し、次いで、遮光層 3 2 を含む領域に、カラーフィルタ層 3 3 を形成する。その後、カラーフィルタ層 3 3 の上に対向電極 3 4 を形成し、その上で、柱状スペーサ 4 0 を形成する。

30

【 0 0 2 7 】

そして、本実施形態では、全ての画素領域 G からなる全体領域は、各々、ゲートバスライン 1 3 の延びる方向 (図 1 の左右方向) において左右に隣り合う 2 つの画素領域 G からなりかつ 2 つの柱状スペーサ 4 0 を有する複数の部分領域 P に分けられており、その上で、各部分領域 P の 2 つの柱状スペーサ 4 0 は、アレイ基板 1 0 と C F 基板 3 0 との貼合せにより一方の柱状スペーサ 4 0 が該一方の柱状スペーサ 4 0 に対応するコンタクトホール 2 0 に嵌り込む位置に位置付けられたときに、他方の柱状スペーサ 4 0 が該他方の柱状スペーサ 4 0 に対応するコンタクトホール 2 0 に嵌り込む位置からずれた位置に位置付けられるように配置されている。

40

【 0 0 2 8 】

具体的には、柱状スペーサ 4 0 は、図 1 左側の画素領域 G の柱状スペーサ 4 0 が、同図左側コンタクトホール 2 0 に嵌り込む位置に位置付けられたときに、同図右側の画素領域 G の柱状スペーサ 4 0 が左右 2 つのコンタクトホール 2 0 の略中央に位置するように配置されている。

【 0 0 2 9 】

したがって、本実施形態によれば、全ての画素領域 G からなる全体領域を、各々、ゲートバスライン 1 3 の延びる方向において隣り合う 2 つの画素領域 G からなりかつ 2 つの柱状スペーサ 4 0 を有する複数の部分領域 P に分け、各部分領域 P の 2 つの柱状スペーサ 4

50

0 について、アレイ基板 10 と CF 基板 30 とが互いに貼り合わされることにより一方の柱状スペーサ 40 がコンタクトホール 20 に嵌り込んだときに、他方の柱状スペーサ 40 を、コンタクトホール 20 に嵌り込む位置からずれた位置に位置付けることができるので、アレイ基板 10 と CF 基板 30 との貼合せ精度が高くななくても、各部分領域 P において少なくとも 1 つの柱状スペーサ 40 により所定のギャップを確保することができ、よって、全体領域においてアレイ基板 10 および CF 基板 30 間のギャップの均一化を図ることができる。

【0030】

また、CF 基板 30 に柱状スペーサ 40 を形成する際に、アレイ基板 10 の Cs バスライン 18 に対応する領域に柱状スペーサ 40 を配置するようにしたので、配線幅の狭いゲートバスライン 13 などに対応する領域に配置する場合に比べて、容易に配置することができる。

10

【0031】

尚、上記の実施形態では、各部分領域 P を、2 つの画素領域 G で構成するようにした場合について説明しているが、各部分領域 P を、3 つ以上の画素領域 G で構成するようにしてもよい。例えば、各部分領域 P を、各々、1 つの柱状スペーサ 40 を有する 3 つの画素領域 G で構成する場合の例としては、図 4 に示す変形例 1 や、図 5 に示す変形例 2 のように、2 つの画素領域 G の各柱状スペーサ 40 がそれぞれコンタクトホール 20 に嵌り込む位置に位置付けられたときに、残りの 1 つの画素領域 G の柱状スペーサ 40 が各コンタクトホール 20 にそれぞれ嵌り込む何れの位置からずれた位置に位置付けられるように配置することができる。また、各部分領域 P を、4 つの画素領域 G で構成される場合には、一例として、図 6 に示す変形例 3 のように、2 つの画素領域 G の各柱状スペーサ 40 がそれぞれコンタクトホール 20 に嵌り込む位置に位置付けられたときに、残りの 2 つの画素領域 G の各柱状スペーサ 40 が各々のコンタクトホール 20 に嵌り込む何れの位置からずれた位置に位置付けられるように配置することができる。

20

【0032】

また、上記の実施形態では、柱状スペーサ 40 をゲートバスライン 13 の延びる方向においてずらすようにした場合について説明しているが、例えば、上記変形例 3 のように、柱状スペーサ 40 をデータバスライン 12 の延びる方向においてずらすようにしてもよく、さらには、図 7 に示す変形例 4 のように、柱状スペーサ 40 を、ゲートバスライン 13 の延びる方向と、データバスライン 12 の延びる方向との 2 方向においてずらすようにすることもできる。

30

【0033】

また、上記の実施形態では、各画素領域 G が 2 つのコンタクトホール 20 を有する場合について説明しているが、例えば、上記の変形例 4 や、図 8 に示す変形例 5 のように、各画素領域 G のコンタクトホール 20 が 1 であってもよい。

【0034】

さらに、上記の実施形態では、各部分領域 P の全ての画素領域 G が柱状スペーサ 40 を有する場合について説明しているが、例えば、画素ピッチの小さい高精細液晶表示装置などの場合には、図 9 に示す変形例 6 のように、各部分領域 P の全ての画素領域 G のうち、一部の画素領域 G のみに柱状スペーサ 40 を配置する一方、残部の画素領域 G には柱状スペーサ 40 を配置しないようにすることもできる。

40

【図面の簡単な説明】

【0035】

【図 1】図 2 の I - I 線断面図である。

【図 2】本発明の実施形態に係る液晶表示装置の要部の構成を模式的に示す断面図である。

【図 3】CF 基板の構成を模式的に示す断面図である。

【図 4】変形例 1 を示す図 1 相当図である。

【図 5】変形例 2 を示す図 1 相当図である。

50

【図6】変形例3を示す図1相当図である。

【図7】変形例4を示す図1相当図である。

【図8】変形例5を示す図1相当図である。

【図9】変形例6を示す図1相当図である。

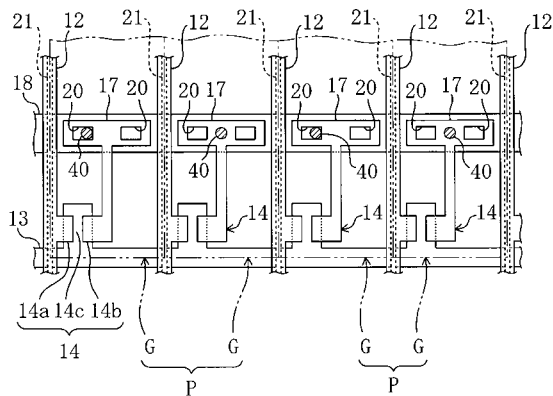
【図10】従来の液晶表示装置における対向基板側から見たアレイ基板を示す図1相当図である。

【符号の説明】

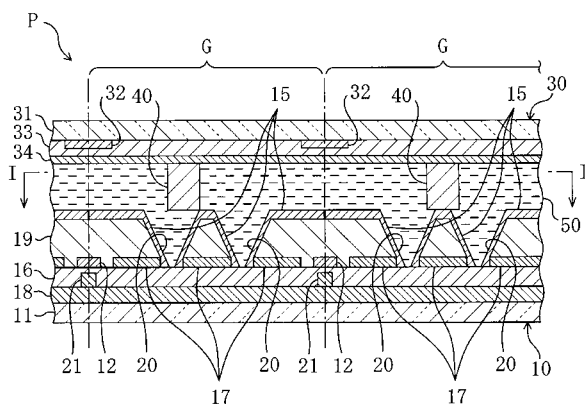
【0036】

- 10 アレイ基板
- 14 TFT（スイッチング素子）
- 15 画素電極
- 18 Csバスライン（補助容量バスライン）
- 19 絶縁保護膜
- 20 コンタクトホール
- 30 CF基板（対向基板）
- 40 柱状スペーサ（スペーサ）
- 50 液晶層
- P 部分領域
- G 画素領域

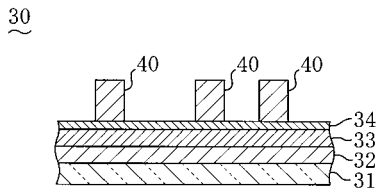
【図1】



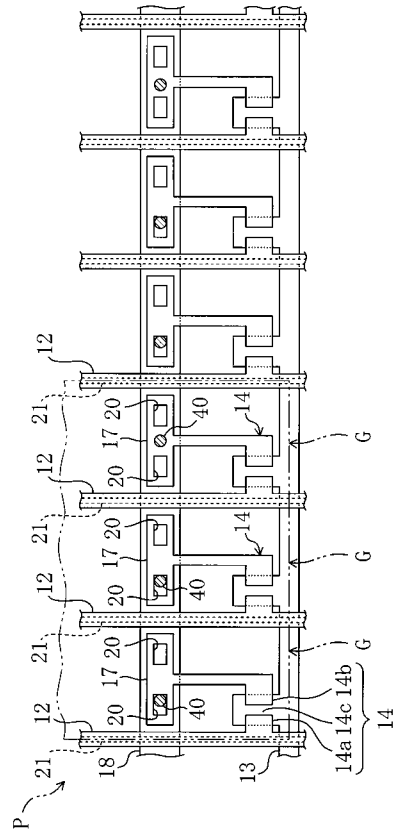
【図2】



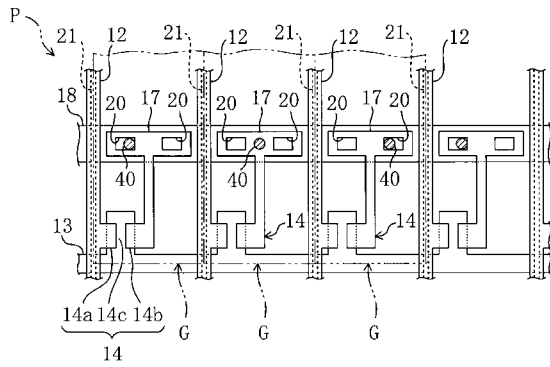
【 図 3 】



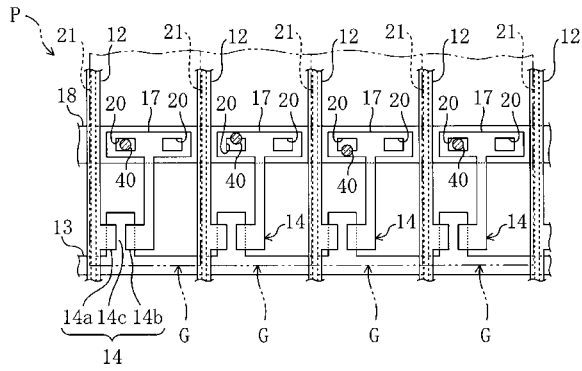
【 図 5 】



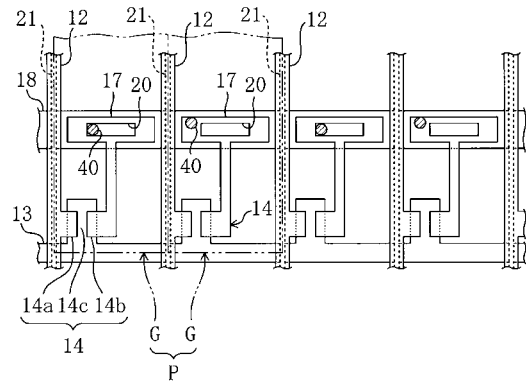
【 図 4 】



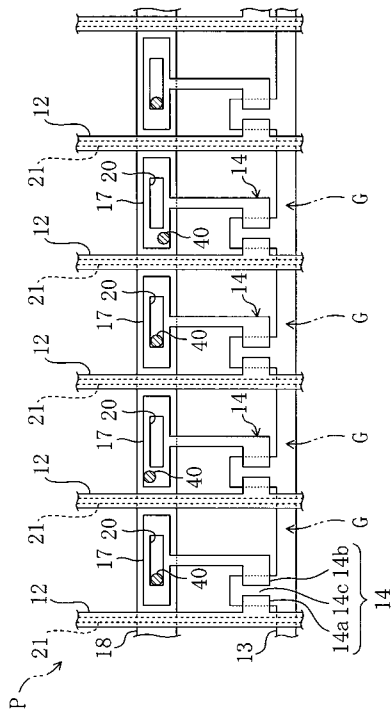
【 図 6 】



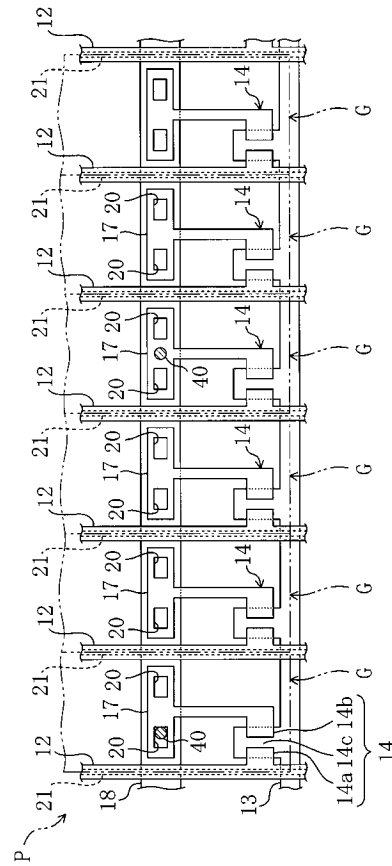
【 図 7 】



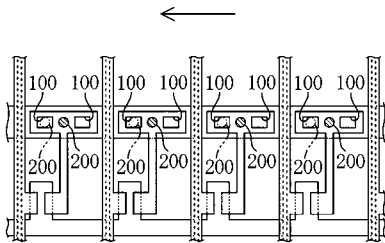
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 澤田 康一

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 2H089 LA09 LA12 LA16 LA20 QA14 TA09

2H092 JA26 JA46 JB56 JB65 JB69 NA01 NA29 PA03

专利名称(译)	液晶表示装置		
公开(公告)号	JP2005345819A	公开(公告)日	2005-12-15
申请号	JP2004166165	申请日	2004-06-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	北川英樹 杉本修 澤田康一		
发明人	北川 英樹 杉本 修 澤田 康一		
IPC分类号	G02F1/1339 G02F1/1368		
CPC分类号	G02F1/136227 G02F1/13394 G02F1/136213		
FI分类号	G02F1/1339.500 G02F1/1368		
F-TERM分类号	2H089/LA09 2H089/LA12 2H089/LA16 2H089/LA20 2H089/QA14 2H089/TA09 2H092/JA26 2H092/JA46 2H092/JB56 2H092/JB65 2H092/JB69 2H092/NA01 2H092/NA29 2H092/PA03 2H189/DA07 2H189/DA28 2H189/FA14 2H189/FA62 2H189/HA14 2H189/LA06 2H189/LA10 2H189/LA14 2H189/LA15 2H189/LA20 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA43 2H192/EA22 2H192/EA43 2H192/GD23		
代理人(译)	前田弘 竹内雄二		
其他公开文献	JP4092309B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使粘附精度不是太高，也要使基板10和30之间的间隙均匀。ZOLUTION：在液晶显示器中，其中具有接触孔20的阵列基板10和具有与其整体形成的间隔物40的对向基板30彼此粘附，由所有像素区域G组成的总区域被分成多个部分区域P，每个区域具有多个间隔物40并由至少一个像素区域G组成；每个部分区域P中的多个间隔物40设置成使得当一部分的间隔物40定位在该部分的间隔物配合在接触孔20中的位置时，其余部分的间隔物40定位，偏离该部分的隔离物40装配在接触孔20中的位置

