

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-514957  
(P2004-514957A)

(43) 公表日 平成16年5月20日(2004.5.20)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/36</b>	G09G 3/36	2H092
<b>G02F 1/133</b>	G02F 1/133 550	2H093
<b>G02F 1/1368</b>	G02F 1/1368	5C006
<b>G09G 3/20</b>	G09G 3/20 611E	5C080
	G09G 3/20 621B	
	審査請求 未請求 予備審査請求 有 (全 61 頁) 最終頁に続く	

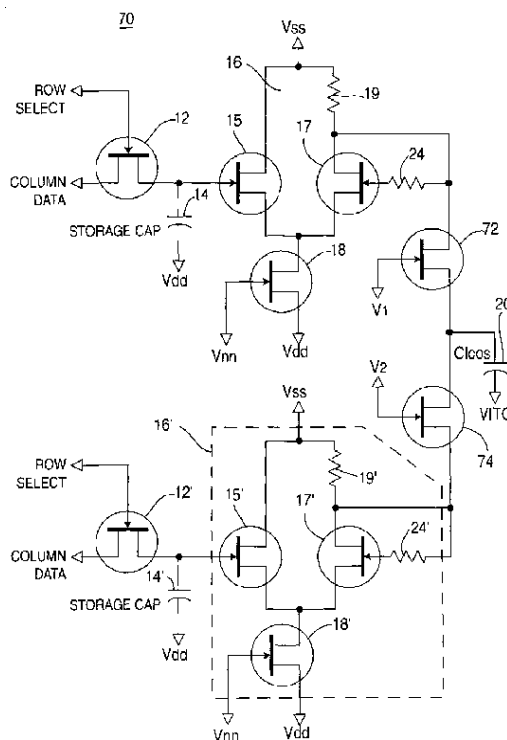
(21) 出願番号 特願2002-547154 (P2002-547154)  
 (86) (22) 出願日 平成13年11月29日 (2001.11.29)  
 (85) 翻訳文提出日 平成15年5月28日 (2003.5.28)  
 (86) 国際出願番号 PCT/US2001/044896  
 (87) 国際公開番号 W02002/045067  
 (87) 国際公開日 平成14年6月6日 (2002.6.6)  
 (31) 優先権主張番号 60/250, 259  
 (32) 優先日 平成12年11月30日 (2000.11.30)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 501263810  
 トムソン ライセンシング ソシエテ ア  
 ノニム  
 Thomson Licensing S  
 . A.  
 フランス国, エフ-92100 ブロー  
 ニュ ビヤンクール, ケ アルフォンス  
 ル ガロ, 46 番地  
 (74) 代理人 100087321  
 弁理士 渡辺 勝徳  
 (72) 発明者 オードネル, ユージーン マーフィ  
 アメリカ合衆国 インディアナ州 ファイツ  
 シャーズ テインバー・スプリングス・ド  
 ライブ 7594  
 Fターム(参考) 2H092 JA23 JB42 JB67 KA03  
 最終頁に続く

(54) 【発明の名称】 液晶表示装置用の切替え式増幅器駆動ドライバ回路、方法、および表示装置

(57) 【要約】

メモリ素子と、複数の液晶セルのうちの液晶セルとを有する表示ユニット(50)用のセル・ドライバ(70)は、第1の記憶コンデンサ(14)と、第1の記憶コンデンサと液晶セルとの間に選択的に結合されて第1の駆動回路を形成する第1の差動増幅器(16)とを備える。セル・ドライバはまた、第2の記憶コンデンサ(14)と、第2の記憶コンデンサと液晶セルとの間に結合されて第2の駆動回路を形成する第2の差動増幅器(16)とを備える。切替え機構(72および74)を使用して、第1と第2の駆動回路間で液晶セルを切り替える。



## 【特許請求の範囲】

## 【請求項 1】

液晶セルのアレイを有する表示装置であって、  
表示ドライバ回路のアレイを備え、所定の表示ドライバ回路は、所定の液晶セルに関連し、前記所定の表示ドライバ回路は、  
第 1 の記憶キャパシタンスと、前記第 1 の記憶キャパシタンスと前記所定の液晶セルとの間に選択可能に結合されて第 1 の駆動回路を形成する第 1 の増幅器と、  
第 2 の記憶キャパシタンスと、前記第 2 の記憶キャパシタンスと前記所定の液晶セルとの間に結合されて第 2 の駆動回路を形成する第 2 の増幅器と、  
前記第 1 と第 2 の駆動回路を切り替えるための切替え手段とを備える表示装置。

10

## 【請求項 2】

前記第 1 の増幅器と前記第 2 の増幅器が、両方とも差動増幅器である、請求項 1 に記載の表示装置。

## 【請求項 3】

前記差動増幅器が、1 対の N チャンネル・トランジスタを備え、前記 N チャンネル・トランジスタが、結合されたそれぞれのドレイン電極を有し、前記液晶セルへの出力として働く、請求項 2 に記載の表示装置。

## 【請求項 4】

前記第 1 と第 2 の駆動回路が、それぞれ更に、前記それぞれの記憶キャパシタンスと前記増幅器との間に結合された大域スイッチ素子を備え、前記大域スイッチ素子が、前記記憶キャパシタンスからのデータを前記第 1 と第 2 の駆動回路の一方に転送する、請求項 1 に記載の表示装置。

20

## 【請求項 5】

前記切替え手段が、第 1 の大域切替え電圧によって駆動される第 1 のトランジスタと、第 2 の大域切替え電圧によって駆動される第 2 のトランジスタとを備える、請求項 1 に記載の表示装置。

## 【請求項 6】

液晶セル・アレイの所定の液晶セルのための表示ドライバ回路であって、  
前記所定の液晶セルの第 1 のメモリ素子に結合された第 1 の駆動回路と、  
前記所定の液晶セルの第 2 のメモリ素子に結合された少なくとも第 2 の駆動回路と、  
前記第 1 と少なくとも第 2 の駆動回路の間で前記液晶セルを切り替えるための切替え手段とを備える表示ドライバ回路。

30

## 【請求項 7】

前記第 1 と第 2 の駆動回路がそれぞれ、1 対の N チャンネル・トランジスタを含む差動増幅器を備え、前記 N チャンネル・トランジスタが、電流源に結合されたそれぞれのソース電極を有し、前記液晶セルに対する分離増幅器として働く、請求項 6 に記載の表示ドライバ回路。

## 【請求項 8】

前記第 1 と第 2 の駆動回路がそれぞれ、1 対の N チャンネル・トランジスタを含む差動増幅器を備え、前記 N チャンネル・トランジスタが、電流源に結合されたそれぞれのソースを有する、請求項 6 に記載の表示ドライバ回路。

40

## 【請求項 9】

前記切替え手段が、第 1 の大域切替え電圧によって駆動される第 1 のトランジスタと、第 2 の大域切替え電圧によって駆動される第 2 のトランジスタとを備える、請求項 6 に記載の表示ドライバ回路。

## 【請求項 10】

記憶コンデンサと差動増幅器との間に結合されて残像およびフリッカを減少させるのに使用される大域スイッチング素子を更に備える、請求項 6 に記載の表示ドライバ回路。

## 【請求項 11】

液晶アレイ素子のアレイ全体を同時に更新する、請求項 6 に記載の表示ドライバ回路。

50

## 【請求項 1 2】

前のフレームから変化したメモリ・セルだけを更新する、請求項 6 に記載の表示ドライバ回路。

## 【請求項 1 3】

ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動する、請求項 6 に記載の表示ドライバ回路。

## 【請求項 1 4】

液晶表示装置 (LCD) / 液晶オン・シリコン (LCOS) 表示装置を駆動する方法であって、

複数の駆動セルのうちの各駆動セル中で差動増幅器を使用して記憶キャパシタンスと液晶セルとの間の分離を与えるステップと、

前記複数の駆動セル間を切り替えて前記液晶セルを駆動するステップとを含む方法。

## 【請求項 1 5】

前記与えるステップが更に、第 1 の駆動セル中で、第 1 の差動増幅器を使用して第 1 の記憶キャパシタンスと前記液晶セルとの間の分離を与え、第 2 の駆動セル中で、第 2 の差動増幅器を使用して第 2 の記憶キャパシタンスと前記液晶セルとの間の分離を与えるステップを含む、請求項 1 4 に記載の方法。

## 【請求項 1 6】

前記切り替えるステップが更に、前記第 1 の駆動セルと前記第 2 の駆動セルとの間を切り替えるための 1 対のトランジスタを使用して、前記第 1 の駆動セルと前記第 2 の駆動セルとの間を切り替えるステップを含む、請求項 1 5 に記載の方法。

## 【請求項 1 7】

フレームを倍増せずにフリッカを無くすステップを更に含む、請求項 1 5 に記載の方法。

## 【請求項 1 8】

液晶素子のアレイ全体を同時に更新するステップを更に含む、請求項 1 4 に記載の方法。

## 【請求項 1 9】

前のフレームから変化したメモリ・セルだけを更新するステップを更に含む、請求項 1 4 に記載の方法。

## 【請求項 2 0】

ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動するステップを更に含む、請求項 1 4 に記載の方法。

## 【請求項 2 1】

共通電極電圧をフレーム間で変調して、必要とされる液晶駆動電圧を低減するステップを更に含む、請求項 1 4 に記載の方法。

## 【発明の詳細な説明】

## 【0001】

(発明の分野)

本発明は、液晶表示装置 (LCD: Liquid Crystal Display) または液晶オン・シリコン (LCOS: Liquid Crystal On Silicon) を利用したビデオ・システムの分野に関し、より詳細には、このような表示装置用の切替式ドライバ回路 (switched driver circuit) に関する。

## 【0002】

(発明の背景)

液晶オン・シリコン (LCOS) は、シリコン・ウェーハ (silicon wafer) 上に形成された大きな 1 つの液晶と考えることができる。シリコン・ウェーハは、小さなプレート電極 (plate electrode) の増分 (incremental) アレイ (array: 配列) に分割される。液晶の小さな増分領域が、小さな各プレートおよび共通プレート (common plate) により発生される電界の影響を受ける。このような小さな各プレートおよび対応する液晶領域は、合わせてイメージャ (imager) のセル (cell) と呼ばれる。各セルは、個別に制御可能なピクセル (pix 50

e1)に対応する。液晶(LC:Liquid Crystal)の反対側には、共通プレート電極が配置される。駆動電圧が、液晶オン・シリコン(LCOS)アレイの各側のプレート電極に供給される。各セルまたはピクセルは、入力信号が変更されるまで同じ強度で輝き続け、従って、サンプル・アンド・ホールド(sample and hold)回路として働く。共通プレート電極と可変プレート電極の各セット(組)が、イメージを形成する。イメージは、各色につき1つ供給され、この場合、赤、緑、青にそれぞれ1つのイメージが供給される。

#### 【0003】

通常、液晶オン・シリコン(LCOS)表示装置のイメージは、30Hzのフリッカを防止するために、フレームを2倍に倍増させた信号で駆動する。これは、所定の入力ピクチャ(画像)に回答して、各セルに関連する電極の電圧が、共通電極の電圧に対して正(positive)である第1の正常フレーム(normal frame)(正ピクチャ(positive picture))を送り、次いで、各セルに関連する電極の電圧が共通電極の電圧に対して負(negative)である逆フレーム(inverted frame)(負ピクチャ(negative picture))を送ることにより行われる。正と負のピクチャを生成することにより、各ピクセルは、確実に、正の電界で描かれてから負の電界で描かれることになる。その結果得られる駆動電界のDC(直流)成分は、0(零)であり、これは画像の焼き付き、および究極的にはイメージの永久劣化を防止するのに必要である。人間の目は、これらの正と負のピクチャによって生成されるピクセルの輝度の平均値に回答することが測定されている。

10

20

#### 【0004】

液晶オン・シリコン(LCOS)の現在の技術では、 $V_{ITO}$ (またはVITO)として表されるコモンモード電極電圧(common mode electrode voltage)を、正確に液晶オン・シリコン(LCOS)についての正と負のフィールド駆動の間に入るように調節することが必要である。下付き文字のITOは、材料のインジウム錫酸化物(Indium Tin Oxide)を表す。フリッカ(flicker:ちらつき)を最小限に抑え、更に画像の焼き付き(image sticking)と呼ばれる現象を防止するには、平均バランス(average balance)が必要である。

30

#### 【0005】

現在の技術では、液晶オン・シリコン(LCOS)駆動セル(drive cell)は、従来のアクティブ・マトリクスLCDドライバと類似している。これは、文献で論じられている様々なアーティファクト(artifact)が原因で、余りうまく機能しない。主な原因は、液晶(LC)材料のイオン漏出およびバルク抵抗率による、寄生容量漏話(parasitic capacitance cross-talk)、液晶(LC)セル中の残留電圧、および液晶(LC)の電圧ドロップ(droop:電圧降下ひずみ)である。これは、主に次のことにより解決されてきた。即ち、1.セル・キャパシタンスを増加させること(物理的領域によって制限される)、2.より高い抵抗率の液晶(LC)材料に変更すること(フレキシビリティおよび応答時間を制限する)、3.フレーム走査レートを増加させて60Hzよりも高くすること(高価であり、より多くの帯域幅を要する)、4.デバイスの温度を積極的に制御して高い電圧保持率(VHR:Voltage Holding Ratio)を維持することである。

40

#### 【0006】

上述のすべての問題の主な原因は、利用可能な電荷が1フレームにつき1度だけしか液晶(LC)セルに転送されないということである。このことにより、非常に多数のピクセルを有する表示装置では、利用可能な電力が制限され、また、所望の電圧が実際にピクセル電極上で実現されたことを調べる如何なる閉ループ・チェック方法も存在しない。加えて、フリッカ、駆動電圧、および残像の問題は、デジタル駆動液晶オン・シリコン(LCOS)表示装置については様々な方法で対処されてきたが、そのような方法は、アナログ・システムにおける問題には、継続的な更新が必要なことに因り解決をもたらすことがで

50

きない。従って、記憶コンデンサと液晶セルとの間に適切な分離 ( i s o l a t i o n ) を与え、更にフレームを倍増することを必要とせずにフリッカを無くす表示ドライバ回路および方法が必要とされている。

**【 0 0 0 7 】**

( 発明の概要 )

本発明の第 1 の態様では、メモリと、複数の液晶セルのうちの一つの液晶セルとを有する表示ユニット用の表示ドライバは、前記液晶セルの第 1 のメモリ素子に結合された第 1 の駆動回路と、前記液晶セルの第 2 のメモリ素子に結合された第 2 の駆動回路と、前記第 1 と第 2 の駆動回路間で前記液晶セルを切り替えるための切替え機構 ( 回路、手段 ) とを備える。

10

**【 0 0 0 8 】**

本発明の第 2 の態様では、対応する液晶セル・アレイを有する表示ユニット用の、アレイ・ドライバのアレイのうちの一つの表示ドライバは、第 1 の記憶キャパシタンスと、前記第 1 の記憶キャパシタンスと前記液晶セルとの間に選択的に結合されて第 1 の駆動回路を形成する第 1 の増幅器と、第 2 の記憶キャパシタンスと、前記第 2 の記憶キャパシタンスと前記液晶セルとの間に選択的に結合されて第 2 の駆動回路を形成する第 2 の増幅器と、前記第 1 と第 2 の駆動回路を切り替えるための切替え機構 ( 回路、手段 ) とを備える。

**【 0 0 0 9 】**

本発明の第 3 の態様では、液晶表示装置 ( L C D ) / 液晶オン・シリコン ( L C O S ) 表示装置を駆動する方法は、複数の駆動セルのうち各駆動セル中で差動増幅器を使用して記憶キャパシタンスを液晶セルから分離するステップと、前記複数の駆動セル間を切り替えて液晶セルを駆動するステップとを含んでいる。

20

**【 0 0 1 0 】**

( 好ましい実施形態の詳細な説明 )

前述の問題を解決するため、図 1 に示すように、内部記憶キャパシタンス ( i n t e r n a l s t o r a g e c a p a c i t a n c e ) 14 と液晶 ( L C : L i q u i d C r y s t a l ) セル 20 との間に差動増幅器 ( d i f f e r e n t i a l a m p l i f i e r ) 16 などの増幅器を追加することを提案する。言い換えれば、駆動液晶 ( L C ) セルに駆動増幅器 ( d r i v e a m p l i f i e r ) を追加する。これにより、記憶コンデンサ ( s t o r a g e c a p a c i t o r ) と液晶 ( L C ) セルとの間に分離 ( i s o l a t i o n ) を加える。電流駆動機能を追加することで、ピクセル上の電圧が素早く所望の電圧になることが保証される。また、これによって、記憶コンデンサからの漏れ電流 ( l e a k a g e c u r r e n t ) をごく少なくし ( F E T が非常に高い入力インピーダンスを有するので)、液晶 ( L C ) 上の電圧を継続的にリフレッシュ ( r e f r e s h ) することができる。これは電圧の下降を引き起こす「ドループ ( d r o o p ) 」問題を無くし、更に、セルに蓄積される残留ボルト電位も無くす。これは、フリッカの問題と、セル中の DC ( 直流 ) バランスを達成できないことに関連する「画像の焼き付き」問題との両方を改善する。また、いくぶん高温の状況でもセルが良好に動作することを可能にする。

30

**【 0 0 1 1 】**

この技法の不利な点は、液晶セルを流れる DC 電流が増加することである。この点は、差動増幅器の底部の電流源をゲートすることにより部分的に解決することができる。これには、デバイス中で「ピクセル選択 ( p i x e l s e l e c t ) 」または「行選択 ( r o w s e l e c t ) 」ビットを使用することができる ( 図 1 参照 )。このようにして、電力消費を 1 / n r o w だけ低減しながら、電圧の定期的なリフレッシュを達成することができる。n r o w は、デバイス中の行の数である。加熱が均一なので、状況によってはこのゲーティング ( g a t i n g ) が必要とされない場合もある。

40

**【 0 0 1 2 】**

図 1 には、CMOS ( 相補型 MOS ) 中の典型的な実施形態を示す。各構成要素は、概略的に表すものであり、一般性を失わずに代替構成を用いることができる。重要なポイント

50

は、液晶(LC)セルに閉ループ補正電圧を加える増幅器16と、電力消費の低減を可能にするゲート電流源である。

#### 【0013】

通常、この回路は、3つのトランジスタを使用して実現することができ、これらのトランジスタは、液晶オン・シリコン(LCOS)表示デバイス中の液晶セルの下に配置することができる。図1の構成で、増幅器16は液晶(LC)セルをメモリ素子から分離している。図1には、液晶表示装置用の液晶セル・ドライバ10が示してある。この液晶セル・ドライバ10は、図1に示すように、相互に結合された複数のトランジスタ(12、15、17、18)と、記憶コンデンサ14などの記憶キャパシタンスと、複数の抵抗器19および21を備えていることが好ましい。トランジスタ15、17、18などの3つのトランジスタが増幅器16を形成することが好ましく、増幅器16は、バッファ増幅器または分離増幅器として働く差動増幅器の形式をとることが好ましい。差動増幅器16は、液晶セルへの出力として働くNチャネル・トランジスタで形成されることが好ましい。加えて、差動増幅器のトランジスタの各ソース電極は、トランジスタ18のようなゲート制御可能なNチャネル・トランジスタ等の電流源により駆動される。この電流ミラー構成は、所定のピクセル上で所定の電圧を保証する。差動増幅器16は、記憶コンデンサ14との間に結合され、記憶コンデンサ14と液晶セルまたはピクセルとの間の分離を与える。

10

#### 【0014】

図2の構成では、データを記憶素子からドライバに転送するための大域スイッチ素子(global switch element)32を追加している。このことは、同じ回路動作電圧に対してピクセル駆動能力を増大させることを可能にし、また、ピクセル駆動電圧およびITO透過性導電電極をフレーム間で反転できるようにすることによって、残像(image retention)およびフリッカを減少させる。図2を参照すると、図1の液晶セル・ドライバ10に類似する別の液晶セル・ドライバ30が示されている。セル・ドライバ10に関して先に挙げた要素に加えて、セル・ドライバ30は更に、記憶コンデンサ14と差動増幅器16との間に結合された、トランジスタの形式をとる大域スイッチ素子32も備える。大域スイッチ素子は、データをメモリ・セルから表示ドライバのドライバ・コンデンサ36に転送する。

20

#### 【0015】

フリッカの問題は、過去に多くの方法によって対処されてきた。また、駆動電圧および残像の問題は、デジタル駆動液晶オン・シリコン(LCOS)表示装置では対処されてきた。アナログ・システムの場合、駆動電圧および残像の問題は、継続的に更新する必要があるため同様に対処することができる。

30

#### 【0016】

本明細書に開示する技法の主な利点は、ドライバ・コンデンサ36を記憶コンデンサ14から分離することにある。図2に示すこの分離により、望むなら、液晶(LC)アレイ全体のセルすべてを一度に更新することができる。この利点には2つの側面がある。第1に、この分離により(液晶(LC)セルがフレーム間で変化したことを決定するための前処理を追加して)、液晶(LC)アレイ中で前のフレームから変化したセルだけを更新することもできる。言い換えれば、液晶(LC)セル上の表示内容を瞬時に変更することなく記憶コンデンサ14の内容を変更することができる。これにより、静的なピクチャ(画像)に必要なデータ・レートが大きく低減される。また、ライン間走査アーティファクトを表示することなく表示装置をインタレース・モード(interlaced mode)で駆動することも可能になる。通常、インタレースされるシステムでは、第1の走査(scan)で奇数ラインが描かれ、第2の走査(scan)で偶数ラインが描かれる。この走査方式は、「ライン間フリッカ(interline flicker)」と呼ばれるアーティファクトを生じる。これはフィルムなど、本来はインタレースされないデータの場合でも発生する。「ライン間フリッカ」の理由は、あるフレームからの偶数ラインが、前のフレームからの奇数ラインが表示されると同時に表示されるからである。フレームのどんな変化部分も、「ライン間フリッカ」を呈することになる。本発明によれば、液晶

40

50

(LC)セル・アレイに対応する記憶コンデンサ(14)アレイを有する表示装置を通常どおり(偶数ラインに続いて奇数ライン)更新するが、例外として、次いで記憶アレイが満たされた後で液晶(LC)アレイ全体を更新する。従って、異なるフレームからのラインが同時に表示されることはない。この技法の第2の利点は、共通電極電圧をフレーム間で変調できることである。この変調により、ドライバ回路の所定の動作電圧で液晶(LC)セルに加えることのできる実効電界(effective electric field)が増大する。プロセス・ジオメトリ(process geometry)が、精緻になるほど最大許容駆動電圧は低下するので、これは大きな利点である。前述の利点は、ピクセルすべてが一度に更新されるときにのみ生じる。ピクセルを同時に更新することは、記憶アレイ(記憶コンデンサ14のアレイ)が、ドライバ・アレイ(ドライバ・コンデンサ36のアレイ)から分離されている場合にのみ行うことができる。

10

#### 【0017】

この技法は、図1で述べた回路によって最も簡単に実現することができ、図2に示すように変更することもできる。図2の電圧 $V_{nn}$ は、トランジスタ15および17のための電流源を制御する静的な電圧である。行と列のアドレスは、アクティブ・マトリックス・ディスプレイに於ける通常のアドレッシングである。制御信号(転送(Transfer)および放電(Discharge))は、大域的に制御される別々の信号であり、これらの信号は記憶コンデンサ14上の電荷を駆動コンデンサ36に転送し、駆動コンデンサ36は液晶(LC)セルを駆動する。デバイス上の追加のトランジスタ32および34とコンデンサ36を加えることにより、この新しい回路を実現し、各転送後に記憶コンデンサ14から適切に電流が放電されるように動作させる。プロセス製造技術が0.1ミクロン以下に向かって進歩しているので、構成要素の追加はそれほど問題にはならない。

20

#### 【0018】

図1の構成では、前述のように分離増幅器(isolation amplifier)を追加して液晶(LC)セルをメモリ素子から分離した。図3の本発明の追加実施形態では、第2の記憶セル(好ましくは記憶コンデンサ14)と、第2の増幅器(好ましくはトランジスタ15、17、18を含む差動増幅器16)と、2つの駆動セル間を高速レートで切り替えるための1対のトランジスタ(72および74)とを有する、第2のセル・ドライバ部分を追加する。また、第2の駆動セルは、図1の実施形態と同様に構成されたトランジスタ12およびトランジスタ18と抵抗器19および抵抗器24

30

#### 【0019】

液晶オン・シリコン(LCOS)を駆動するための図3の実施形態の基本的な利点は、2つの別々の記憶素子および駆動回路を使用し、これらを切り替えて液晶(LC)セルを駆動することである。これは高速な切替え周波数を可能にし、それによりセルのフリッカ・レートは、人間の目で検出可能な周波数よりもずっと高い周波数になる。また、シリコン・バックプレーン(back plane)の所定の動作電圧でセル上の可能なRMS(Root Mean Square:平方自乗平均)電圧を増加させるのに役立つように、共通電極電圧(VITO)を切り替えることも可能になる。

40

#### 【0020】

上側のセル(トランジスタ72を使用する)は、「正」のフレーム中に液晶(LC)を駆動するための電圧を含み、下側のセル(トランジスタ74を使用する)は、「負」のフレーム中に液晶(LC)を駆動するための電圧を含んでいる。セル上の正味DC電圧およびその結果生じる残像および信頼性の問題を回避するために、正と負のフレーム中での電圧はVITOとバランスが取れていなければならない。 $V_{dd}$ および $V_{ss}$ は、CMOSデバイスについての高い方(upper)と低い方(lower)の動作電圧である。 $V_{nn}$ は、差動増幅器のトランジスタを通る電流を調整するために設定され、増幅器の電力損失を制御する。 $V_1$ および $V_2$ は、どの増幅器が液晶セルを駆動しているかを決定する大

50

域的な切替え電圧である。図6に、静的VITOの場合のタイミング図を示す。図7に、切替え式VITOの場合のタイミング図を示す。

【0021】

図6および図7を更に参照すると、これらのタイミング図は、図3における上側の記憶セル14中の「正」のピクチャ・データ(V+)と、下側の記憶セル14中の「負」のピクチャ・データ(V-)を反映している。図6の場合、VITOは切り替わらない。V1が、ハイ(高)に切り替わると(V2は、ロー(低))、トランジスタ72がオンになり、V+が液晶(LC)セルに加えられる。セル上の実効電圧は(V+ - VITO)である。次の切替え時、V1はロー(低)に切り替わり、V2はハイ(高)に切り替わる。トランジスタ74がオンになり、V-が液晶(LC)セルに加えられる。セル上の実効電圧は(VITO - V-)である。

10

【0022】

図7の場合、VITOは切り替わる。V1がハイ(高)に切り替わると(V2は、ロー(低))、トランジスタ72がオンになり、V+が液晶(LC)セルに加えられる。同時に、図7に示すようにVITOがロー(低)に切り替わる(VITO-)。この場合、液晶(LC)セル全体にわたる実効電圧は(V+ - VITO-)である。次の切替え時には、V1はロー(低)に設定されてトランジスタ72はオフになり、V2はハイ(高)に設定されてトランジスタ74はオンになる。これはV-を、セルに加える。同時に、図7に示すように、VITOは、ハイ(高)に切り替わる(VITO+)。この場合、液晶(LC)セルにわたる実効電圧は(VITO+ - V-)である。

20

【0023】

V+およびV-の最大値が、バックプレーン・プロセス(backplane process)の最大電圧で固定されている場合は、図6のような固定値のVITOは(V+ + V-)/2でなければならない。図7のようにVITOを切り替えることができる場合、VITO-は、V-とすることができ、VITO+は、V+とすることができ、従って、液晶(LC)セル上の最大実効電圧は、図6では(V+ - V-)/2だが、図7ではV+ - V-である。図7のタイミングは、アナログ・システム上で、大域スイッチV1およびV2によってすべてのセルが同時に更新される場合だけしか達成することができない。

【0024】

通常、V1とV2で切り替える間の時間は、1または2ミリ秒とすべきである。これは、液晶(LC)材料とバックプレーンの特性との所定の組み合わせ、およびデバイスの応答時間に対して決定する必要がある。

30

【0025】

この方式の不利な点は、多数のトランジスタを実装する必要があることである(おそらく12個になる)。これは、20ミクロン・ピクセルおよび0.35ミクロン・プロセスを用いれば容易に実現可能である。より精緻なプロセス・ジオメトリを用いることにより、より小さなピクセルに対する同様の拡大・縮小も可能である。

【0026】

次に図4を参照すると、前述の表示ドライバ10または30または70を利用することのできる表示ユニット50が示されている。表示ユニット50は、行(row)と列(column)のマトリクス(matrix)に構成された複数の表示素子と、メモリ素子と、液晶セルとを備えることが好ましい。ドライバは、複数の電圧のうちの1つを、行と列のマトリクスのうちの少なくとも1つにある表示素子に切替え可能に出力することが好ましく、表示ユニットは、従来型デコーダ51を備え、ドライバは、この従来型デコーダ51によって制御される。ドライバは、記憶コンデンサと、記憶コンデンサと液晶セルとの間に結合された差動増幅器とを備えることができ、それにより差動増幅器は、記憶コンデンサと液晶セルとの間の分離を与える。ドライバは、デコーダ51と、デコーダ51の出力信号により開閉するように制御される複数の半導体スイッチとを備えることができる。図4に示すように、表示ユニット50は、複数の行(走査)アドレス・ライン56を

40

50

有する行駆動回路60と、複数の列(データ)アドレス・ライン58を有する列駆動回路62とを備えることができる。

【0027】

図5を参照すると、本発明による表示装置駆動方法200を表すフロー・チャートが示されている。方法200は、複数の駆動セルのうちの各駆動セル中で差動増幅器を使用してメモリ素子(記憶コンデンサなど)と液晶セルとの間の分離を与えるステップ202を含むことが好ましい。この分離は、第1のセル中で、第1の差動増幅器を使用して第1の記憶コンデンサと液晶セルとの間に与えられ、第2のセル中で、第2の差動増幅器を使用して第2の記憶コンデンサと液晶セルとの間に与えられることが好ましい。方法200はまた、複数の駆動セル間を切り替えて液晶セルを駆動するステップ204を含むことが好ましく、1対のトランジスタが、第1と第2の駆動セル間を切り替える機能を実行することが好ましい。ステップ208で更に、フレームを倍増せずにフリッカを無くすステップを与えることができる。方法200は更に、液晶素子のアレイ全体を同時に更新するステップ216、および/または、前のフレームから変化したメモリ・セルだけを更新するステップ218を含むこともできる。方法200の追加の利点として、ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動するステップ220、および/または、共通電極電圧をフレーム間で変調して、必要とされる液晶駆動電圧を低減するステップ222を含むこともできる。

10

【0028】

本明細書に開示する実施形態に関連して本発明について述べたが、以上の記述は本発明を例示するものであり、特許請求の範囲で定める本発明の範囲を限定するものではないことを理解されたい。

20

【図面の簡単な説明】

【図1】

本発明による液晶セル・ドライバのブロック図である。

【図2】

本発明による別の液晶セル・ドライバのブロック図である。

【図3】

本発明による切替え式液晶セル・ドライバを利用する表示ユニットのブロック図である。

【図4】

本発明による液晶セル・ドライバを利用する表示ユニットのブロック図である。

30

【図5】

本発明による表示装置駆動方法を示すフロー・チャートである。

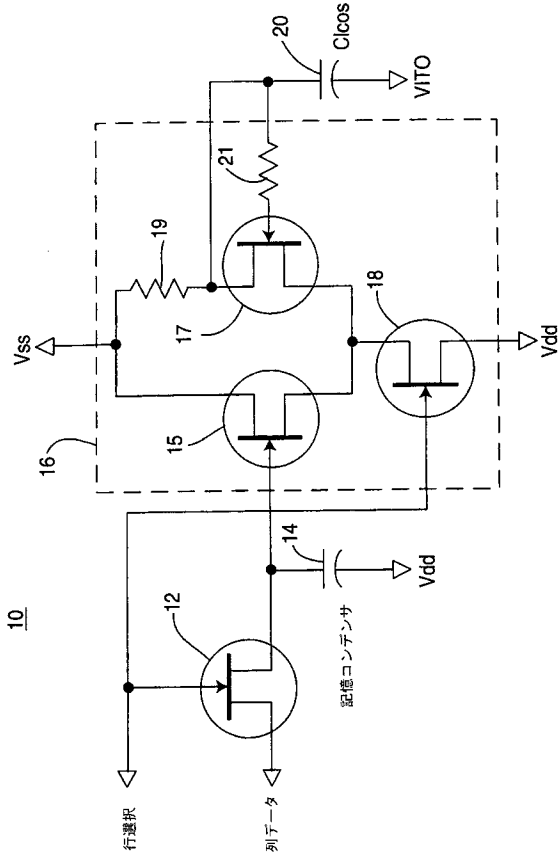
【図6】

本発明による静的VIT0の場合のタイミング図である。

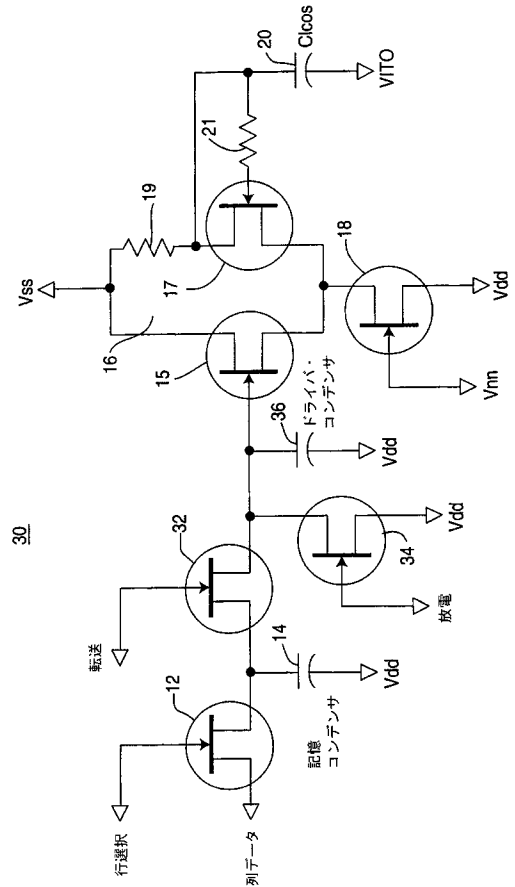
【図7】

本発明による切替え式VIT0の場合のタイミング図である。

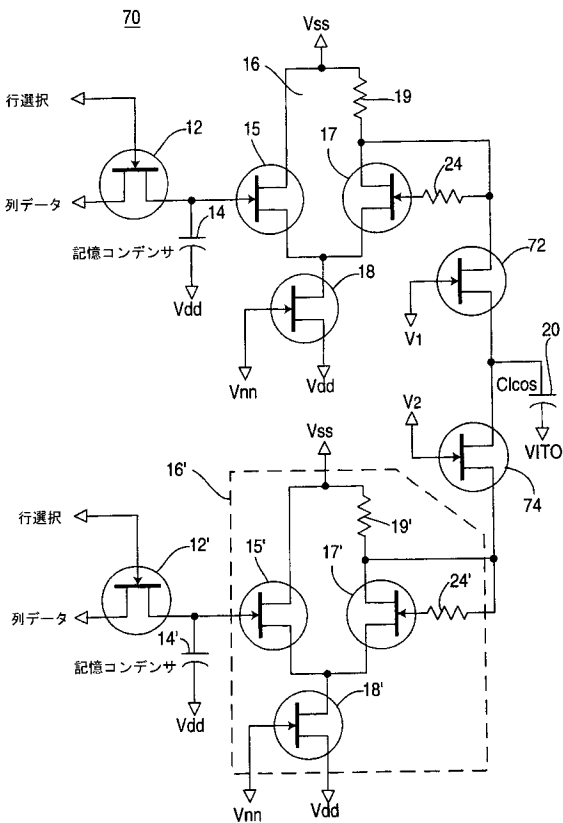
【図 1】



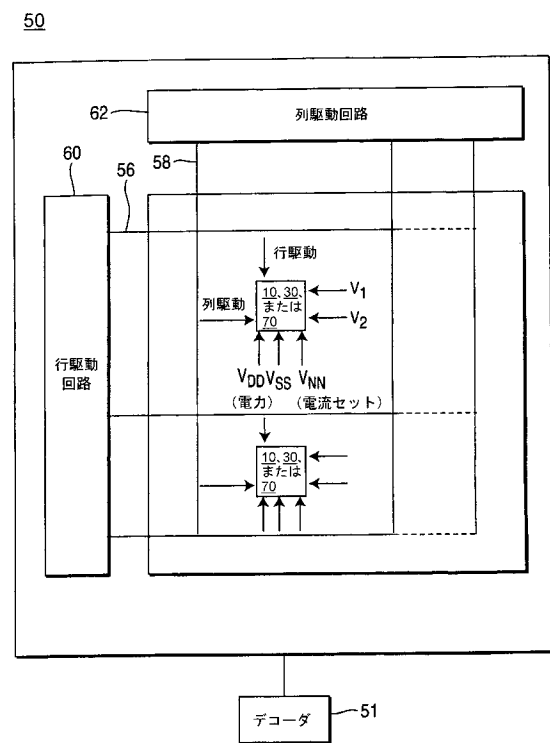
【図 2】



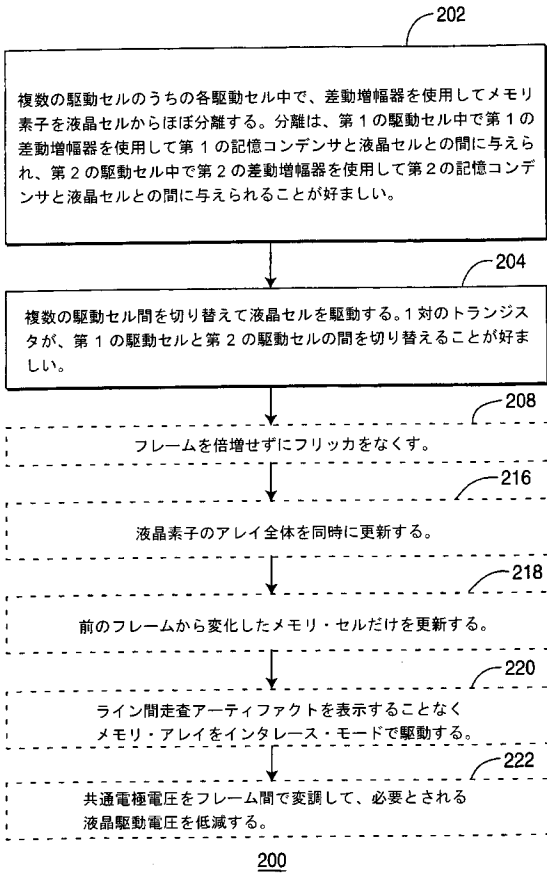
【図 3】



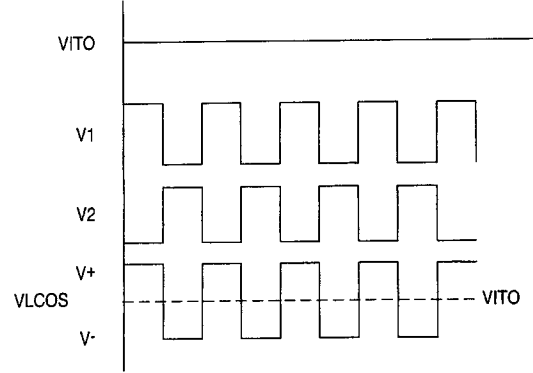
【図 4】



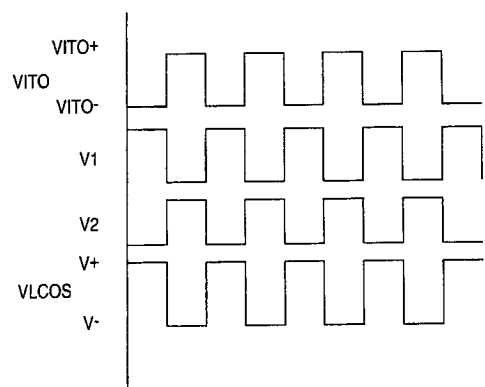
【 図 5 】



【 図 6 】



【 図 7 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
6 June 2002 (06.06.2002)

PCT

(10) International Publication Number  
WO 02/45067 A1

(51) International Patent Classification: G09G 3/36, 5/00

(21) International Application Number: PCT/US01/44896

(22) International Filing Date:  
29 November 2001 (29.11.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:  
60/250,259 30 November 2000 (30.11.2000) US

(71) Applicant (for all designated States except US): THOMSON LICENSING S.A. [FR/FR]; 46, quai Alphonse le Gallo, F-92648 Boulogne Cedex (FR).

(72) Inventor: and

(75) Inventor/Applicant (for US only): O'DONNELL, Eugene, Murphy [US/US]; 7594 Timber Springs Drive, Fishers, IN 46038 (US).

(74) Agents: TRIPOLI, Joseph, S, et al.; Thomson multimedia Licensing Inc., P.O. Box 5312, Princeton, NJ 08540 (US).

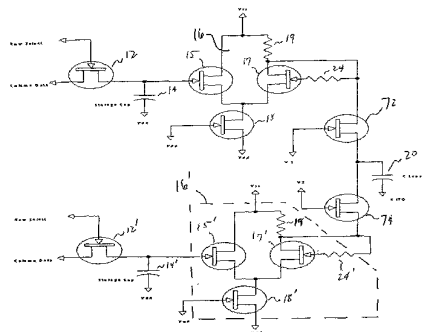
(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:  
— with international search report  
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

[Continued on next page]

(54) Title: SWITCHED AMPLIFIER DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAYS



(57) Abstract: A cell driver (70) for a display unit (50) having a memory element and a liquid crystal cell among a plurality of liquid crystal cells includes a first storage capacitor (14) and a first differential amplifier (16) selectively coupled between the first storage capacitor and the liquid crystal cell forming a first drive circuit. The cell driver also includes a second storage capacitor (14') and a second differential amplifier (16') coupled between the second storage capacitor and the liquid crystal cell forming a second drive circuit. A switching mechanism (72 and 74) is used for switching the liquid crystal cell between the first and second drive circuits.



WO 02/45067 A1

**WO 02/45067 A1**



---

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

WO 02/45067

PCT/US01/44896

**SWITCHED AMPLIFIER DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAYS**Background of the Invention5 Field of the Invention

This invention relates to the field of video systems utilizing a liquid crystal display (LCD) or liquid crystal on silicon (LCOS), and in particular, to a switched driver circuit for such displays.

10 Description of Related Art

Liquid crystal on silicon (LCOS) can be thought of as one large liquid crystal formed on a silicon wafer. The silicon wafer is divided into an incremental array of tiny plate electrodes. A tiny incremental region of the liquid crystal is influenced by the electric field generated by each tiny plate and the common plate. Each such tiny plate and corresponding liquid crystal region are together referred to as a cell of the imager. Each cell corresponds to an individually controllable pixel. A common plate electrode is disposed on the other side of the liquid crystal (LC). The drive voltages are supplied to plate electrodes on each side of the LCOS array. Each cell, or pixel, remains lighted with the same intensity until the input signal is changed, thus acting as a sample and hold. Each set of common and variable plate electrodes forms an imager. One imager is provided for each color, in this case, one imager each for red, green and blue.

It is typical to drive the imager of an LCOS display with a frame-doubled signal to avoid 30 Hz flicker, by sending first a normal frame in which the voltage at the electrodes associated with each cell is positive with respect to the voltage at the common electrode (positive picture) and then an inverted frame in which the voltage at the electrodes associated with each cell is negative with respect the voltage at the common electrode (negative picture) in response to a given input picture. The generation of positive and negative pictures ensures that each pixel will be written with a positive electric field followed by a negative

WO 02/45067

PCT/US01/44896

2

electric field. The resulting drive field has a zero DC component, which is necessary to avoid the image sticking, and ultimately, permanent degradation of the imager. It has been determined that the human eye responds to the average value of the brightness of the pixels produced by these positive and negative pictures.

The present state of the art in LCOS requires the adjustment of the common-mode electrode voltage, denoted VITO, to be precisely between the positive and negative field drive for the LCOS. The subscript ITO refers to the material indium tin oxide. The average balance is necessary in order to minimize flicker, as well as to prevent a phenomenon known as image sticking.

In the current art, the LCOS drive cell looks much like a conventional Active Matrix LCD driver. This does not work well, due to the various artifacts discussed in the literature. The main causes are parasitic capacitance cross-talk, residual voltage in the LC cell, and voltage droop of the LC, due to ionic leakage and bulk resistivity of the LC material. Mainly this has been solved by: 1. Increasing the cell capacitance (limited by physical area), 2. Changing to higher resistivity LC materials (limits flexibility and response time), 3. Increasing the frame scan rate to more than 60Hz (expensive, and costs more bandwidth). 4. Strongly controlling the temperature of the device, to maintain high voltage holding ratio (VHR).

The main cause for all of the above issues is that the available charge is only transferred to the LC cell once per frame. In a display with a million pixels, this limits the available power and doesn't allow for any closed-loop check that the desired voltage has actually been achieved on the pixel electrode. Additionally, the issues of flicker, drive voltage, and image retention have been addressed in various ways for digital drive LCOS displays, but such methods fail to provide a solution to the problem in analog systems due to the need for continuous updating. Thus, a need exists for a display driver that provides adequate isolation between a storage capacitor and a liquid crystal cell and further eliminates flicker without the need for frame doubling.

WO 02/45067

PCT/US01/44896

3

Brief Summary of the Invention

In a first aspect of the present invention, a display driver for a display unit having a memory and a liquid crystal cell among a plurality of liquid crystal displays comprises a first drive circuit coupled to a first memory element of the liquid crystal cell, a second drive circuit coupled to a second memory element of the liquid crystal cell, and a switching arrangement for switching the liquid crystal cell between the first and the second drive circuits.

In a second aspect of the present invention, a display driver among an array of array drivers for a display unit having a corresponding array of liquid crystal cells comprises a first storage capacitance and a first amplifier selectively coupled between the first storage capacitance and the liquid crystal cell forming a first drive circuit, a second storage capacitance and a second amplifier coupled between the second storage capacitance and the liquid crystal cell forming a second drive circuit, and a switching arrangement for switching the first and second drive circuits.

In a third aspect of the present invention, a method of driving a LCD/LCOS display comprises the steps of isolating a storage capacitance from a liquid crystal cell using a differential amplifier in each drive cell among a plurality of drive cells and switching among the plurality of drive cells to drive the liquid crystal cell.

Brief Description of the Drawings

FIG. 1 is a block diagram of a liquid crystal cell driver in accordance with the present invention.

FIG. 2 is a block diagram of another liquid crystal cell driver in accordance with the present invention.

FIG. 3 is a block diagram of a display unit utilizing a switching liquid crystal cell driver in accordance with the present invention.

WO 02/45067

PCT/US01/44896

4

FIG. 4 is a block diagram of a display unit utilizing a liquid crystal cell driver in accordance with the present invention.

FIG. 5 is a flow chart illustrating a method of driving a display in accordance with the present invention.

5 FIG. 6 is a timing diagram for static V<sub>ito</sub> in accordance with the present invention.

FIG. 7 is a timing diagram for a switched V<sub>ito</sub> in accordance with the present invention.

10 Detailed description of the Preferred Embodiments

In order to overcome the problems described above, it is proposed to add an amplifier such as a differential amplifier 16 between the internal storage capacitance (14), and the LC cell (20) as shown in FIG. 1. In other words, a drive amplifier is added to the driving LC cell. This adds isolation between the storage capacitor and the LC cell. The added current drive capability ensures that the voltage on the pixel will rapidly become that desired. It also allows for very low leakage current from the storage capacitor (FET has very high input impedance), and allows for a continuous refresh of the voltage on the LC, which eliminates the 'droop' problem, as well as the residual voltaic potential stored in the cell. This should improve both the flicker issue, as well as the 'image sticking' problem which is associated with the inability to achieve DC balance in the cell. It should also allow the cell to work well even at somewhat elevated temperatures.

The disadvantage of this technique is that it increases the DC current through the liquid crystal cell. This disadvantage can be overcome in part by gating the current source in the bottom of the differential amplifier. This can use the 'pixel select' or 'row select' bit in the device (see FIG. 1). In this way, a periodic refresh of the voltage can be achieved, while reducing the power consumption by  $1/n_{row}$ , where  $n_{row}$  is the number of rows in the device. Since heating is uniform, this gating in some situations may not be needed.

WO 02/45067

PCT/US01/44896

5

A typical implementation in CMOS is shown in FIG 1. The components are schematic representations, and alternate configurations can be used without loss of generality. The key points are the amplifier 16, which applies a closed loop correction voltage to the LC cell, and the gated current source which allows  
5 reduction of power consumption.

Typically this circuit could be implemented with 3 transistors, which can be placed under the liquid crystal cell in an LCOS display device. In the arrangement of FIG. 1, the amplifier 16 decouples the LC cell from the memory element. FIG. 1 illustrates a liquid crystal cell driver 10 for a liquid crystal  
10 display. The liquid crystal cell driver preferably comprises a plurality of transistors (12, 15, 17, and 18) coupled to each other as shown in FIG. 1, a storage capacitance such as a storage capacitor 14, and a plurality of resistors 19 and 21. Preferably, three (3) transistors, such as transistors 15, 17 and 18 form the amplifier 16, preferably in the form of a differential amplifier which  
15 serves as the buffer or isolation amplifier. The differential amplifier 16 is preferably comprised of N-Channel transistors serving as an output to the liquid crystal cell. Additionally, the respective source electrodes of the transistors of the differential amplifier are driven by a current source such as an N-Channel transistor such as transistor 18 that may be gated. This current mirror  
20 arrangement ensures a predetermined voltage on a given pixel. The differential amplifier 16 is coupled between the storage capacitor 14 and provides isolation between the storage capacitor 14 and a liquid crystal cell or pixel.

The arrangement of FIG. 2 adds a global switch element (32) to transfer data from the storage element to the driver. This allows for increased pixel drive  
25 for the same circuit operating voltages, and reduces image retention and flicker by allowing for inversion of the pixel drive voltage and the ITO transparent conductive electrode from frame to frame. Referring to FIG. 2, another liquid crystal cell driver 30 is shown similar to the liquid crystal cell driver 10 of FIG. 1. In addition to the elements previously recited with respect to cell driver 10, cell  
30 driver 30 further comprises a global switch element 32 in the form of a transistor coupled between the storage capacitor 14 and the differential amplifier 16. The

WO 02/45067

PCT/US01/44896

6

global switch element transfers data from the memory cell to a driver capacitor 36 of the display driver.

The problem of flicker has been addressed by many mechanisms in the past. The issue of drive voltage and image retention has been addressed in digital drive LCOS displays. For analog systems, drive voltage and image retention issues can be addressed similarly, due to the need for continuous updating.

The main benefit of the technique disclosed herein is to separate the driver capacitor 36 from the storage capacitor 14. This separation as shown in FIG. 2 allows for updating all the cells of entire LC array at one time if desired. The benefit of this is two-fold. First, this separation (with further pre-processing to determine which LC cells have changed from frame to frame) also allows for updating of only the cells in the LC array that have changed from a prior frame. In other words, the contents of the storage capacitor 14 can be changed without instantaneously changing the display content on the LC cells. This greatly reduces the data rate needed for static pictures. It also allows for the possibility of driving the display in an interlaced mode without displaying interline scanning artifacts. In a system which is interlaced, normally odd lines are written on a first scan, and even lines are written on a second scan. This scanning scheme produces the artifact known as 'interline flicker'. This even happens for data which is not intrinsically interlaced, such as film. The reason for "interline flicker" is that the even lines from one frame are displayed at the same time that the odd lines from the previous frame are displayed. Any portion of the frame which changed will show an interline flicker. With the present invention, a display having an array of storage capacitors (14) corresponding to an array of LC cells would be updated just as normal (even lines followed by odd lines), except that the entire LC array would then be updated once the storage array has been filled. Thus, lines from different frames are never displayed simultaneously. The second benefit of this technique is that it allows the common electrode voltage to be modulated from frame to frame. This modulation increases the effective electric field which can be applied to the LC cell for a given operating voltage of the

WO 02/45067

PCT/US01/44896

7

driver circuit. This is a significant advantage, as finer process geometry will reduce the maximum allowed driving voltage. The benefits described above only occur when the pixels are all updated at once. The simultaneous updating of the pixels can only be done if the storage array (array of storage capacitors (14)) is separated from the driver array (array of driver capacitors (36)).

The technique can most simply be implemented with the circuit described in FIG. 1, with a modification as shown in FIG. 2. The voltage  $V_{nn}$  of FIG. 2 is a static voltage which controls the current source for the transistors 15 and 17. The Row and Column address are normal addressing for an active matrix display. The control signals (Transfer and Discharge) are separate globally controlled signals which transfer the charge on the storage capacitor 14 to the drive capacitor 36, which drives the LC cell. The additional transistors 32 and 34 and capacitor 36 on the device are added to implement the new circuit and operationally allows for the adequate discharge of current from the storage capacitor 14 after each transfer. The additional components should not be significant as process fabrication technology moves forward towards 0.1 microns and below.

In the arrangement of FIG. 1, an isolation amplifier was added to decouple the LC cell from the memory element, as explained before. The additional embodiment of the invention of FIG. 3, adds a second cell driver portion having a second storage cell (preferably storage capacitor 14') and amplifier (preferably differential amplifier 16' including transistors 15' and 17' and 18') and a pair of transistors (72 and 74) to switch between the two drive cells at a high rate of speed. The second drive cell also preferably comprises transistors 12' and 18' and resistors 19' and 24' arranged similarly to the embodiment of FIG. 1.) This eliminates flicker without the need for frame doubling. It can also be used to increase the drive voltage available on the cell.

The basic advantage of the embodiment of FIG. 3 for driving LCOS is that it uses two separate storage elements and drive circuits that are switched to drive the LC cell. This allows a fast switching frequency, which makes the flicker rate of the cell much above frequencies detectable by the human eye. It

WO 02/45067

PCT/US01/44896

8

also allows for the possibility of switching the common electrode voltage (Vito) to help to increase the possible RMS voltage on the cell for a given operating voltage of the silicon back plane.

The upper cell (using transistor 72) contains the voltage to drive the LC during the 'positive' frame, the lower cell (using transistor 74) contains the voltage to drive the LC in the 'negative' frame. The voltage during the positive and negative frames must be balanced with Vito in order to avoid a net DC voltage on the cell, and resultant imager retention and reliability issues. VDD and VSS are the upper and lower operating voltages for the CMOS devices. VNN is set to regulate the current through the transistors of the differential amplifiers, and controls the power dissipation of the amplifier. V1 and V2 are global switching voltages which determine which amplifier is driving the Liquid Crystal cell. A timing diagram for a static Vito is shown in FIG. 6. A timing diagram for switched Vito is shown in FIG. 7.

Further referring to FIGs. 6 and 7, these timing diagrams reflect the 'positive' picture data (V+) in the upper storage cell (14) in FIG. 3, and the 'negative' picture data (V-) in the lower storage cell (14'). In the case of FIG. 6, Vito is not switched. When V1 is switched high (and V2 being low), the transistor 72 is turned on, and V+ is applied to the LC cell. The effective voltage on the cell is (V+ - Vito). At the next switching time, V1 is switched low, and V2 is switched high. The transistor 74 is turned on, and V- is applied to the LC cell. The effective voltage on the cell is (Vito - V-).

In the case of FIG. 7, Vito is switched. When V1 is switched high (and V2 being low), the transistor 72 is turned on, and V+ is applied to the LC cell. Simultaneously, Vito is switched to low (Vito-), as shown in FIG. 7. The effective voltage across the LC cell is then (V+ - Vito-). At the next switching time, V1 is set to low to turn off transistor 72, and switch V2 high to turn on transistor 74. This applies V- to the cell. Simultaneously, Vito is switched to high (Vito+), as shown in FIG. 7. The effective voltage across the LC cell is then (Vito+ - V-).

WO 02/45067

PCT/US01/44896

9

If the maximum value of  $V+$  and  $V-$  is fixed by the maximum voltage of the backplane process, then a fixed value of  $V_{ito}$  as in FIG. 6 must be  $(V+ + V-)/2$ . If  $V_{ito}$  can be switched, as in FIG. 7,  $V_{ito-}$  can be  $V-$ , and  $V_{ito+}$  can be  $V+$ . Thus, the maximum effective voltage on the LC cell is  $(V+ - V-)/2$  for FIG. 6, but  $V+ - V-$  for FIG. 7. The timing of FIG. 7 can ONLY be achieved on an analog system if all of the cells are updated simultaneously by the global switches  $V1$  and  $V2$ .

Typically the time between  $V1$  and  $V2$  switching should be 1 or 2 msec. This will need to be determined for a given set of LC materials and the characteristics of the back plane, and response time of the devices.

The obvious detriment of this scheme is that it requires a large number of transistors to implement (perhaps as many as 12). This should be easily possible with a 20 micron pixel and a .35 micron process. Similar scaling on smaller pixels is possible with finer process geometry.

Now referring to FIG. 4, a display unit 50 is shown that can utilize the display drivers 20 or 30 or 70 as previously described above. The display unit 50 preferably includes a plurality of display elements arranged in a matrix of rows and columns and a memory element and a liquid crystal cell. The driver preferably switchably outputs one of a plurality of voltages to the display elements on at least one of the matrix of rows and columns, the display unit including a conventional decoder 51 and the driver controlled by the conventional decoder 51. The driver can include a storage capacitor and a differential amplifier coupled between the storage capacitor and the liquid crystal cell, whereby the differential amplifier provides isolation between the storage capacitor and the liquid crystal cell. The driver can include a decoder and a plurality of semiconductor switched controlled to be opened or closed by an output signal of the decoder 51. As shown in FIG. 4, the display unit 50 can include a row drive circuit having a plurality of row (scanning) address lines 56 and a column drive circuit 62 having a plurality of column (data) address lines 58.

Referring to FIG. 5, a flow chart is shown illustrating a method 200 of driving a display in accordance with the present invention. The method 200

WO 02/45067

PCT/US01/44896

10

preferably comprises the step 202 of providing isolation between memory elements (such as a storage capacitor) and a liquid crystal cell using a differential amplifier in each drive cell among a plurality of drive cells. Preferably, the isolation is provided between a first storage capacitor and the liquid crystal cell using a first differential amplifier in a first cell and between a second storage capacitor and the liquid crystal cell using a second differential amplifier in a second cell. The method 200 also preferably comprises the step 204 of switching among the plurality of drive cells to drive the liquid crystal cell, where preferably a pair of transistors performs the function of switching between the first and second drive cells. Step 208 can further provide the step of eliminating flicker without frame doubling. The method 200 may further comprise the step 216 of updating an entire array of liquid crystal elements simultaneously and/or the step 218 of updating only a memory cell that has changed from a previous frame. Additional benefits of the method 200 may include the step 220 of driving a memory array in an interlaced mode without displaying interline scanning artifacts and/or the step 222 of modulating a common electrode voltage from frame to frame to reduce a required liquid crystal drive voltage.

Although the present invention has been described in conjunction with the embodiments disclosed herein, it should be understood that the foregoing description is intended to illustrate and not limit the scope of the invention as defined by the claims.

WO 02/45067

PCT/US01/44896

11

Claims

1. A display unit having an array of liquid crystal cells, comprising:  
an array of display drivers, a given display driver being associated  
with a given liquid crystal cell and including:
- 5 a first storage capacitance and a first amplifier selectively coupled  
between the first storage capacitance and the given liquid crystal cell forming a  
first drive circuit;
- a second storage capacitance and a second amplifier coupled  
between the second storage capacitance and the given liquid crystal cell forming
- 10 a second drive circuit; and
- a switching arrangement for switching the first and second drive  
circuits.
2. The display driver of claim 1, wherein the first amplifier and the second  
15 amplifier are both differential amplifiers.
3. The display driver of claim 2, wherein the differential amplifier comprises a  
pair of N-Channel transistors having respective drain electrodes coupled and  
serving as an output to the liquid crystal cell.
- 20 4. The display driver of claim 1, wherein the each of said first and second drive  
circuits further comprises a global switch element coupled between the  
respective storage capacitance and the amplifier, wherein the global switch  
element transfers data from the storage capacitance to one of the first and
- 25 second drive circuits.
5. The display driver of claim 1, wherein the switching mechanism comprises a  
first transistor driven by a first global switching voltage and a second transistor  
driven by a second global switching voltage.
- 30

WO 02/45067

PCT/US01/44896

12

6. A display driver for a given liquid crystal cell of an array of liquid crystal cells, comprising:
- a first drive circuit coupled to a first memory element of the given liquid crystal cell;
  - 5 at least a second drive circuit coupled to a second memory element of the given liquid crystal cell; and
  - a switching arrangement for switching the liquid crystal cell between the first and at least the second drive circuits.
7. The display driver of claim 6, wherein each of the first and the second drive circuits comprise differential amplifiers comprising a pair of N-Channel transistors having respective source electrodes coupled to a current source and serving as an isolation amplifier to the liquid crystal cell.
8. The display driver of claim 6, wherein each of the first and the second drive circuits comprise differential amplifier comprising a pair of N-Channel transistors having respective sources coupled to a current source.
9. The display driver of claim 6, wherein the switching mechanism comprises a first transistor driven by a first global switching voltage and a second transistor driven by a second global switching voltage.
10. The display driver of claim 6, wherein the display driver further comprises a global switching element which is coupled between a storage capacitor and a differential amplifier and used for reducing image retention and flicker.
11. The display driver of claim 6, wherein the display driver updates an entire array of liquid crystal arrays elements simultaneously.
12. The display driver of claim 6, wherein the display driver updates only a memory cell that has changed from a previous frame.

WO 02/45067

PCT/US01/44896

13

13. The display driver of claim 6, wherein the display driver drives a memory array in an interlaced mode without displaying interline scanning artifacts.

5 14. A method of driving a LCD/LCOS display, comprising the steps of:  
providing isolation between a storage capacitance and a liquid  
crystal cell using a differential amplifier in each drive cell among a plurality of  
drive cells;  
switching among the plurality of drive cells to drive the liquid crystal  
10 cell.

15. The method of claim 14, wherein the step of providing further comprises  
the step of providing in a first drive cell isolation between a first storage  
capacitance and the liquid crystal cell using a first differential amplifier and  
15 providing in a second drive cell isolation between a second storage capacitance  
and the liquid crystal cell using a second differential amplifier.

16. The method of claim 15, wherein the step of switching further comprises  
the step of switching between the first drive cell and the second drive cell using  
20 a pair of transistors to switch between the first drive cell and the second drive  
cell.

17. The method of claim 15, wherein the method further comprises the step of  
eliminating flicker without frame doubling.  
25

18. The method of claim 14, wherein the method further comprises the step of  
updating an entire array of liquid crystal elements simultaneously.

19. The method of claim 14, wherein the method further comprises the step of  
30 updating only a memory cell that has changed from a previous frame.

WO 02/45067

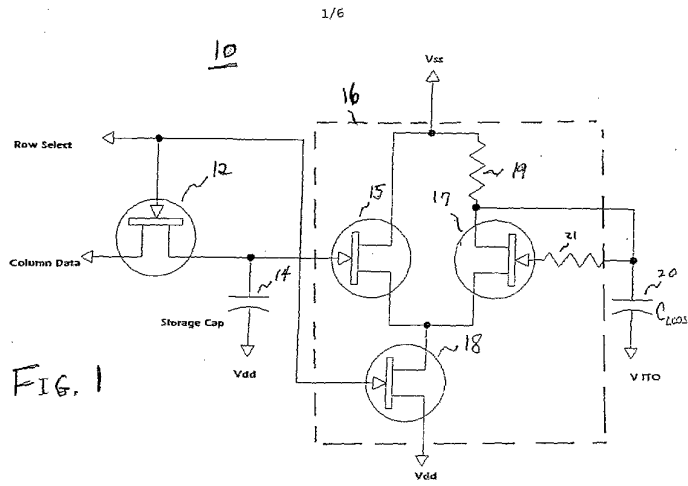
PCT/US01/44896

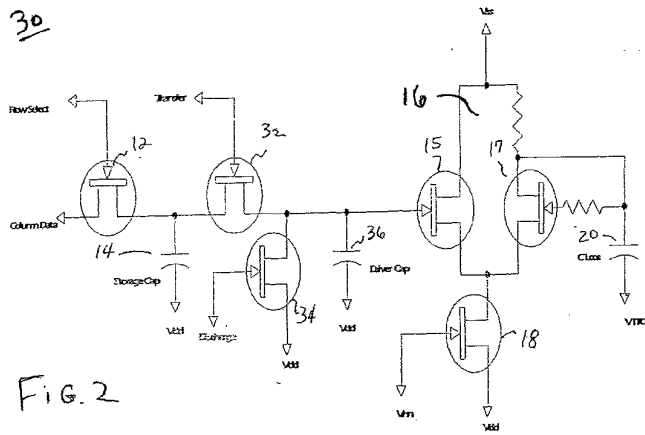
14

20. The method of claim 14, wherein the method further comprises the step of driving a memory array in an interlaced mode without displaying interline scanning artifacts.
- 5 21. The method of claim 14, wherein the method further comprises the step of modulating a common electrode voltage from frame to frame to reduce a required liquid crystal drive voltage.

WO 02/45067

PCT/US01/44896





70 FIG. 3

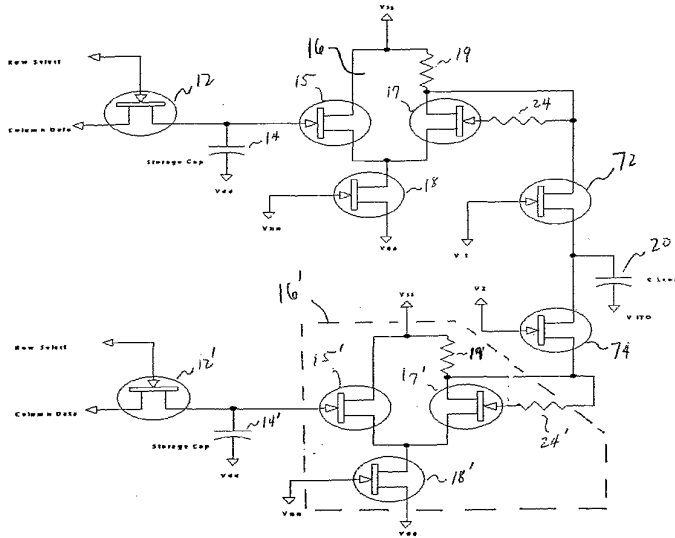


FIG. 4

4/6

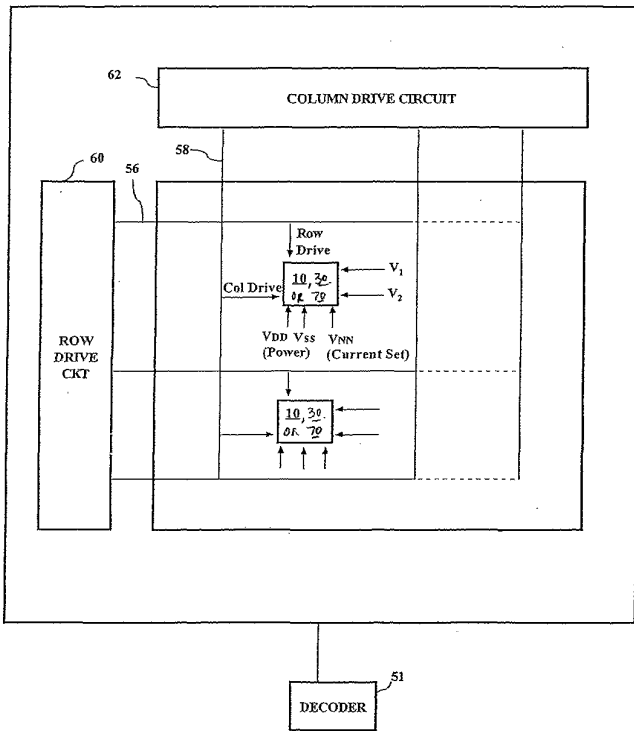
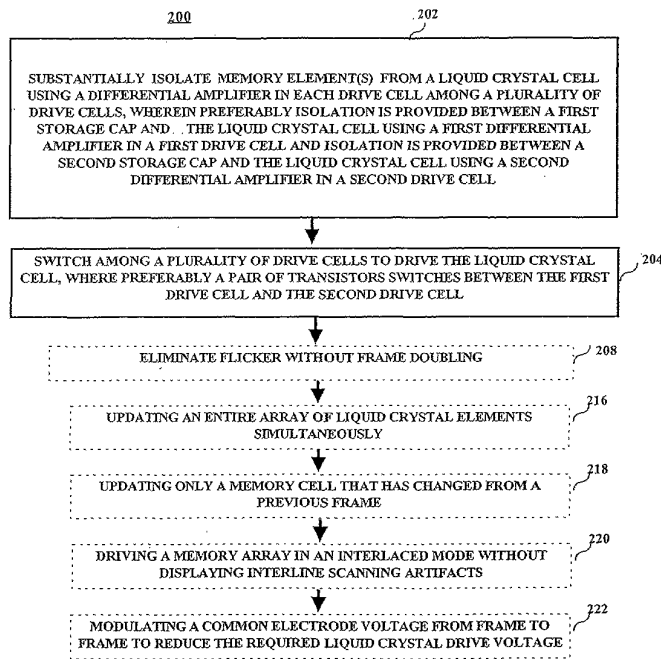


FIG. 5

5/6



6/6

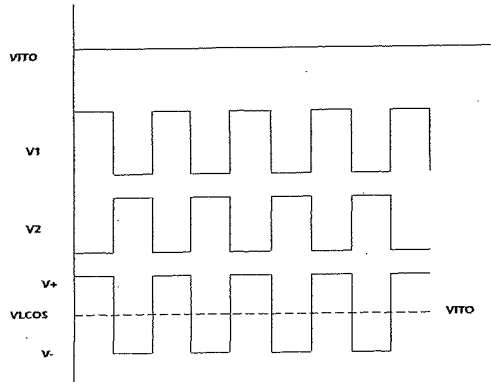


FIG. 6

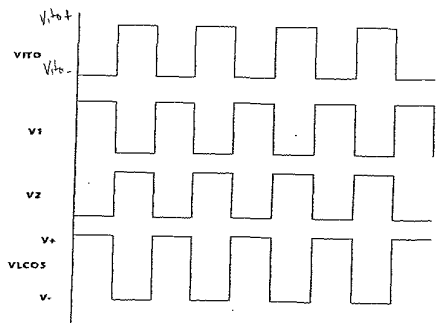


FIG. 7

【 国際公開パンフレット ( コレクティブバージョン ) 】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
6 June 2002 (06.06.2002)

PCT

(10) International Publication Number  
WO 02/045067 A1

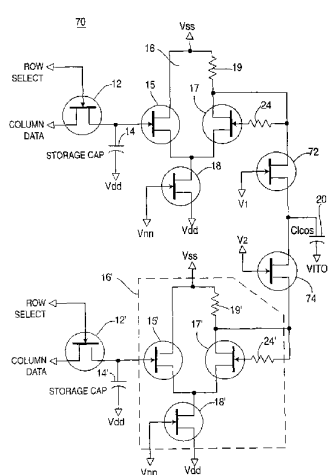
- (51) International Patent Classification: G09G 3/36, 5/00
- (21) International Application Number: PCT/US01/44896
- (22) International Filing Date: 29 November 2001 (29.11.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 60/250,259 30 November 2000 (30.11.2000) US
- (71) Applicant (for all designated States except US): THOMSON LICENSING S.A. [FR/FR]; 46, quai Alphonse le Gallo, F-92648 Boulogne Cedex (FR).
- (72) Inventor; and (75) Inventor/Applicant (for US only): O'DONNELL, Eugene, Murphy [US/US]; 7594 Timber Springs Drive, Fishers, IN 46038 (US).
- (74) Agents: TRIPOLI, Joseph, S. et al.; Thomson multimedia Licensing Inc., P.O. Box 5312, Princeton, NJ 08540 (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GH, GM, GR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, OM, PA, PE, PG, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW).

[Continued on next page]

(54) Title: SWITCHED AMPLIFIER DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAYS



WO 02/045067 A1



(57) Abstract: A cell driver (70) for a display unit (50) having a memory element and a liquid crystal cell among a plurality of liquid crystal cells includes a first storage capacitor (14) and a first differential amplifier (16) selectively coupled between the first storage capacitor and the liquid crystal cell forming a first drive circuit. The cell driver also includes a second storage capacitor (14') and a second differential amplifier (16') coupled between the second storage capacitor and the liquid crystal cell forming a second drive circuit. A switching mechanism (72 and 74) is used for switching the liquid crystal cell between the first and second drive circuits.

---

**WO 02/045067 A1** 

Urnsian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),  
European patent (AT, BE, CH, CY, DE, DK, ES, FR, GB, GR, IT, LU, MC, NL, PT, SE, TR), OAPI patent  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

*with amended claims*

**Date of publication of the amended claims:** 20 March 2003

**Published:**  
*with international search report*

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

CORRECTED VERSION

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
6 June 2002 (06.06.2002)

PCT

(10) International Publication Number  
WO 02/045067 A1

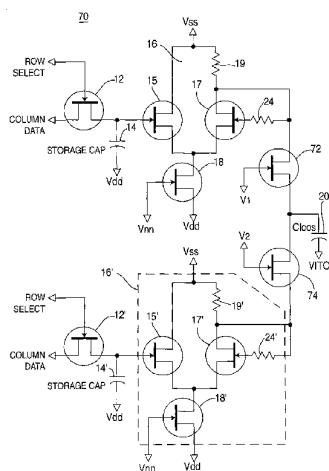
- (51) International Patent Classification: G09G 3/36, 5/00
- (21) International Application Number: PCT/US01/44896
- (22) International Filing Date: 29 November 2001 (29.11.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 60/250,259 30 November 2000 (30.11.2000) US
- (71) Applicant (for all designated States except US): THOMSON LICENSING S.A. [FR/FR]; 46, quai Alphonse le Gallo, F-92648 Boulogne Cedex (FR).
- (72) Inventor; and (75) Inventor/Applicant (for US only): O'DONNELL, Eugene, Murphy [US/US]; 7594 Timber Springs Drive, Fishers, IN 46038 (US).
- (74) Agents: TRIPOLI, Joseph, S. et al.; Thomson multimedia Licensing Inc., P.O. Box 5312, Princeton, NJ 08540 (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EG, ES, FI, GB, GD, GI, GM, GR, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

[Continued on next page]

(54) Title: SWITCHED AMPLIFIER DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAYS



WO 02/045067 A1



(57) Abstract: A cell driver (70) for a display unit (50) having a memory element and a liquid crystal cell among a plurality of liquid crystal cells includes a first storage capacitor (14) and a first differential amplifier (16) selectively coupled between the first storage capacitor and the liquid crystal cell forming a first drive circuit. The cell driver also includes a second storage capacitor (14') and a second differential amplifier (16') coupled between the second storage capacitor and the liquid crystal cell forming a second drive circuit. A switching mechanism (72 and 74) is used for switching the liquid crystal cell between the first and second drive circuits.

---

**WO 02/045067 A1** 

**(84) Designated States (regional):** ARIPO patent (GH, GM, KI, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BI, BJ, CI, CG, CL, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).

**Date of publication of the amended claims:** 20 March 2003

**(48) Date of publication of this corrected version:** 30 May 2003

**(15) Information about Correction:**  
see PCT Gazette No. 22/2003 of 30 May 2003, Section II

**Published:**  
— with international search report  
— with amended claims

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

WO 02/045067

PCT/US01/44896

1

**SWITCHED AMPLIFIER DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAYS**Background of the Invention5 Field of the Invention

This invention relates to the field of video systems utilizing a liquid crystal display (LCD) or liquid crystal on silicon (LCOS), and in particular, to a switched driver circuit for such displays.

10 Description of Related Art

Liquid crystal on silicon (LCOS) can be thought of as one large liquid crystal formed on a silicon wafer. The silicon wafer is divided into an incremental array of tiny plate electrodes. A tiny incremental region of the liquid crystal is influenced by the electric field generated by each tiny plate and the common plate. Each such tiny plate and corresponding liquid crystal region are together referred to as a cell of the imager. Each cell corresponds to an individually controllable pixel. A common plate electrode is disposed on the other side of the liquid crystal (LC). The drive voltages are supplied to plate electrodes on each side of the LCOS array. Each cell, or pixel, remains lighted with the same intensity until the input signal is changed, thus acting as a sample and hold. Each set of common and variable plate electrodes forms an imager. One imager is provided for each color, in this case, one imager each for red, green and blue.

It is typical to drive the imager of an LCOS display with a frame-doubled signal to avoid 30 Hz flicker, by sending first a normal frame in which the voltage at the electrodes associated with each cell is positive with respect to the voltage at the common electrode (positive picture) and then an inverted frame in which the voltage at the electrodes associated with each cell is negative with respect the voltage at the common electrode (negative picture) in response to a given input picture. The generation of positive and negative pictures ensures that each pixel will be written with a positive electric field followed by a negative

WO 02/045067

PCT/US01/44896

2

electric field. The resulting drive field has a zero DC component, which is necessary to avoid the image sticking, and ultimately, permanent degradation of the imager. It has been determined that the human eye responds to the average value of the brightness of the pixels produced by these positive and negative pictures.

5 The present state of the art in LCOS requires the adjustment of the common-mode electrode voltage, denoted V<sub>ITO</sub>, to be precisely between the positive and negative field drive for the LCOS. The subscript ITO refers to the material indium tin oxide. The average balance is necessary in order to minimize flicker, as well as to prevent a phenomenon known as image sticking.

10 In the current art, the LCOS drive cell looks much like a conventional Active Matrix LCD driver. This does not work well, due to the various artifacts discussed in the literature. The main causes are parasitic capacitance cross-talk, residual voltage in the LC cell, and voltage droop of the LC, due to ionic leakage and bulk resistivity of the LC material. Mainly this has been solved by: 1. Increasing the cell capacitance (limited by physical area), 2. Changing to higher resistivity LC materials (limits flexibility and response time), 3. Increasing the frame scan rate to more than 60Hz (expensive, and costs more bandwidth). 4. Strongly controlling the temperature of the device, to maintain high voltage holding ratio (VHR).

20 The main cause for all of the above issues is that the available charge is only transferred to the LC cell once per frame. In a display with a million pixels, this limits the available power and doesn't allow for any closed-loop check that the desired voltage has actually been achieved on the pixel electrode.

25 Additionally, the issues of flicker, drive voltage, and image retention have been addressed in various ways for digital drive LCOS displays, but such methods fail to provide a solution to the problem in analog systems due to the need for continuous updating. Thus, a need exists for a display driver that provides adequate isolation between a storage capacitor and a liquid crystal cell and

30 further eliminates flicker without the need for frame doubling.

WO 02/045067

PCT/US01/44896

3

Brief Summary of the Invention

In a first aspect of the present invention, a display driver for a display unit having a memory and a liquid crystal cell among a plurality of liquid crystal displays comprises a first drive circuit coupled to a first memory element of the liquid crystal cell, a second drive circuit coupled to a second memory element of the liquid crystal cell, and a switching arrangement for switching the liquid crystal cell between the first and the second drive circuits.

In a second aspect of the present invention, a display driver among an array of array drivers for a display unit having a corresponding array of liquid crystal cells comprises a first storage capacitance and a first amplifier selectively coupled between the first storage capacitance and the liquid crystal cell forming a first drive circuit, a second storage capacitance and a second amplifier coupled between the second storage capacitance and the liquid crystal cell forming a second drive circuit, and a switching arrangement for switching the first and second drive circuits.

In a third aspect of the present invention, a method of driving a LCD/LCOS display comprises the steps of isolating a storage capacitance from a liquid crystal cell using a differential amplifier in each drive cell among a plurality of drive cells and switching among the plurality of drive cells to drive the liquid crystal cell.

Brief Description of the Drawings

FIG. 1 is a block diagram of a liquid crystal cell driver in accordance with the present invention.

FIG. 2 is a block diagram of another liquid crystal cell driver in accordance with the present invention.

FIG. 3 is a block diagram of a display unit utilizing a switching liquid crystal cell driver in accordance with the present invention.

WO 02/045067

PCT/US01/44896

4

FIG. 4 is a block diagram of a display unit utilizing a liquid crystal cell driver in accordance with the present invention.

FIG. 5 is a flow chart illustrating a method of driving a display in accordance with the present invention.

5 FIG. 6 is a timing diagram for static Vito in accordance with the present invention.

FIG. 7 is a timing diagram for a switched Vito in accordance with the present invention.

10 Detailed description of the Preferred Embodiments

In order to overcome the problems described above, it is proposed to add an amplifier such as a differential amplifier 16 between the internal storage capacitance (14), and the LC cell (20) as shown in FIG. 1. In other words, a drive amplifier is added to the driving LC cell. This adds isolation between the  
15 storage capacitor and the LC cell. The added current drive capability ensures that the voltage on the pixel will rapidly become that desired. It also allows for very low leakage current from the storage capacitor (FET has very high input impedance), and allows for a continuous refresh of the voltage on the LC, which eliminates the 'droop' problem, as well as the residual voltaic potential stored in  
20 the cell. This should improve both the flicker issue, as well as the 'image sticking' problem which is associated with the inability to achieve DC balance in the cell. It should also allow the cell to work well even at somewhat elevated temperatures.

The disadvantage of this technique is that it increases the DC current  
25 through the liquid crystal cell. This disadvantage can be overcome in part by gating the current source in the bottom of the differential amplifier. This can use the 'pixel select' or 'row select' bit in the device (see FIG.1). In this way, a periodic refresh of the voltage can be achieved, while reducing the power consumption by  $1/n_{row}$ , where  $n_{row}$  is the number of rows in the device. Since  
30 heating is uniform, this gating in some situations may not be needed.

WO 02/045067

PCT/US01/44896

5

A typical implementation in CMOS is shown in FIG 1. The components are schematic representations, and alternate configurations can be used without loss of generality. The key points are the amplifier 16, which applies a closed loop correction voltage to the LC cell, and the gated current source which allows  
5 reduction of power consumption.

Typically this circuit could be implemented with 3 transistors, which can be placed under the liquid crystal cell in an LCOS display device. In the arrangement of FIG. 1, the amplifier 16 decouples the LC cell from the memory element. FIG. 1 illustrates a liquid crystal cell driver 10 for a liquid crystal  
10 display. The liquid crystal cell driver preferably comprises a plurality of transistors (12, 15, 17, and 18) coupled to each other as shown in FIG. 1, a storage capacitance such as a storage capacitor 14, and a plurality of resistors 19 and 21. Preferably, three (3) transistors, such as transistors 15, 17 and 18 form the amplifier 16, preferably in the form of a differential amplifier which  
15 serves as the buffer or isolation amplifier. The differential amplifier 16 is preferably comprised of N-Channel transistors serving as an output to the liquid crystal cell. Additionally, the respective source electrodes of the transistors of the differential amplifier are driven by a current source such as an N-Channel transistor such as transistor 18 that may be gated. This current mirror  
20 arrangement ensures a predetermined voltage on a given pixel. The differential amplifier 16 is coupled between the storage capacitor 14 and provides isolation between the storage capacitor 14 and a liquid crystal cell or pixel.

The arrangement of FIG. 2 adds a global switch element (32) to transfer data from the storage element to the driver. This allows for increased pixel drive  
25 for the same circuit operating voltages, and reduces image retention and flicker by allowing for inversion of the pixel drive voltage and the ITO transparent conductive electrode from frame to frame. Referring to FIG. 2, another liquid crystal cell driver 30 is shown similar to the liquid crystal cell driver 10 of FIG. 1. In addition to the elements previously recited with respect to cell driver 10, cell  
30 driver 30 further comprises a global switch element 32 in the form of a transistor coupled between the storage capacitor 14 and the differential amplifier 16. The

WO 02/045067

PCT/US01/44896

6

global switch element transfers data from the memory cell to a driver capacitor 36 of the display driver.

The problem of flicker has been addressed by many mechanisms in the past. The issue of drive voltage and image retention has been addressed in digital drive LCOS displays. For analog systems, drive voltage and image retention issues can be addressed similarly, due to the need for continuous updating.

The main benefit of the technique disclosed herein is to separate the driver capacitor 36 from the storage capacitor 14. This separation as shown in FIG. 2 allows for updating all the cells of entire LC array at one time if desired. The benefit of this is two-fold. First, this separation (with further pre-processing to determine which LC cells have changed from frame to frame) also allows for updating of only the cells in the LC array that have changed from a prior frame. In other words, the contents of the storage capacitor 14 can be changed without instantaneously changing the display content on the LC cells. This greatly reduces the data rate needed for static pictures. It also allows for the possibility of driving the display in an interlaced mode without displaying interline scanning artifacts. In a system which is interlaced, normally odd lines are written on a first scan, and even lines are written on a second scan. This scanning scheme produces the artifact known as 'interline flicker'. This even happens for data which is not intrinsically interlaced, such as film. The reason for "interline flicker" is that the even lines from one frame are displayed at the same time that the odd lines from the previous frame are displayed. Any portion of the frame which changed will show an interline flicker. With the present invention, a display having an array of storage capacitors (14) corresponding to an array of LC cells would be updated just as normal (even lines followed by odd lines), except that the entire LC array would then be updated once the storage array has been filled. Thus, lines from different frames are never displayed simultaneously. The second benefit of this technique is that it allows the common electrode voltage to be modulated from frame to frame. This modulation increases the effective electric field which can be applied to the LC cell for a given operating voltage of the

WO 02/045067

PCT/US01/44896

7

driver circuit. This is a significant advantage, as finer process geometry will reduce the maximum allowed driving voltage. The benefits described above only occur when the pixels are all updated at once. The simultaneous updating of the pixels can only be done if the storage array (array of storage capacitors (14)) is separated from the driver array (array of driver capacitors (36)).

The technique can most simply be implemented with the circuit described in FIG. 1, with a modification as shown in FIG. 2. The voltage  $V_{nn}$  of FIG. 2 is a static voltage which controls the current source for the transistors 15 and 17. The Row and Column address are normal addressing for an active matrix display. The control signals (Transfer and Discharge) are separate globally controlled signals which transfer the charge on the storage capacitor 14 to the drive capacitor 36, which drives the LC cell. The additional transistors 32 and 34 and capacitor 36 on the device are added to implement the new circuit and operationally allows for the adequate discharge of current from the storage capacitor 14 after each transfer. The additional components should not be significant as process fabrication technology moves forward towards 0.1 microns and below.

In the arrangement of FIG. 1, an isolation amplifier was added to decouple the LC cell from the memory element, as explained before. The additional embodiment of the invention of FIG. 3, adds a second cell driver portion having a second storage cell (preferably storage capacitor 14') and amplifier (preferably differential amplifier 16' including transistors 15' and 17' and 18') and a pair of transistors (72 and 74) to switch between the two drive cells at a high rate of speed. The second drive cell also preferably comprises transistors 12' and 18' and resistors 19' and 24' arranged similarly to the embodiment of FIG. 1.) This eliminates flicker without the need for frame doubling. It can also be used to increase the drive voltage available on the cell.

The basic advantage of the embodiment of FIG. 3 for driving LCOS is that it uses two separate storage elements and drive circuits that are switched to drive the LC cell. This allows a fast switching frequency, which makes the flicker rate of the cell much above frequencies detectable by the human eye. It

WO 02/045067

PCT/US01/44896

8

also allows for the possibility of switching the common electrode voltage (Vito) to help to increase the possible RMS voltage on the cell for a given operating voltage of the silicon back plane.

The upper cell (using transistor 72) contains the voltage to drive the LC during the 'positive' frame, the lower cell (using transistor 74) contains the voltage to drive the LC in the 'negative' frame. The voltage during the positive and negative frames must be balanced with Vito in order to avoid a net DC voltage on the cell, and resultant imager retention and reliability issues. VDD and VSS are the upper and lower operating voltages for the CMOS devices. VNN is set to regulate the current through the transistors of the differential amplifiers, and controls the power dissipation of the amplifier. V1 and V2 are global switching voltages which determine which amplifier is driving the Liquid Crystal cell. A timing diagram for a static Vito is shown in FIG. 6. A timing diagram for switched Vito is shown in FIG. 7.

Further referring to FIGs. 6 and 7, these timing diagrams reflect the 'positive' picture data (V+) in the upper storage cell (14) in FIG. 3, and the 'negative' picture data (V-) in the lower storage cell (14'). In the case of FIG. 6, Vito is not switched. When V1 is switched high (and V2 being low), the transistor 72 is turned on, and V+ is applied to the LC cell. The effective voltage on the cell is (V+ - Vito). At the next switching time, V1 is switched low, and V2 is switched high. The transistor 74 is turned on, and V- is applied to the LC cell. The effective voltage on the cell is (Vito - V-).

In the case of FIG. 7, Vito is switched. When V1 is switched high (and V2 being low), the transistor 72 is turned on, and V+ is applied to the LC cell. Simultaneously, Vito is switched to low (Vito-), as shown in FIG. 7. The effective voltage across the LC cell is then (V+ - Vito-). At the next switching time, V1 is set to low to turn off transistor 72, and switch V2 high to turn on transistor 74. This applies V- to the cell. Simultaneously, Vito is switched to high (Vito+), as shown in FIG. 7. The effective voltage across the LC cell is then (Vito+ - V-).

WO 02/045067

PCT/US01/44896

9

If the maximum value of  $V+$  and  $V-$  is fixed by the maximum voltage of the backplane process, then a fixed value of  $V_{ito}$  as in FIG. 6 must be  $(V+ + V-)/2$ . If  $V_{ito}$  can be switched, as in FIG. 7,  $V_{ito-}$  can be  $V-$ , and  $V_{ito+}$  can be  $V+$ . Thus, the maximum effective voltage on the LC cell is  $(V+ - V-)/2$  for FIG. 6, but  $V+ - V-$  for FIG. 7. The timing of FIG. 7 can ONLY be achieved on an analog system if all of the cells are updated simultaneously by the global switches  $V1$  and  $V2$ .

Typically the time between  $V1$  and  $V2$  switching should be 1 or 2 msec. This will need to be determined for a given set of LC materials and the characteristics of the back plane, and response time of the devices.

The obvious detriment of this scheme is that it requires a large number of transistors to implement (perhaps as many as 12). This should be easily possible with a 20 micron pixel and a .35 micron process. Similar scaling on smaller pixels is possible with finer process geometry.

Now referring to FIG. 4, a display unit 50 is shown that can utilize the display drivers 20 or 30 or 70 as previously described above. The display unit 50 preferably includes a plurality of display elements arranged in a matrix of rows and columns and a memory element and a liquid crystal cell. The driver preferably switchably outputs one of a plurality of voltages to the display elements on at least one of the matrix of rows and columns, the display unit including a conventional decoder 51 and the driver controlled by the conventional decoder 51. The driver can include a storage capacitor and a differential amplifier coupled between the storage capacitor and the liquid crystal cell, whereby the differential amplifier provides isolation between the storage capacitor and the liquid crystal cell. The driver can include a decoder and a plurality of semiconductor switched controlled to be opened or closed by an output signal of the decoder 51. As shown in FIG. 4, the display unit 50 can include a row drive circuit having a plurality of row (scanning) address lines 56 and a column drive circuit 62 having a plurality of column (data) address lines 58.

Referring to FIG. 5, a flow chart is shown illustrating a method 200 of driving a display in accordance with the present invention. The method 200

WO 02/045067

PCT/US01/44896

10

preferably comprises the step 202 of providing isolation between memory elements (such as a storage capacitor) and a liquid crystal cell using a differential amplifier in each drive cell among a plurality of drive cells. Preferably, the isolation is provided between a first storage capacitor and the liquid crystal cell using a first differential amplifier in a first cell and between a second storage capacitor and the liquid crystal cell using a second differential amplifier in a second cell. The method 200 also preferably comprises the step 204 of switching among the plurality of drive cells to drive the liquid crystal cell, where preferably a pair of transistors performs the function of switching between the first and second drive cells. Step 208 can further provide the step of eliminating flicker without frame doubling. The method 200 may further comprise the step 216 of updating an entire array of liquid crystal elements simultaneously and/or the step 218 of updating only a memory cell that has changed from a previous frame. Additional benefits of the method 200 may include the step 220 of driving a memory array in an interlaced mode without displaying interline scanning artifacts and/or the step 222 of modulating a common electrode voltage from frame to frame to reduce a required liquid crystal drive voltage.

Although the present invention has been described in conjunction with the embodiments disclosed herein, it should be understood that the foregoing description is intended to illustrate and not limit the scope of the invention as defined by the claims.

WO 02/045067

PCT/US01/44896

11

**Claims**

1. A display unit having an array of liquid crystal cells, comprising:  
an array of display drivers, a given display driver being associated  
with a given liquid crystal cell and including:  
5 a first storage capacitance and a first amplifier selectively coupled  
between the first storage capacitance and the given liquid crystal cell forming a  
first drive circuit;  
a second storage capacitance and a second amplifier coupled  
between the second storage capacitance and the given liquid crystal cell forming  
10 a second drive circuit; and  
a switching arrangement for switching the first and second drive  
circuits.
2. The display driver of claim 1, wherein the first amplifier and the second  
15 amplifier are both differential amplifiers.
3. The display driver of claim 2, wherein the differential amplifier comprises a  
pair of N-Channel transistors having respective drain electrodes coupled and  
serving as an output to the liquid crystal cell.  
20
4. The display driver of claim 1, wherein the each of said first and second drive  
circuits further comprises a global switch element coupled between the  
respective storage capacitance and the amplifier, wherein the global switch  
element transfers data from the storage capacitance to one of the first and  
25 second drive circuits.
5. The display driver of claim 1, wherein the switching mechanism comprises a  
first transistor driven by a first global switching voltage and a second transistor  
driven by a second global switching voltage.  
30

WO 02/045067

PCT/US01/44896

12

6. A display driver for a given liquid crystal cell of an array of liquid crystal cells, comprising:  
a first drive circuit coupled to a first memory element of the given liquid crystal cell;  
5 at least a second drive circuit coupled to a second memory element of the given liquid crystal cell; and  
a switching arrangement for switching the liquid crystal cell between the first and at least the second drive circuits.
- 10 7. The display driver of claim 6, wherein each of the first and the second drive circuits comprise differential amplifiers comprising a pair of N-Channel transistors having respective source electrodes coupled to a current source and serving as an isolation amplifier to the liquid crystal cell.
- 15 8. The display driver of claim 6, wherein each of the first and the second drive circuits comprise differential amplifier comprising a pair of N-Channel transistors having respective sources coupled to a current source.
9. The display driver of claim 6, wherein the switching mechanism comprises a first transistor driven by a first global switching voltage and a second transistor driven by a second global switching voltage.
- 20 10. The display driver of claim 6, wherein the display driver further comprises a global switching element which is coupled between a storage capacitor and a differential amplifier and used for reducing image retention and flicker.
- 25 11. The display driver of claim 6, wherein the display driver updates an entire array of liquid crystal arrays elements simultaneously.
- 30 12. The display driver of claim 6, wherein the display driver updates only a memory cell that has changed from a previous frame.

WO 02/045067

PCT/US01/44896

13

13. The display driver of claim 6, wherein the display driver drives a memory array in an interlaced mode without displaying interline scanning artifacts.

5 14. A method of driving a LCD/LCOS display, comprising the steps of:  
providing isolation between a storage capacitance and a liquid  
crystal cell using a differential amplifier in each drive cell among a plurality of  
drive cells;  
switching among the plurality of drive cells to drive the liquid crystal  
10 cell.

15. The method of claim 14, wherein the step of providing further comprises  
the step of providing in a first drive cell isolation between a first storage  
capacitance and the liquid crystal cell using a first differential amplifier and  
15 providing in a second drive cell isolation between a second storage capacitance  
and the liquid crystal cell using a second differential amplifier.

16. The method of claim 15, wherein the step of switching further comprises  
the step of switching between the first drive cell and the second drive cell using  
20 a pair of transistors to switch between the first drive cell and the second drive  
cell.

17. The method of claim 15, wherein the method further comprises the step of  
eliminating flicker without frame doubling.  
25

18. The method of claim 14, wherein the method further comprises the step of  
updating an entire array of liquid crystal elements simultaneously.

19. The method of claim 14, wherein the method further comprises the step of  
30 updating only a memory cell that has changed from a previous frame.

WO 02/045067

PCT/US01/44896

14

20. The method of claim 14, wherein the method further comprises the step of driving a memory array in an interlaced mode without displaying interline scanning artifacts.
- 5 21. The method of claim 14, wherein the method further comprises the step of modulating a common electrode voltage from frame to frame to reduce a required liquid crystal drive voltage.

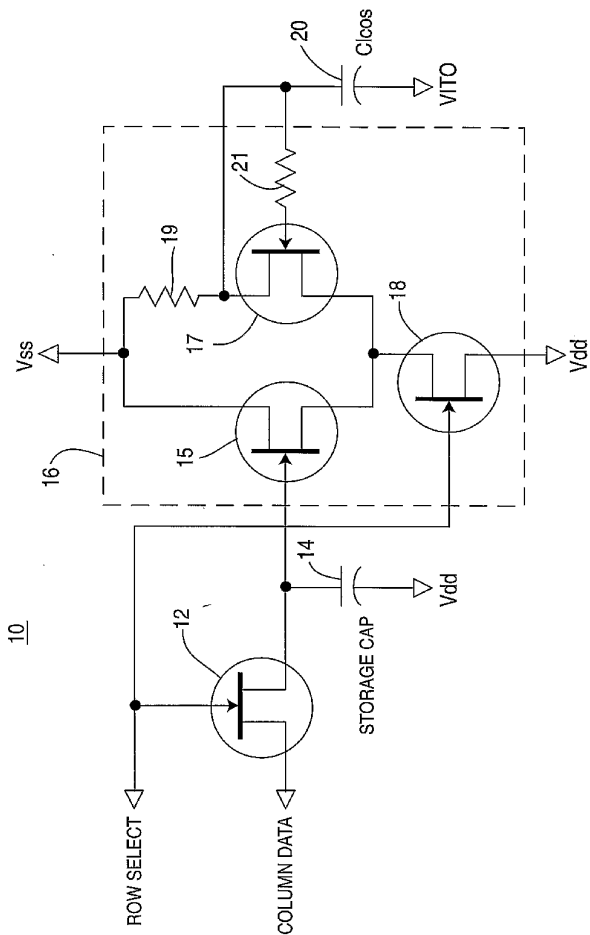


FIG. 1

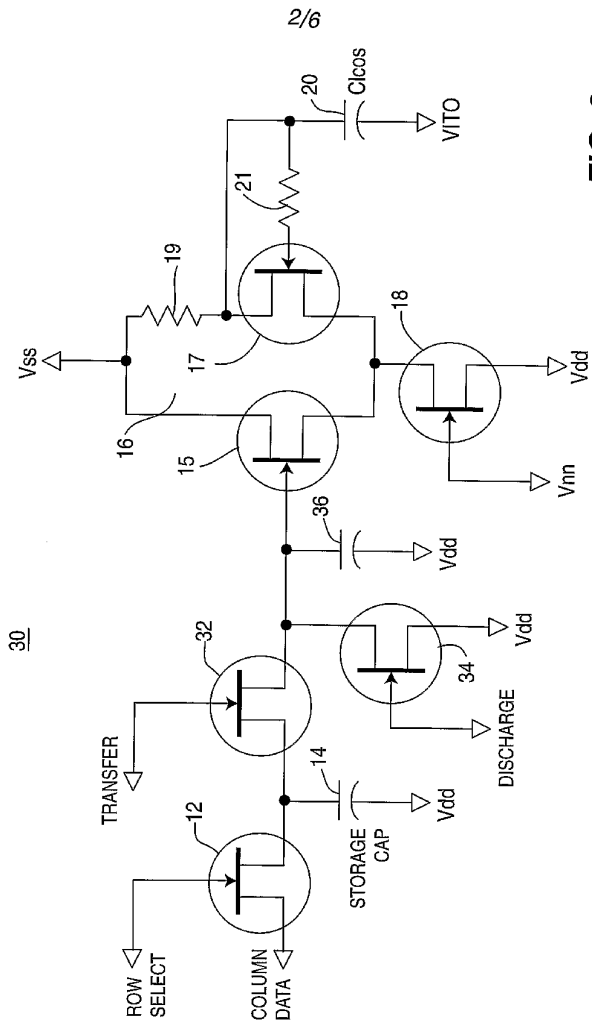
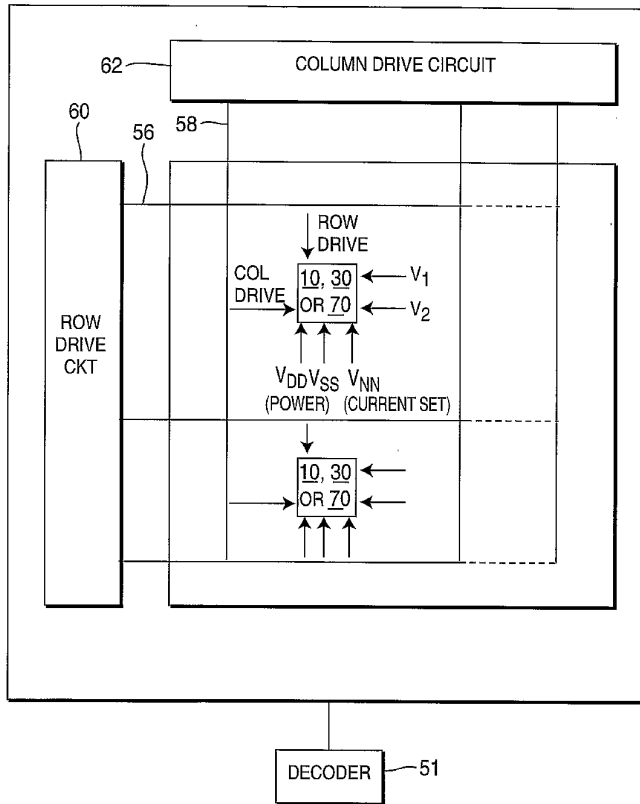
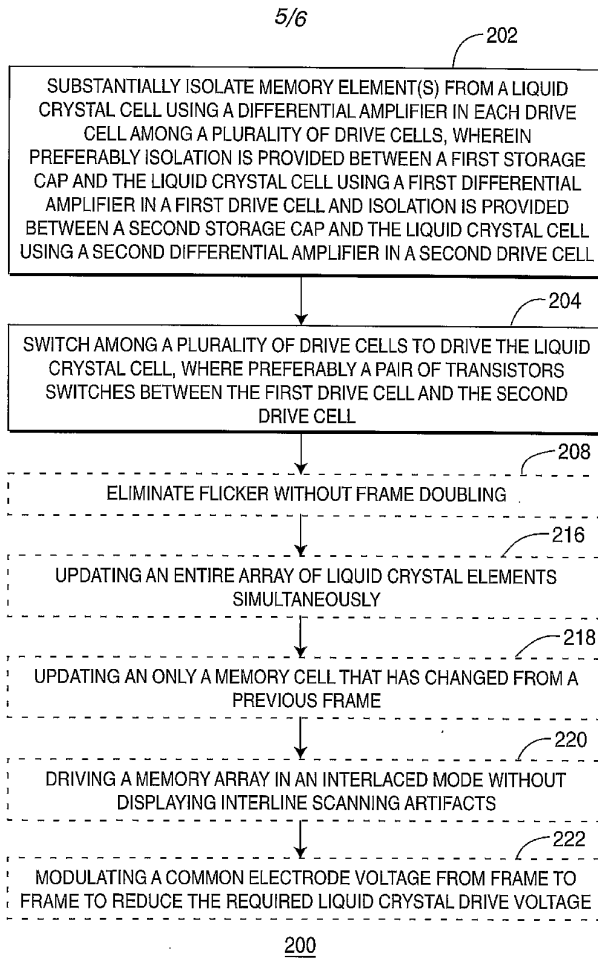


FIG. 2



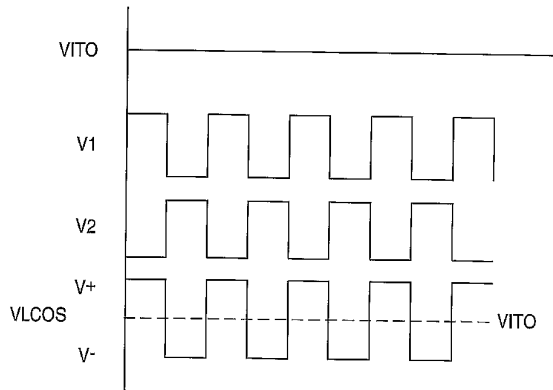


**FIG. 4**

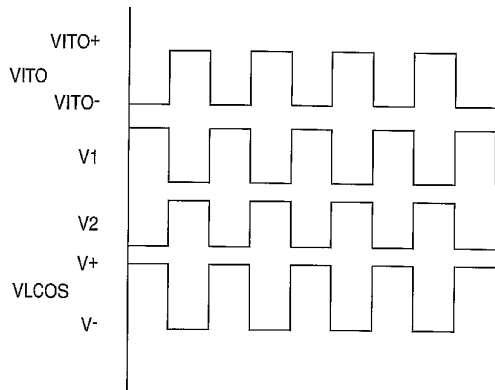


**FIG. 5**

SUBSTITUTE SHEET (RULE 26)



**FIG. 6**



**FIG. 7**

## 【手続補正書】

【提出日】平成14年6月10日(2002.6.10)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

## 【特許請求の範囲】

## 【請求項1】

液晶セルのアレイを有する表示装置であって、  
表示ドライバ回路のアレイを備え、所定の表示ドライバ回路は、所定の液晶セルに関連し、前記所定の表示ドライバ回路は、  
第1の記憶キャパシタンスと、前記第1の記憶キャパシタンスと前記所定の液晶セルとの間に選択可能に結合されて第1の駆動回路を形成する第1の増幅器と、  
第2の記憶キャパシタンスと、前記第2の記憶キャパシタンスと前記所定の液晶セルとの間に結合されて第2の駆動回路を形成する第2の増幅器と、  
前記第1と第2の駆動回路を前記所定の液晶セルに切り替えるための切替え手段とを備える表示装置。

## 【請求項2】

前記第1の増幅器と前記第2の増幅器が、両方とも差動増幅器である、請求項1に記載の表示装置。

## 【請求項3】

前記差動増幅器が、1対のNチャンネル・トランジスタを備え、前記Nチャンネル・トランジスタが、結合されたそれぞれのドレイン電極を有し、前記液晶セルへの出力として働く、請求項2に記載の表示装置。

## 【請求項4】

前記第1と第2の駆動回路が、それぞれ更に、前記それぞれの記憶キャパシタンスと前記増幅器との間に結合された大域スイッチ素子を備え、前記大域スイッチ素子が、前記記憶キャパシタンスからのデータを前記第1と第2の駆動回路の一方に転送する、請求項1に記載の表示装置。

## 【請求項5】

前記切替え手段が、第1の大域切替え電圧によって駆動される第1のトランジスタと、第2の大域切替え電圧によって駆動される第2のトランジスタとを備える、請求項1に記載の表示装置。

## 【請求項6】

液晶セル・アレイの所定の液晶セルのための表示ドライバ回路であって、  
前記所定の液晶セルの第1のメモリ素子に結合された第1の駆動回路と、前記所定の液晶セルの第2のメモリ素子に結合された少なくとも第2の駆動回路であって、前記第1の駆動回路と前記少なくとも第2の駆動回路とのうちの少なくとも1つが増幅器を含み、  
前記第1と少なくとも第2の駆動回路の間で前記液晶セルを切り替えるための切替え手段とを備える表示ドライバ回路。

## 【請求項7】

前記第1と第2の駆動回路がそれぞれ、1対のNチャンネル・トランジスタを含む差動増幅器を備え、前記Nチャンネル・トランジスタが、電流源に結合されたそれぞれのソース電極を有し、前記液晶セルに対する分離増幅器として働く、請求項6に記載の表示ドライバ回路。

## 【請求項8】

前記第1と第2の駆動回路がそれぞれ、1対のNチャンネル・トランジスタを含む差動増幅器を備え、前記Nチャンネル・トランジスタが、電流源に結合されたそれぞれのソースを有する、請求項6に記載の表示ドライバ回路。

## 【請求項 9】

前記切替え手段が、第 1 の大域切替え電圧によって駆動される第 1 のトランジスタと、第 2 の大域切替え電圧によって駆動される第 2 のトランジスタとを備える、請求項 6 に記載の表示ドライバ回路。

## 【請求項 10】

記憶コンデンサと差動増幅器との間に結合されて残像およびフリッカを減少させるのに使用される大域スイッチング素子を更に備える、請求項 6 に記載の表示ドライバ回路。

## 【請求項 11】

液晶アレイ素子のアレイ全体を同時に更新する、請求項 6 に記載の表示ドライバ回路。

## 【請求項 12】

前のフレームから変化したメモリ・セルだけを更新する、請求項 6 に記載の表示ドライバ回路。

## 【請求項 13】

ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動する、請求項 6 に記載の表示ドライバ回路。

## 【請求項 14】

液晶表示装置 (LCD) / 液晶オン・シリコン (LCOS) 表示装置を駆動する方法であって、

複数の駆動セルのうちの各駆動セル中で差動増幅器を使用して記憶キャパシタンスと液晶セルとの間の分離を与えるステップと、

前記複数の駆動セル間を切り替えて前記液晶セルを駆動するステップとを含む方法。

## 【請求項 15】

前記与えるステップが更に、第 1 の駆動セル中で、第 1 の差動増幅器を使用して第 1 の記憶キャパシタンスと前記液晶セルとの間の分離を与え、第 2 の駆動セル中で、第 2 の差動増幅器を使用して第 2 の記憶キャパシタンスと前記液晶セルとの間の分離を与えるステップを含む、請求項 14 に記載の方法。

## 【請求項 16】

前記切り替えるステップが更に、前記第 1 の駆動セルと前記第 2 の駆動セルとの間を切り替えるための 1 対のトランジスタを使用して、前記第 1 の駆動セルと前記第 2 の駆動セルとの間を切り替えるステップを含む、請求項 15 に記載の方法。

## 【請求項 17】

フレームを倍増せずにフリッカを無くすステップを更に含む、請求項 15 に記載の方法。

## 【請求項 18】

液晶素子のアレイ全体を同時に更新するステップを更に含む、請求項 14 に記載の方法。

## 【請求項 19】

前のフレームから変化したメモリ・セルだけを更新するステップを更に含む、請求項 14 に記載の方法。

## 【請求項 20】

ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動するステップを更に含む、請求項 14 に記載の方法。

## 【請求項 21】

共通電極電圧をフレーム間で変調して、必要とされる液晶駆動電圧を低減するステップを更に含む、請求項 14 に記載の方法。

【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/US01/44896
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(7) : G09G 3/36, 5/00 US CL : 345/90, 205 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 345/87, 90, 92, 93, 96, 98, 204, 205; 348/790, 793; 349/42, 48  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X --- Y	US 5,627,557 A (YAMAGUCHI et al.) 06 May 1997, abstract, column 2, line 50 - column 4, line 40; column 8, lines 5-50.	1, 4, 5 ----- 2, 3
Y	US 5,680,149 A (KOYAMA et al.) 21 October 1997, abstract, column 4, line 20 - column 5, line 46.	2, 3, 7, 8, 10, 14-21
X --- Y	US 5,945,972 A (OKUMURA et al.) 31 August 1999, abstract, column 18, lines 7-36.	6, 9, 11, ----- 7, 8, 10, 12-21
Y	US 5,856,817 A (MATSUZAKI) 05 January 1999, abstract, column 2, lines 2-23.	12, 19
Y	US 5,828,366 A (HURST) 27 October 1998, column 1, line 29- column 2, line 22..	13, 20
Y	US 5,852,426 A (ERHART et al.) 22 December 1998, abstract.	21
A	US 6,137,465 A (SEKINE et al.) 24 October 2000, abstract, column 4, line 20 - column 7, line 12.	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance. "B" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 13 March 2002 (13.03.2002)		Date of mailing of the international search report 09 APR 2002
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230		Authorized officer of Alexander Eisen <i>Rugenia Zogian</i> Telephone No. (703) 306-0371

## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 7 0 K

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

F ターム(参考) 2H093 NA16 NA45 NA46 NC09 NC11 NC33 NC35 ND10 ND12  
 5C006 AC11 AC24 AC28 AF42 AF43 AF44 AF51 BB16 FA23 FA34  
 5C080 AA10 BB05 DD06 DD18 DD29 EE28 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置，显示驱动器电路以及驱动该液晶显示装置的方法		
公开(公告)号	<a href="#">JP2004514957A5</a>	公开(公告)日	2005-12-22
申请号	JP2002547154	申请日	2001-11-29
[标]申请(专利权)人(译)	汤姆森特许公司		
申请(专利权)人(译)	汤姆森许可兴业ANONYME		
[标]发明人	オードネルユージーンマーフィ		
发明人	オードネル,ユージーン マーフィ		
IPC分类号	G02F1/133 G02F1/1333 G02F1/1368 G09G3/20 G09G3/36 H03F3/45		
CPC分类号	G09G3/3688 G02F1/13306 G02F1/1333 G09G3/2011 G09G3/3611 G09G3/3614 G09G3/3648 G09G2300/0809 G09G2300/0842 G09G2300/0852 G09G2310/0251 G09G2310/027 G09G2310/04 G09G2320/0233 G09G2320/0247 G09G2320/0285		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.E G09G3/20.621.B G09G3/20.622.B G09G3/20. 623.B G09G3/20.624.B G09G3/20.670.K		
F-TERM分类号	2H092/JA23 2H092/JB42 2H092/JB67 2H092/KA03 2H093/NA16 2H093/NA45 2H093/NA46 2H093 /NC09 2H093/NC11 2H093/NC33 2H093/NC35 2H093/ND10 2H093/ND12 5C006/AC11 5C006/AC24 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF51 5C006/BB16 5C006/FA23 5C006 /FA34 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD18 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	60/250259 2000-11-30 US		
其他公开文献	JP2004514957A JP4271441B2		

#### 摘要(译)

用于具有存储元件和多个液晶单元中的液晶单元的显示单元 ( 50 ) 的单元驱动器 ( 70 ) 包括第一存储电容器 ( 14 ) ， 第一存储电容器和液晶单元并且第一差分放大器 ( 16 ) 选择性地耦合在第一和第二差分放大器之间以形成第一驱动电路。单元驱动器还包括第二存储电容器 ( 14&#39; ) ， 第二差分放大器 ( 16&#39; ) ， 耦合在第二存储电容器和液晶单元之间， 以形成第二驱动电路， 设置有门。切换机构 ( 72和74 ) 用于在第一和第二驱动电路之间切换液晶单元。