

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-87699

(P2004-87699A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 7 K	2 H 0 9 2
GO 2 F 1/1368	GO 2 F 1/1368	4 M 1 0 4
GO 9 F 9/30	GO 9 F 9/30 3 3 8	5 C 0 9 4
GO 9 F 9/35	GO 9 F 9/35	5 F 1 1 0
HO 1 L 21/336	HO 1 L 29/78 6 1 7 S	
審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2002-245453 (P2002-245453)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(22) 出願日	平成14年8月26日 (2002.8.26)	(74) 代理人	100075557 弁理士 西教 圭一郎
		(74) 代理人	100072235 弁理士 杉山 毅至
		(74) 代理人	100101638 弁理士 廣瀬 峰太郎
		(72) 発明者	渋谷 司 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
		Fターム(参考)	2H092 GA20 JA25 JA34 JA38 JA46 JB01 JB56 JB58 KA04 MA13 MA18 MA37 NA05 NA07 NA22 最終頁に続く

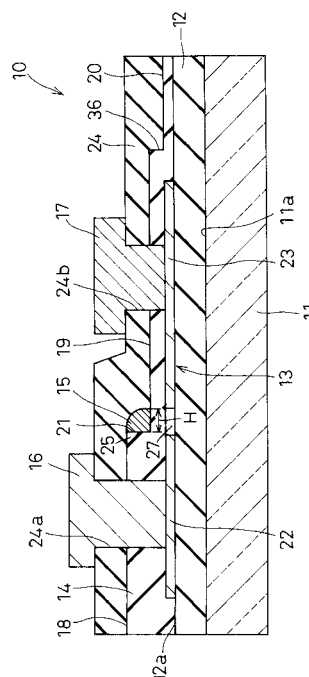
(54) 【発明の名称】 薄膜トランジスタおよびその製造方法および液晶表示装置

(57) 【要約】

【課題】 高速化および高性能化を実現するための薄膜トランジスタおよびその製造方法、ならびに液晶表示装置を提供することである。

【解決手段】 ゲート絶縁膜14には、段差部25が形成され、段差部25にゲート電極15がサイドウォール状に形成される。ゲート絶縁膜14に形成されたゲート電極15の幅は、平坦部のゲート絶縁膜5に形成されるゲート電極6より小さくなるので、段差部25にゲート電極15が形成される薄膜トランジスタ10(10A)のソース電極16とドレイン電極17との間の距離は、平坦部にゲート電極6を形成する薄膜トランジスタ1のソース電極8とドレイン電極9との間の距離より短くなる。したがって薄膜トランジスタ10(10A)における半導体中のキャリアの移動速度を高めて、高速かつ高性能な薄膜トランジスタ10(10A)を得られるので、表示品位の高い液晶表示装置を実現できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板に形成される薄膜トランジスタであって、
基板表面部に段差を有して形成されることによって段差部が形成されるゲート絶縁膜と、
ゲート絶縁膜の段差部に形成されるゲート電極とを含むことを特徴とする薄膜トランジスタ。

【請求項 2】

前記ゲート電極は、段差部を含めてゲート絶縁膜に積層して形成されたゲート電極膜の段差部付近を全体的にエッチングすることによって形成されていることを特徴とする薄膜トランジスタ。

10

【請求項 3】

前記ゲート電極は、段差部を部分的に覆う位置に形成されるゲート配線と一体的に形成されていることを特徴とする薄膜トランジスタ。

【請求項 4】

請求項 1 ~ 3 のいずれかに記載の薄膜トランジスタが、絵素部および駆動部の少なくとも一方に用いられることを特徴とする液晶表示装置。

【請求項 5】

基板に薄膜トランジスタを形成する方法であって、
ゲート絶縁膜を形成する絶縁膜形成工程と、
ゲート絶縁膜に段差部を形成する段差形成工程と、
段差部が形成されたゲート絶縁膜に積層してゲート電極膜を形成する電極膜形成工程と、
ゲート電極膜の段差部付近を全体的にエッチングするエッチング工程とを含むことを特徴とする薄膜トランジスタの形成方法。

20

【請求項 6】

エッチング工程では、段差部を部分的に覆う位置に線状のマスクを形成して、ゲート電極膜をエッチングすることを特徴とする請求項 5 記載の薄膜トランジスタの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえば液晶フラットパネルディスプレイなどの表示装置に好適に用いられる薄膜トランジスタおよびその製造方法ならびに液晶表示装置に関する。

30

【0002】

本発明において、用語「略平行」は「平行」を含む。

【0003】

【従来の技術】

液晶表示装置では、表示装置に用いられる駆動回路を表示装置と同一基板上に作り込む、ドライバモノリシック型の液晶表示装置の製造が行われており、さらに付加機能を有する、より高性能な回路を作りこむ、システム・オン・パネルの構想が高まっている。そのために、従来のものより高速かつ高性能な薄膜トランジスタを製造する技術が必要である。

【0004】

図 6 は、従来の一般的な薄膜トランジスタ 1 の製造工程を段階的に示す断面図である。薄膜トランジスタを製造する工程は、図 6 (a) において、ガラス基板 2 に順次ベースコート膜 3、半導体膜 4、ゲート絶縁膜 5 を形成し、このゲート絶縁膜 5 上にゲート電極 6 を形成する。なお、半導体膜 4 およびゲート電極 6 に所望のパターンを形成する際には、化学気相成長法やスパッタ法により膜を堆積し、フォトリソグラフィによってレジストなどの有機膜に所望のパターンを形成する。この後、ウエットエッチングまたはドライエッチングによって不要領域の膜を除去する。その後、薄膜トランジスタを製造する工程は、図 6 (b) において、順次イオンドーピング法などによって、半導体膜 4 に高濃度の不純物を注入してソース領域 4 a とドレイン領域 4 b とを形成し、層間絶縁膜 7 を形成し、コンタクトホール 7 a , 7 b を形成し、ソース電極 8 とドレイン電極 9 とをそれぞれ形成する

40

50

前記のようにすることによって、薄膜トランジスタは完成する。

【0005】

【発明が解決しようとする課題】

従来の技術では、液晶表示装置などに用いられる大型絶縁性基板にゲート電極のパターンを形成する場合、ゲート電極の幅の解像度は、ゲート電極のパターンをレジスト層に転写する露光装置の性能により決定される。現状の半導体の製造プロセスにおける線幅の解像度は、約 $0.3\ \mu\text{m}$ の値が実現されているのに対し、液晶表示装置の製造プロセスにおける線幅の解像度は、約5倍の $1.5\ \mu\text{m}$ の値しか得られていないので、薄膜トランジスタを小形に形成することができず、薄膜トランジスタの高速、高性能化の妨げとなっている。

10

【0006】

したがって本発明の目的は、高速化および高性能化を実現するための薄膜トランジスタおよびその製造方法、ならびにその薄膜トランジスタを用いた液晶表示装置を提供することである。

【0007】

【課題を解決するための手段】

本発明は、基板に形成される薄膜トランジスタであって、基板表面部に段差を有して形成されることによって段差部が形成されるゲート絶縁膜と、ゲート絶縁膜の段差部に形成されるゲート電極とを含むことを特徴とする薄膜トランジスタである。

20

【0008】

本発明に従えば、基板に形成されるゲート絶縁膜には、段差部が形成され、この段差部にゲート電極が形成される。このようにゲート絶縁膜の段差部に形成されるゲート電極は、ゲート絶縁膜にゲート電極膜を積層した後、レジスト層などを形成することなく全体をエッチングすることによって形成することが可能である。このようにしてゲート絶縁膜の段差部にゲート電極を形成すると、そのゲート電極の幅は、平坦状のゲート絶縁膜にゲート電極を形成し、レジスト層などを形成して部分的にエッチングすることによって形成されるゲート電極の幅より小さく形成することが可能である。このようなゲート電極を形成すれば、薄膜トランジスタは、ゲート電極の幅を小さくすることができるので、ソース電極とドレイン電極との間の距離が、平坦部にゲート電極を形成する薄膜トランジスタのソース電極とドレイン電極との間の距離より短くなる。したがってソース電極とドレイン電極との間をキャリアが移動するために要する時間を短くし、高速かつ高性能な薄膜トランジスタを得ることができる。またゲート電極の幅が小さくなることによって、薄膜トランジスタを小形に形成することができる。またゲート絶縁膜自体に段差部が形成されるので、他の膜を段差状に形成する必要がない。

30

【0009】

また本発明は、前記ゲート電極は、段差部を含めてゲート絶縁膜に積層して形成されたゲート電極膜の段差部付近を全体的にエッチングすることによって形成されていることを特徴とする薄膜トランジスタである。

40

【0010】

本発明に従えば、ゲート電極は、段差部を含めたゲート絶縁膜にゲート電極膜を積層した後、レジスト層などを形成することなく段差部付近を全体的にエッチングすることによって段差部に形成される。このようにして形成されるゲート電極の幅は、平坦状のゲート絶縁膜にゲート電極膜を形成し、レジスト層などを形成して部分的にエッチングすることによって形成されるゲート電極の幅より小さくなる。このようなゲート電極が形成される薄膜トランジスタは、ゲート電極の幅が小さいので、ソース電極とドレイン電極との間の距離が、平坦部にゲート電極を形成する薄膜トランジスタのソース電極とドレイン電極との間の距離より短くなる。したがってソース電極とドレイン電極との間をキャリアが移動するのに要する時間を短くし、高速かつ高性能な薄膜トランジスタを得ることができる。ま

50

たゲート電極の幅が小さくなることによって、薄膜トランジスタを小形に形成することができる。

【0011】

また本発明は、前記ゲート電極は、段差部を部分的に覆う位置に形成されるゲート配線と一体的に形成されていることを特徴とする薄膜トランジスタである。

【0012】

本発明に従えば、ゲート電極は、段差部を部分的に覆う位置に形成されるゲート配線と一体的に形成される。これによってゲート電極とゲート配線とを別に形成し接続する場合のような接続不良が防がれ、信頼性の高い薄膜トランジスタを得ることができる。

【0013】

また本発明は、前記薄膜トランジスタが、絵素部および駆動部の少なくとも一方に用いられることを特徴とする液晶表示装置である。

【0014】

本発明に従えば、高速化および高性能化を図った薄膜トランジスタを用いることによって、表示品位の高い液晶表示装置を実現できる。

【0015】

また本発明は、基板に薄膜トランジスタを形成する方法であって、

ゲート絶縁膜を形成する絶縁膜形成工程と、

ゲート絶縁膜に段差部を形成する段差形成工程と、

段差部が形成されたゲート絶縁膜に積層してゲート電極膜を形成する電極膜形成工程と、

ゲート電極膜の段差部付近を全体的にエッチングするエッチング工程とを含むことを特徴とする薄膜トランジスタの形成方法である。

【0016】

本発明に従えば、薄膜トランジスタを形成するにあたって、半導体膜を形成した基板にゲート絶縁膜を形成し、所望の位置に段差部が形成されるように考慮してゲート絶縁膜に段差部を形成する。その後、段差部が形成されたゲート絶縁膜にゲート電極膜を形成し、段差部付近をレジスト層などを形成することなく全体をエッチングすることによって、段差部にゲート電極を形成することができる。このように形成されるゲート電極の幅は、平坦状のゲート絶縁膜に形成されるゲート電極の幅より小さく、ソース電極とドレイン電極との間の距離を小さくして、高速かつ高性能であり、かつ小形の薄膜トランジスタを形成することができる。本発明では、このような効果を達成することができる薄膜トランジスタをゲート絶縁膜に段差を形成するだけの簡単な作業によって、微細なレジスト層のマスクを形成するなどの細かな、高度かつ高精度の技術が要求される作業を必要とすることなく薄膜トランジスタを形成することができる。

【0017】

また本発明は、エッチング工程では、段差部を部分的に覆う位置に線状のマスクを形成して、ゲート電極膜をエッチングすることを特徴とする。

【0018】

本発明に従えば、ゲート電極膜をエッチングする工程では、段差部を部分的に覆う位置に線状のレジスト層のマスクを形成した後、ゲート電極膜を全体的にエッチングする。マスクを形成した部分のゲート電極膜は、エッチング後も残るので、この部分をゲート配線にする。したがってゲート電極とゲート配線とは、一体的に形成されるので、配線部分を形成する工程が省け、薄膜トランジスタを製造する際に要する作業時間が短縮できる。

【0019】

【発明の実施の形態】

図1は、本発明の実施の一形態の薄膜トランジスタ10の断面図であり、後述する図2の切断面線A-Aから見た断面を示す。薄膜トランジスタ10の性能は、半導体膜13の結晶の状態、ゲート絶縁膜14の膜厚および膜質、ゲート電極15の線幅など様々なパラメータによって決定される。その中で薄膜トランジスタ10の高速化、高性能化のためには、ゲート電極15の幅をさらに小さくして微細にする必要がある。また、ゲート電極15

10

20

30

40

50

の幅を微細にすることが可能となれば、画素電極のトランジスタを小形にすることができ、画素の開口率を向上することができ、より明るいディスプレイを実現することができるようになる。

【0020】

薄膜トランジスタ10は、アクティブマトリクス駆動方式の液晶表示装置において液晶を駆動するためのスイッチング素子として用いられる。液晶表示装置は、マトリクス状に並ぶ複数の画素電極が形成される一方の基板11と対向電極が形成される他方との間に液晶を封入して構成される。薄膜トランジスタ10は、一方の基板11に各画素電極に関連して設けられ、各画素電極と対向電極との間に選択的駆動電圧を印加して、液晶表示装置によって液晶の駆動状態に応じた画像表示をすることができる。

10

【0021】

薄膜トランジスタ10は、たとえばガラス基板などの絶縁性基板（以下、単に「基板」という場合がある）11にベースコート膜12が形成され、ベースコート膜12に半導体膜13であるポリシリコン膜13を介して形成されたゲート絶縁膜14とゲート電極15とソース電極16およびドレイン電極17とを有する。図1には、絶縁性基板11の厚み方向一方を上方に、厚み方向他方を下方に示し、以下「上」「下」を用いて説明する場合がある。

【0022】

絶縁性基板11の上面11aには、ベースコート膜12が形成される。ベースコート膜12は、たとえば二酸化ケイ素(SiO₂)などの絶縁物が用いられる。ベースコート膜12の上面12aの中央部付近には、半導体膜であるポリシリコン膜13が形成される。ポリシリコン膜13は、不純物が付加されたソース領域22およびドレイン領域23と、これら各領域22, 23に挟まれ、不純物が付加されていないチャンネル領域27とを有する。さらに、ポリシリコン膜13全体とその他のベースコート膜12とを覆うゲート絶縁膜14が形成される。

20

【0023】

ゲート絶縁膜14は、第1～第2平坦部18～19と、第1および第2段差部25, 35とを含む。第1～第2平坦部18～19は、この順に上方から下方に各段的に形成され、第1および第2平坦部18, 19間に第1段差部25が形成され、第2および第3平坦部19, 20間に第2段差部35が形成される。第1平坦部18は、ゲート絶縁膜14の最も上方、したがって基板11に遠い側に形成される。第2平坦部19は、この第1平坦部18の端部に第1段差部25を介して連なり、第1平坦部18よりも下方に、したがって基板11に近い側に形成される。第1～第2平坦部18～19の上面は、互いに略平行で、かつ基板11の上面11aに略平行に配置される。第1段差部25の段差面21は、基板の上面11aに対して垂直に形成される。このようにゲート絶縁膜14の第1段差部25にゲート電極（以下、「サイドウォール」という場合がある）15がサイドウォール状にすなわち段差面21を覆い、段差面21に沿って延びるように形成される。

30

【0024】

ゲート絶縁膜14の第1～第3平坦部18～20およびゲート電極15の上面には、ゲート絶縁膜14およびゲート電極15の上面を覆って層間絶縁膜24が形成される。層間絶縁膜24とゲート絶縁膜14とを基板11の厚み方向に貫いてコンタクトホール24aおよび24bが、形成される。ソース電極16は、コンタクトホール24aによってソース領域22と電氣的に接続されるように層間絶縁膜24の上方に形成される。ドレイン電極17は、コンタクトホール24bによって、ドレイン領域23と電氣的に接続されるように層間絶縁膜24の上方に形成される。ソース電極16は、ソース配線に接続されていて、ドレイン電極17は、画素電極に接続されている。

40

【0025】

薄膜トランジスタ10は、ゲート電極15に駆動電位を与えられると、これによってチャンネル領域27にチャンネルが形成され、ソース領域22とドレイン領域23とが導通する。薄膜トランジスタ10は、ゲート電極15に駆動電位を与える状態と与えない状態を切替

50

えることによって、アクティブマトリクス駆動方式の液晶表示装置において液晶を駆動するためのスイッチング素子として用いられる。

【0026】

ソース配線26およびゲート配線28は、複数本間隔をあけて並んでいる。ソース配線26とゲート配線28とは、直交する方向に延びていて、ソース配線26とゲート配線28との交差部近傍に薄膜トランジスタ10が設けられている。このように薄膜トランジスタ10は、マトリクス状に並んでいて、薄膜トランジスタ10のゲート電極15に駆動電位を与える状態と与えない状態とを切替えることによって、薄膜トランジスタ10のスイッチング対応を切替え、これによってソース配線26から薄膜トランジスタ10を介して画素電極に電位を与える状態と与えない状態とを切替えることによって、画素電極と対向電極との間に液晶を駆動するための駆動電圧を印加して、液晶表示装置によって液晶の駆動状態に応じた画像表示をすることができる。

10

【0027】

図2は、薄膜トランジスタ10を示す平面図である。薄膜トランジスタ10は、シングルゲート型のトランジスタである。ソース配線26は、ゲート配線28に対して垂直な方向に延びて形成される。また、ソース配線26とゲート配線28とは、厚み方向に関しては絶縁膜を介して積層され、上方、すなわち基板11から遠い方向にソース配線26が形成され、下方、すなわち基板11から近い方向にゲート配線28が形成される。厚み方向から見たときにソース配線26とゲート配線28とが交差する付近に、薄膜トランジスタ10が配置される。薄膜トランジスタ10のソース電極16は、ソース配線26と一体に形成され、ドレイン電極17は、図示しない画素電極に接続される。ゲート絶縁膜14には、残余部に比べて窪んでいる四角形状の凹所が形成され、その凹所を取囲むように四角形状の第1段差部25が形成される。このような段差部25の内方領域にドレイン電極17が形成され、外方の領域にソース電極16が形成される。ゲート配線28が段差部25の第1縁辺部31を含む領域に形成され、ゲート電極15が段差部25の第2～第4縁辺部32～34に沿ってU字状に形成される。このゲート電極15は、両端部でゲート配線28に一体に連なっている。このゲート電極15は、中間部の1箇所37がチャンネル領域にゲート絶縁膜を挟んで対向している。ゲート電極15のチャンネル領域に対向する前記箇所(対向箇所という)37は、ゲート配線28に2つの経路38a, 38bで電氣的に接続される。したがって各経路38a, 38bのうちいずれか一方の経路が断線しても残余の経路でゲート配線28からゲート電極15に駆動電位を与えることができる。

20

30

【0028】

図3は、薄膜トランジスタ10の製造工程を示すフローチャートであり、図4は、製造工程を段階的に示す断面図である。図4(a)は、図3の製造工程ステップS1～S4によって製造された薄膜トランジスタ10の断面図を示し、図4(b)は、図3の製造工程ステップS5～S9によって製造された薄膜トランジスタ10断面図を示す。

【0029】

薄膜トランジスタ10を製造する際には、図3のステップS1～S4および図4(a)に示すように、ステップS1では、たとえばガラス基板など絶縁基板11の上面11aにベースコート膜12として二酸化ケイ素(SiO_2)などの絶縁膜を化学気相成長法(CVD法: Chemical Vapor Deposition)またはスパッタ法によって500nm程度堆積させる。このベースコート膜12は、ガラス基板などの絶縁性基板11からの不純物が後述する半導体膜であるポリシリコン膜13に取込まれることを防止することを目的としており、必要な膜厚は、その膜質によって決定され、場合によっては必要ないこともある。

40

【0030】

ステップS2では、ベースコート膜12の上面12aにアモルファスシリコン膜(a-Si膜)を50nm程度の厚さで堆積させる。ステップS3では、所定の手法を用いてアモルファスシリコン膜を結晶化し、ポリシリコン膜(poly-Si膜)13に変化させる。結晶化の手法は、熱による固相成長やレーザー照射による方法などがあるが、本発明の

50

実施の一形態においては、どのような手法であってもかまわない。

【0031】

ステップS4では、フォトリソグラフィまたはエッチングによって、形成されたポリシリコン膜13にパターン形成する。つまりポリシリコン膜13にレジスト層を形成し、レジスト層にパターンを露光装置で転写し、現像してマスクを形成した後、ドライエッチングまたはウエットエッチングによって不要領域のポリシリコン膜13を除去することによって所望のパターンを形成する。本発明の実施の一形態では、この際に後の工程で形成される第1段差部25がゲート電極15となるようにレイアウトを行う。

【0032】

この後、薄膜トランジスタ10を製造する際には、図3のステップS5～S9および図4 (b)に示す。ステップS5は、ゲート絶縁膜14を形成する絶縁膜形成工程であり、ポリシリコン膜13全体とその他のベースコート膜12とを覆うように二酸化ケイ素などを化学気相成長法またはスパッタ法により600nm程度堆積させる。

【0033】

ステップS6は、ゲート絶縁膜に段差部25を形成する段差部形成工程であり、ゲート絶縁膜14に段差を形成する領域が開口されるように、フォトリソグラフィによってゲート絶縁膜14にパターンを形成される。つまりゲート絶縁膜14にレジスト層を積層し、レジスト層にパターンを露光装置で転写し、現像してマスクを形成した後、ドライエッチングまたはウエットエッチングによって開口部のゲート絶縁膜14を除去することによって段差部25を形成する。このとき、開口部のゲート絶縁膜14は、薄膜トランジスタ10に要求されるゲート絶縁膜14としての必要膜厚が残存するように調整し、エッチングを行う。

【0034】

ステップS7は、電極膜形成工程であり、ゲート絶縁膜14に形成された段差部25を覆うようにゲート電極膜を500nm程度堆積させる。ゲート電極15は、形成されたゲート電極膜にエッチングを行うことによって形成される。このとき配線となる領域を形成するために、ステップS8では、段差部25を部分的に覆う位置にフォトリソグラフィによって線状のマスクを形成する。この際、たとえば図2に示すように、薄膜トランジスタ10とゲート配線28とを電氣的に接続するため、ゲート配線28が段差部25の第1縁辺部31を覆うようにオーバーラップ部29を設けてレイアウトする。ステップS9では、段差部付近を含むゲート電極膜をドライエッチングによって全体的にエッチングすることによって、ゲート配線28を形成するとともに段差部25に膜残りが生じ、ゲート電極15は所望のサイドウォール状に形成される。このゲート電極膜15つまりサイドウォール15の形成にあたっては、段差部25のテーパ形状、ゲート電極膜のカバレッジ、ゲート電極膜のドライエッチングの条件などのパラメータの組み合わせによって、所望のサイドウォール形状が得られるように適宜調整し、決定する。

【0035】

前記に説明したように、ゲート電極膜14をエッチングする工程では、段差部25を部分的に覆う位置に線状のレジスト層のマスクを形成した後、ゲート電極膜全体をエッチングする。マスクを形成した部分のゲート電極膜は、エッチング後も残るので、この部分をゲート配線28とするとともに段差部25には、膜残りが生じこの部分をゲート電極15にする。したがってゲート電極15とゲート配線28とは、一体的に形成されるので、ゲート電極15とゲート配線28とを別に形成し接続する場合のような接続不良が防がれ、信頼性の高い薄膜トランジスタを得ることができるとともに配線部分を形成する工程が省け、薄膜トランジスタを製造する際に要する作業時間が短縮できるとともにコストダウンおよび信頼性が向上される。

【0036】

この後、薄膜トランジスタを作成する工程は、図1および図3のステップS10～S13に示す。ステップS10では、イオンドーピング法などによって、半導体膜であるポリシリコン膜13に高濃度の不純物を注入してソース領域22とドレイン領域23とを形成す

る。ステップ S 1 1 では、層間絶縁膜 2 4 を堆積する。ステップ S 1 2 では、コンタクトホール 2 4 a , 2 4 b を形成する。ステップ S 1 3 では、ソース電極 1 6 とドレイン電極 1 7 とをそれぞれ形成する。前記のようにすることによって、薄膜トランジスタ 1 0 は完成する。

【 0 0 3 7 】

以上のように、説明した薄膜トランジスタ 1 0 の製造方法を用いると、形成されたサイドウォール 1 5 の幅 H が、実質的なゲート電極 1 5 の幅として薄膜トランジスタ 1 0 を動作させる。たとえばサイドウォール 1 5 の幅 H が $0.2 \mu\text{m}$ に形成されればゲート電極 1 5 の幅は、 $0.2 \mu\text{m}$ となり、現在のフォトリソグラフィで形成することができる最小線幅 $1.5 \mu\text{m}$ の 5 分の 1 以下の微細なゲート線幅の薄膜トランジスタを製造することが可能となる。

10

【 0 0 3 8 】

以上説明した薄膜トランジスタ 1 0 によれば、基板に形成される薄膜トランジスタ 1 0 のゲート絶縁膜 1 4 には、段差部 2 5 が形成され、この段差部 2 5 にゲート電極 1 5 が形成される。このようにゲート絶縁膜 1 4 の段差部 2 5 に形成されるゲート電極 1 5 は、ゲート絶縁膜 1 4 にゲート電極膜 1 5 を積層した後、レジスト層などを形成することなく全体をエッチングすることによって段差部 2 5 に形成することが可能である。このようにしてゲート絶縁膜 1 4 の段差部 2 5 にゲート電極 1 5 を形成すると、そのゲート電極 1 5 の幅は、平坦状のゲート絶縁膜 5 にゲート電極膜を形成しレジスト層などを形成して部分的にエッチングすることによって形成されるゲート電極 6 の幅より小さく形成することが可能である。

20

【 0 0 3 9 】

また、ゲート電極 1 5 は、段差部 2 5 を含めたゲート絶縁膜 1 4 にゲート電極膜を積層した後、レジスト層などを形成することなく段差部 2 5 付近を全体的にエッチングすることによって段差部 2 5 に形成される。このようにして形成されるゲート電極 1 5 の幅は、平坦状のゲート絶縁膜 5 にゲート電極膜を形成し、レジスト層などを形成して部分的にエッチングすることによって形成されるゲート電極 6 の幅より小さくなる。

【 0 0 4 0 】

前記のようなゲート電極 1 5 を形成すれば薄膜トランジスタ 1 0 は、ゲート電極 1 5 の幅を小さくすることができるので、ソース電極 1 6 とドレイン電極 1 7 との間の距離が、平坦部にゲート電極 6 を形成する薄膜トランジスタ 1 のソース電極 8 とドレイン電極 9 との間の距離より短くなる。したがってソース電極 1 6 とドレイン電極 1 7 との間をキャリアが移動するために要する時間を短くし、高速かつ高性能な薄膜トランジスタを得ることができる。またゲート電極 1 5 の幅が小さくなることによって、薄膜トランジスタ 1 0 を小形に形成することができる。したがって本発明の薄膜トランジスタ 1 0 を液晶表示装置に用いた場合、薄膜トランジスタ 1 0 を小形にすることによって、画素の開口率を向上することができ、明るい液晶表示装置を実現できる。また、薄膜トランジスタ 1 0 を小形にすることによって、画素寸法を小さくして画素密度を向上させることができ、従来ものより高精細であり、表示品位の高い液晶表示装置を実現できる。さらには周辺回路にこれまで以上の機能を持つ回路を搭載することが可能となり、システム・オン・パネルを実現できる。

30

40

【 0 0 4 1 】

また、薄膜トランジスタ 1 0 を形成するにあたって、半導体膜を形成した基板にゲート絶縁膜 1 4 を形成し、所望の位置に段差部 2 5 が形成されるように考慮してゲート絶縁膜 1 4 に段差部 2 5 を形成する。その後、段差部 2 5 が形成されたゲート絶縁膜 1 4 にゲート電極膜を形成し、段差部 2 5 付近をレジスト層などを形成することなく全体をエッチングすることによって、段差部 2 5 にゲート電極 1 5 を形成することができる。このように形成されるゲート電極 1 5 の幅は、平坦状のゲート絶縁膜 5 に形成されるゲート電極 6 の幅より小さく、ソース電極 1 6 とドレイン電極 1 7 との間の距離を小さくして、高速かつ高性能であり、かつ小形の薄膜トランジスタ 1 0 を形成することができる。本発明では、こ

50

のような効果を達成することができる薄膜トランジスタ10をゲート絶縁膜14に段差を形成するだけの簡単な作業によって、微細なレジスト層のマスクを形成するなどの細かな、高度かつ高精度の技術が要求される作業を必要とすることなく薄膜トランジスタ10を形成することができる。

【0042】

ソース領域22、チャンネル領域27、ドレイン領域23に形成されたポリシリコン膜13が平坦状に形成されるので、チャンネル領域27を挟んで形成されるソース領域22とドレイン領域23との電気的特性が良好である。ゲート絶縁膜14にマスクをかけてエッチングすることによって、ゲート絶縁膜14に段差部25を形成することによって前記のようにポリシリコン膜13を平坦状に形成し、かつゲート絶縁膜14に段差部25を形成することができる。このような構成に形成された段差部25にゲート電極15を形成することによって、ゲート電極15とチャンネル領域27との距離を均一に形成することができる。これによって、ゲート電極15に電位を与えてときに、チャンネル領域27に均一な電界を作用させることができる。したがって薄膜トランジスタ10の応答性および信頼性を高くすることができる。またゲート絶縁膜自体が段差状が形成されるので、他の膜を段差部に形成する必要がない。

10

【0043】

図5は、本発明の実施の他の形態の薄膜トランジスタ10Aの平面図である。薄膜トランジスタ10Aは、ダブルゲート型のトランジスタである。ただし、図2と同一の部材には同一の符号を付し、その説明は適宜省略する。ゲート絶縁膜14には、残余部に比べて窪んでいる四角形状の凹所が形成され、その凹所を取囲むように四角形状の段差部25が形成される。このような段差部25の外方の領域にソース電極16とドレイン電極17とが形成される。ゲート配線28が段差部25の第1縁辺部31Aを含む領域に形成され、ゲート電極15が段差部25の第2～第4縁辺部32A～34Aに沿ってU字状に形成される。このゲート電極15は、両端部でゲート配線28に一体に連なっている。このゲート電極15は、中間部の2箇所37Aa, 37Abがチャンネル領域にゲート絶縁膜を挟んで対向している。ゲート電極15のチャンネル領域に対向する前記箇所(対向箇所という)37Aa, 37Abは、ゲート配線28に2つの経路38Aa, 38Abで電気的に接続される。したがって各経路38Aa, 38Abのうちいずれか一方の経路が断線しても残余の経路でゲート配線28からゲート電極15に駆動電位を与えることができ、前記本発明の実施の一形態と同様の効果が得られる。

20

30

【0044】

【発明の効果】

本発明によれば、基板に形成されるゲート絶縁膜には、段差部が形成され、この段差部にゲート電極が形成される。このようにゲート絶縁膜の段差部に形成されるゲート電極は、ゲート絶縁膜にゲート電極膜を積層した後、レジスト層などを形成することなく全体をエッチングすることによって形成することが可能である。このようにしてゲート絶縁膜の段差部にゲート電極を形成すると、そのゲート電極の幅は、平坦状のゲート絶縁膜にゲート電極を形成し、レジスト層などを形成して部分的にエッチングすることによって形成されるゲート電極の幅より小さく形成することが可能である。このようなゲート電極を形成すれば、薄膜トランジスタは、ゲート電極の幅を小さくすることができるので、ソース電極とドレイン電極との間の距離が、平坦部にゲート電極を形成する薄膜トランジスタのソース電極とドレイン電極との間の距離より短くなる。したがってソース電極とドレイン電極との間をキャリアが移動するために要する時間を短くし、高速かつ高性能な薄膜トランジスタを得ることができる。またゲート電極の幅が小さくなることによって、薄膜トランジスタを小形に形成することができる。またゲート絶縁膜自体に段差部が形成されるので、他の膜を段差状に形成する必要がない。したがって本発明の薄膜トランジスタを液晶表示装置に用いた場合、薄膜トランジスタを小形にすることによって、画素の開口率を向上させることができ、明るい液晶表示装置を実現できる。また、薄膜トランジスタを小形にすることによって、画素寸法を小さくして画素密度を向上させることができ、従来のものより

40

50

高精細の液晶表示装置を実現できる。

【0045】

また本発明によれば、ゲート電極は、ゲート電極は、段差部を含めたゲート絶縁膜にゲート電極膜を積層した後、レジスト層などを形成することなく段差部付近を全体的にエッチングすることによって段差部に形成される。このようにして形成されるゲート電極の幅は、平坦状のゲート絶縁膜にゲート電極膜を形成し、レジスト層などを形成して部分的にエッチングすることによって形成されるゲート電極の幅より小さくなる。このようなゲート電極が形成される薄膜トランジスタは、ゲート電極の幅が小さいので、ソース電極とドレイン電極との間の距離が、平坦部にゲート電極を形成する薄膜トランジスタのソース電極とドレイン電極との間の距離より短くなる。したがってソース電極とドレイン電極との間をキャリアが移動するのに要する時間を短くし、高速かつ高性能な薄膜トランジスタを得ることができる。またゲート電極の幅が小さくなることによって、薄膜トランジスタを小形に形成することができる。したがって本発明の薄膜トランジスタを液晶表示装置に用いた場合、薄膜トランジスタを小形にすることによって、画素の開口率を向上することができる、明るい液晶表示装置を実現できる。また、薄膜トランジスタを小形にすることによって、画素寸法を小さくして画素密度を向上させることができ、従来ものより高精細の液晶表示装置を実現できる。

10

【0046】

また本発明によれば、ゲート電極は、段差部を部分的に覆う位置に形成されるゲート配線と一体的に形成される。これによってゲート電極とゲート配線とを別に形成し接続する場合のような接続不良が防がれ、信頼性の高い薄膜トランジスタを得ることができる。

20

【0047】

また本発明によれば、高速化および高性能化を図った薄膜トランジスタを用いることによって、表示品位の高い液晶表示装置を実現できる。

【0048】

また本発明によれば、薄膜トランジスタを形成するにあたって、半導体膜を形成した基板にゲート絶縁膜を形成し、所望の位置に段差部が形成されるように考慮してゲート絶縁膜に段差部を形成する。その後、段差部が形成されたゲート絶縁膜にゲート電極膜を形成し、段差部付近をレジスト層などを形成することなく全体をエッチングすることによって、段差部にゲート電極を形成することができる。このように形成されるゲート電極の幅は、平坦状のゲート絶縁膜に形成されるゲート電極の幅より小さく、ソース電極とドレイン電極との間の距離を小さくして、高速かつ高性能であり、かつ小形の薄膜トランジスタを形成することができる。本発明では、このような効果を達成することができる薄膜トランジスタをゲート絶縁膜に段差を形成するだけの簡単な作業によって、微細なレジスト層のマスクを形成するなどの細かな、高度かつ高精度の技術が要求される作業を必要とすることなく薄膜トランジスタを形成することができる。

30

【0049】

また本発明によれば、ゲート電極膜をエッチングする工程では、段差部を部分的に覆う位置に線状のレジスト層のマスクを形成した後、ゲート電極膜を全体的にエッチングする。マスクを形成した部分のゲート電極膜は、エッチング後も残るので、この部分をゲート配線にする。したがってゲート電極とゲート配線とは、一体的に形成されるので、配線部分を形成する工程が省け、薄膜トランジスタを製造する際に要する作業時間が短縮できるとともにコストダウンおよび信頼性が向上される。

40

【図面の簡単な説明】

【図1】本実施の形態に係る薄膜トランジスタの断面図である。

【図2】シングルゲート薄膜トランジスタの部分平面図である。

【図3】薄膜トランジスタの製造工程を示すフローチャートである。

【図4】製造工程を段階的に示す断面図である。

【図5】ダブルゲート薄膜トランジスタの部分平面図である。

【図6】従来の一般的な薄膜トランジスタの製造工程を段階的に示す断面図である。

50

フロントページの続き

(51) Int.Cl.⁷

H 0 1 L 29/423

H 0 1 L 29/49

F I

H 0 1 L 29/58

G

テーマコード(参考)

F ターム(参考) 4M104 AA09 CC05 DD04 FF06 GG09 GG10 GG14 HH14
5C094 AA05 AA10 AA13 AA21 AA31 AA42 AA43 AA44 AA48 AA53
BA03 BA43 CA19 DA13 FA01 FA02 FB12 FB14 FB15
5F110 AA01 BB02 CC02 DD02 DD13 EE22 EE28 FF02 FF12 FF28
FF29 GG02 GG13 HJ12 PP03 QQ02 QQ04

专利名称(译)	薄膜晶体管及其制造方法和液晶显示装置		
公开(公告)号	JP2004087699A	公开(公告)日	2004-03-18
申请号	JP2002245453	申请日	2002-08-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	渋谷司		
发明人	渋谷 司		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L21/336 H01L29/423 H01L29/49 H01L29/786		
FI分类号	H01L29/78.617.K G02F1/1368 G09F9/30.338 G09F9/35 H01L29/78.617.S H01L29/58.G		
F-TERM分类号	2H092/GA20 2H092/JA25 2H092/JA34 2H092/JA38 2H092/JA46 2H092/JB01 2H092/JB56 2H092/JB58 2H092/KA04 2H092/MA13 2H092/MA18 2H092/MA37 2H092/NA05 2H092/NA07 2H092/NA22 4M104/AA09 4M104/CC05 4M104/DD04 4M104/FF06 4M104/GG09 4M104/GG10 4M104/GG14 4M104/HH14 5C094/AA05 5C094/AA10 5C094/AA13 5C094/AA21 5C094/AA31 5C094/AA42 5C094/AA43 5C094/AA44 5C094/AA48 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5F110/AA01 5F110/BB02 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE22 5F110/EE28 5F110/FF02 5F110/FF12 5F110/FF28 5F110/FF29 5F110/GG02 5F110/GG13 5F110/HJ12 5F110/PP03 5F110/QQ02 5F110/QQ04 2H192/AA24 2H192/CB02 2H192/CB13 2H192/CB82 2H192/CC02 2H192/HA35 2H192/HA62 2H192/JA02		
代理人(译)	广濑MineTaro		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种实现高速和高性能的薄膜晶体管及其制造方法，并提供一种液晶显示装置。
 ŽSOLUTION：在栅极绝缘膜14上形成台阶差25，并且在差分25上以侧壁状态形成栅电极15。由于与栅极相比，形成在膜14上的电极15的宽度减小形成在平坦栅极绝缘膜5上的电极6，在差分25上形成有电极15的薄膜晶体管10 (10A) 的源电极16和漏电极17之间的距离变得比源电极之间的距离短如图8所示，薄膜晶体管1的漏电极9在平坦部分上具有电极6。因此，由于通过加速晶体管10 (10A) 中的半导体中的载流子的移动速度来获得具有高速和高性能的晶体管10 (10A) ，所以具有高显示质量水平的液晶显示装置可以实现。Ž

