

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A ) (11)特許出願公開番号

特開2003 - 177375

(P2003 - 177375A)

(43)公開日 平成15年6月27日 (2003.6.27)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-ド* (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 3
G 0 9 G 3/20	611	G 0 9 G 3/20	611 E 5 C 0 0 6
	621		621 B 5 C 0 8 0
	624		621 M
			624 B

審査請求 未請求 請求項の数 7 O L (全 25数) 最終頁に続く

(21)出願番号 特願2001 - 378031(P2001 - 378031)

(22)出願日 平成13年12月12日 (2001.12.12)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 中野 武俊

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72)発明者 大和 朝日

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74)代理人 100102277

弁理士 佐々木 晴康 (外2名)

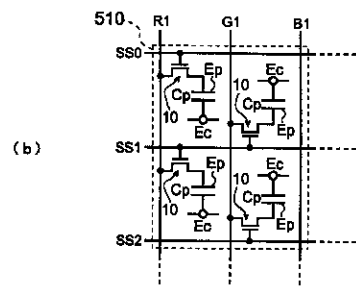
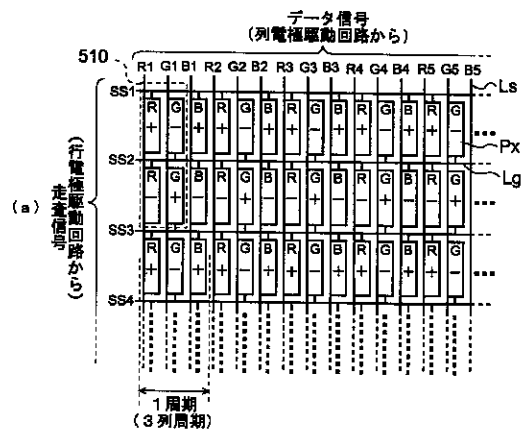
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 千鳥構造により擬似的にドット反転駆動を実現しつつ「チェッカーバック」等の表示において縦シャド-の発生を抑制する。

【解決手段】 液晶パネルにおいて同一の走査信号線 L g によって駆動される各画素形成部を、その走査信号線 L g を挟んで上下に隣接する 2 画素行に分散的に、かつ、3 画素についての「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置する。このような 3 列周期の変形千鳥構造の液晶パネルを 1 H 反転駆動用の列電極駆動回路で駆動することにより、擬似的にドット反転駆動を実現する。また、液晶パネルを、この 3 列周期の変形千鳥構造に代えて、1 2 画素についての「下、上、下、上、下、上、上、下、上、下、上、下」という配置位置の系列を単位として上下位置につき水平方向に周期性を有するように配置した構成、すなわち 1 2 列周期の変形千鳥構造としてもよい。



## 【特許請求の範囲】

【請求項1】 カラー画像を表示する液晶表示装置であって、

複数のデータ信号線と、

前記複数のデータ信号線と交差する複数の走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されていることを特徴とする液晶表示装置。

【請求項2】 カラー画像を表示する液晶表示装置であって、

複数のデータ信号線と、

前記複数のデータ信号線と交差する複数の走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段とを備え、

前記各画素形成手段は、

対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、

前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含

み、

同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されていることを特徴とする液晶表示装置。

【請求項3】 前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記カラー画像を表示するためのデータ信号を出力し前記データ信号線に印加する出力手段と、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備えることを特徴とする、請求項1または2に記載の液晶表示装置。

【請求項4】 複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備え、同一走査信号線によって駆動される画素形成手段に含まれる画素電極である同時選択画素電極が、前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する2行に分散的に配置される液晶パネルに対し、当該液晶パネルに画像を表示するためのデータ信号を供給する列電極駆動回路であって、

前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を出力し前記データ信号線に印加する出力手段と、

前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備えることを特徴とする列電極駆動回路。

【請求項5】 前記液晶パネルに表示すべき画像を表す画像データを1ライン分ずつ1水平走査期間だけ順次保持し、保持されている1ライン分の当該画像データを示す内部画像信号を出力する保持手段を備え、

前記出力手段は、前記画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記内部画像信号に基づき前記データ信号を出力し、

前記遅延手段は、前記保持手段と前記出力手段との間に挿入され、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線に印加すべき前記データ信号を前記出

力手段から出力するための前記内部画像信号を選択的に1水平走査期間だけ遅延させることを特徴とする、請求項4に記載の列電極駆動回路。

【請求項6】 複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備え、同一走査信号線によって駆動される画素形成手段に含まれる画素電極である同時選択画素電極が前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する2行に分散的に配置される液晶パネルを、カラー画像データに基づき駆動する駆動方法であって、前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する走査側駆動ステップと、前記画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記カラー画像データの表す画像を表示するためのデータ信号を前記データ信号線に印加するデータ側駆動ステップと、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる選択遅延ステップとを備え、前記走査側駆動ステップでは、前記マトリクスにおいて上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置された画素電極を含む画素形成手段が同一走査信号線によって駆動されることを特徴とする駆動方法。

【請求項7】 複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備え、同一走査信号線によって駆動される画素形成手段に含まれる画素電極である同時選択画素電極が前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する2行に分散的に配置される液晶パネルを、カラー画像データに基づき駆動する駆動方法であって、前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する走査側駆動ステップと、前記画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記カラー画像データの表す画像を表示するためのデータ信号を前記データ信号線に印加するデータ側駆動ステップと、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ

信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる選択遅延ステップとを備え、前記走査側駆動ステップでは、前記マトリクスにおいて上下に隣接する2行に分散的に、かつ、12個の画素電極についての「上、下、上、下、上、下、下、上、下、上、下、上」または「下、上、下、上、下、上、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置された画素電極を含む画素形成手段が同一走査信号線によって駆動されることを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同一走査線に対応する画素電極を同一直線上に配置するのではなく上下にずらして配置した構造（いわゆる「千鳥構造」）を採用することでドット反転駆動を擬似的に実現するアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】従来のアクティブマトリクス型の液晶パネルは、液晶層を挟む2枚の透明基板のうちの一方の基板上に、複数のデータ線（「データ信号線」または「列電極」ともいう）と当該複数のデータ信号線と交差する複数の走査信号線（「行電極」ともいう）とを形成し、各交差点に対応して形成される画素電極をマトリクス状に配置した構成となっている。そして、各画素電極は、それに対応する交差点を通過するデータ線にスイッチング素子としてのTFT（Thin Film Transistor）を介して接続され、そのTFTのゲート端子は、その交差点を通過する走査信号線に接続されている。そして他方の透明基板には、上記複数の画素電極に共通の対向電極が形成されている。このような構成の液晶パネルを使用する液晶表示装置は、その液晶パネルに画像を表示させるための駆動回路として、上記複数の走査信号線を交番かつ順次に選択するための走査信号を上記複数の走査信号線に印加する行電極駆動回路（「走査線駆動回路」または「走査ドライバー」とも呼ばれる）と、上記液晶パネルにおける各画素形成部にデータを書き込むために上記複数のデータ線にデータ信号を印加する列電極駆動回路（「信号線駆動回路」または「データドライバー」とも呼ばれる）とを備えている。このような構成において、各画素電極と対向電極との間に当該画素電極に対応する画素の値に相当する電圧を印加し、その電圧印加に応じて液晶層の透過率を変化させることにより、上記液晶パネルに画像が表示される。このとき、液晶層を構成する液晶材料の劣化を防止するために、液晶パネルは交流駆動される。すなわち、各画素電極と対向電極との間に印加される電圧の正負の極性が例えば1フレーム毎に反転するように、列電極駆動回路が上記データ信号を出力する。

【0003】一般にアクティブ型の液晶パネルにおいて

は、画素毎に設けられたTFT等のスイッチング素子の特性が十分でないために、列電極駆動回路から出力されるデータ信号（対向電極の電位を基準とする印加電圧）の正負が対称であっても、液晶層の透過率は正負のデータ電圧に対して完全に対称とはならない。このため、1フレーム毎に液晶への印加電圧の正負極性を反転させる駆動方式（1フレーム反転駆動方式）では、液晶パネルよる表示においてフリッカが発生する。

【0004】このようなフリッカに対する対策として、1水平走査線毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式（以下「1H反転駆動方式」という）が知られている。また、画素を形成する液晶層への印加電圧の正負極性を1走査信号線毎かつ1データ線毎に反転させつつ1フレーム毎にも反転させる駆動方式（以下「ドット反転駆動方式」という）も知られている。このドット反転駆動方式を1H反転駆動方式と比較すると、フリッカの抑制効果については明らかにドット反転駆動方式の方が優れている。また、1H反転駆動方式では、画面に動きが生じる場合これを目で追う動作をすると、画面上において横すじが観察者によって知覚されるという問題もある。

【0005】このように表示品位の観点からは、1H反転駆動方式よりもドット反転駆動方式の方が有利である。しかし、1H反転駆動方式は、1水平走査期間毎に対向電極（共通電極）の電位を変化させることによって、列電極駆動回路を実現するIC（Integrated Circuit）の耐圧を低く抑えることができるという利点を有している。これに対しドット反転駆動方式では、同一の水平走査線上（画素マトリクスにおける同一行）における或る画素電極に正の電圧が印加されると同時に他の或る画素には負の電圧が印加されるので、列電極駆動回路ICの耐圧を高くする必要がある。

【0006】そこで、1H反転駆動に対応した構成の列電極駆動回路ICの使用によってそのICの耐圧を低く抑えつつドット反転駆動を擬似的に実現するために、図19(a)(b)に示すような千鳥構造の液晶パネルが提案されている。すなわち、画素電極がマトリクス状に配置される液晶パネルにおいて、同一の走査信号線にTFT（スイッチング素子）を介して接続される画素電極を、画素マトリクスにおける同一行に配置するのではなく、上下にずらして、隣接する2行に分散的に配置する、という構造が知られている。

【0007】例えば特開平4-309926号公報には、表示画素を液晶セルとスイッチング素子と当該画素を複数個互いにマトリクスアレイ状に配列し、各列及び各行の表示画素間をそれぞれ複数の信号線及び走査線が互いにほぼ直交するように交叉されて接続して構成される液晶表示装置であって、上記同一の走査線によって駆動される画素が上記信号線の少なくとも1画素毎に上下にずれている事の特徴とする液晶表示装置が開示され

ている。そして同公報には、この液晶表示装置の作用につき「駆動素子の接続画素が信号線毎に一走査線分ずつれている事により、通常の走査線毎に極性を反転するフリッカレス駆動を行うだけで、画素毎に反転している様に知覚され、縦すじ、横すじが目立たなくなる。」と記載されている。

【0008】

【発明が解決しようとする課題】しかし、上記のような千鳥構造により擬似的にドット反転駆動（以下「擬似ドット反転駆動」という）を実現したとしても、なお表示品位につき問題が残っている。すなわち、擬似ドット反転駆動方式を採用した上記従来の液晶表示装置において、例えばウィンドウズ（登録商標）の終了画面等で使用される、図24(a)に示すような「チェッカーバツク」と呼ばれる市松模様を表示すると、縦方向に延びる縞状の模様（以下「縦シャドー」という）が画面に現れる。また、この縦シャドーは、擬似ドット反転駆動方式ではなく本来のドット反転駆動方式（以下「真正ドット反転駆動方式」という）を採用した場合においても発生する。そこで以下では、擬似ドット反転駆動方式を採用した場合と真正ドット反転駆動方式を採用した場合の双方につき、この縦シャドーの発生機構について説明する。

【0009】図19(c)に示すように、液晶パネルにおける各画素形成部は、2本のデータ線 $L_{ss}$ と $L_{sn}$ に挟まれており、ゲート端子が走査信号線 $L_g$ に接続されたTFTと、そのTFTを介してデータ線 $L_{ss}$ に接続された画素電極 $E_p$ と、各画素形成部に共通的に形成された対向電極 $E_c$ とから構成される。そして、それら2本のデータ線のうち当該画素形成部（詳しくは画素電極 $E_p$ と対向電極 $E_c$ とによって形成される画素容量 $C_p$ ）にデータを書き込むためのデータ線（以下「対応データ線」という） $L_{ss}$ と当該画素形成部の画素電極 $E_p$ との間に寄生容量（以下「 $C_{sd}$ （自）」という）が存在すると共に、それら2本のデータ線のうちの他方のデータ線（以下「隣接データ線」という） $L_{sn}$ と当該画素形成部の画素電極 $E_p$ との間にも寄生容量（以下「 $C_{sd}$ （他）」という）が存在する。このため各画素の値は、当該画素を形成する画素形成部にデータを書き込んだ後（TFTがオフの状態）において、 $C_{sd}$ （自）を介して対応データ線 $L_{ss}$ の信号変化の影響を受けると共に、 $C_{sd}$ （他）を介して隣接データ線 $L_{sn}$ の信号変化の影響を受ける。以下では、これら対応データ線 $L_{ss}$ および隣接データ線 $L_{sn}$ の信号変化による影響によって縦シャドーが発生するものとして説明する。なお、 $C_{sd}$ （自）と $C_{sd}$ （他）はほぼ等しいので、以下では $C_{sd}$ （自）= $C_{sd}$ （他）として説明する。

<擬似ドット反転駆動方式の場合>まず、図19(a)~(c)に示すような千鳥構造のアクティブマトリクス

型液晶パネルにおいて、擬似ドット反転駆動方式で「チェッカーバック」を表示する場合を考える。ここで、図19(a)は、このような液晶パネルの構成を模式的に示し、図19(b)は、図19(a)に示す液晶パネルにおける2×2画素に相当する部分810の等価回路を示し、図19(c)は、このような液晶パネルにおける1画素に相当する部分の等価回路を寄生容量を含めて示している。

【0010】この場合、或るフレーム(期間)F1では図20(a)に示すような正負極性で「チェッカーバック」が表示され、次のフレームF2では図20(b)に示すような正負極性で「チェッカーバック」が表示される。ここでは、説明の便宜上、有効な水平走査線数を5とし、データ線数を6とする(ただし、千鳥構造の場合には、走査信号線数は6であって表示上有効な水平走査線数よりも1だけ多い)。また、図20(a)(b)において、クロスハッチングの付されている画素形成部は黒の表示を、クロスハッチングの付されていない画素形成部は白の表示をそれぞれ示しており、R(赤)、G(緑)、B(青)の隣接3画素を表示単位として白と黒とが水平および垂直方向に交互に表示されるものとする。なお、R1、G1、B1、R2、G2、B2は、6本のデータ線にそれぞれ印加されるデータ信号を表すが、そのデータ線によってデータの書き込まれる画素形成部の列(以下、便宜上「画素列」ともいう)をも表すものとする(縦シャドウ発生の説明に関する以上の前提は、以下においても同様)。

【0011】この場合、データ信号G1、B1、R2は、対向電極Ecの電位を基準とすると、それぞれ図20(c)(d)(e)に示すように変化する。この図20(c)~(e)において、“+V1”および“-V1”は、各画素形成部を構成する液晶層部分(以下「画素液晶」という)のうち白を表示すべき画素液晶に印加する正極性および負極性の電圧をそれぞれ示し、“+V2”および“-V2”は、黒を表示すべき画素液晶に印加する正極性および負極性の電圧をそれぞれ示している(以下においても同様)。また、前述のように“F1”、“F2”は、連続する2つのフレームを表し、“S1”~“S6”は、図20(a)(b)に示す走査信号SS1~SS6がそれぞれアクティブとなる期間すなわち1フレーム内における水平走査期間を表す。

【0012】いま、G1列1行目の画素形成部(以下、便宜上「画素」とも呼ぶ。以下においても同様。)に注目すると、この注目画素の対応データ線Lssの信号はG1で、隣接データ線Lsnの信号はB1となる(図19(c)、図20(a)参照)。この注目画素には、フレームF1における水平走査期間S1においてデータ(-V2)が書き込まれる。この注目画素の値(書き込まれた値)に対する両データ線Lss、Lsnの信号変化による影響の仕方(影響の方向、程度)は、この書き

込み時点における対応データ線Lssの信号値および隣接データ線Lsnの信号値をそれぞれ基準とする両データ線の信号変化量によって決まる。そこで、以下では、図20(c)~(e)を参照し、この書き込み時点における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、両データ線の信号変化量を求める。

【0013】注目画素への書込期間であるフレームF1の水平走査期間S1では、当然、対応データ線(信号G1)および隣接データ線(信号B1)の信号変化量は共に0である。これに対し、水平走査期間がS1からS2へと移ると、信号G1は-V2から+V1へと変化し、信号B1は-V1から+V2へと変化するので、対応データ線および隣接データ線の信号変化量は、共に+(V1+V2)となる。また、次の水平走査期間S3では、信号G1=-V2、信号B1=-V1というように、注目画素への書込時点の信号値に等しくなるので、対応データ線および隣接データ線の信号変化量は、共に0となる。さらに次の水平走査期間S4では、信号G1=+V1、信号B1=+V2となり、注目画素への書込時点の信号値(B1=-V2、B1=-V1)を基準とする対応データ線および隣接データ線の信号変化量は、共に+(V1+V2)となる。同様にして、対応データ線および隣接データ線の信号変化量は、フレームF1では、水平走査期間S5において共に0となり、水平走査期間S6において共に+(V1+V2)となる。

【0014】フレームの切り替わり後すなわちフレームF2の水平走査期間S1には、注目画素のデータが書き換えられるので、フレームF2の期間についてはG1列の5行目の画素(フレームF2において最後にデータの書き換えられる画素)を注目画素とし、この新たな注目画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。この場合、この注目画素(G1列の5行目の画素)の書き込み時点(フレームF1の水平走査期間S5)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、両データ線の信号変化量を上記と同様に求めてみると、次のようになる。すなわち、図20(c)(d)より、フレームF2では、水平走査期間S1において対応データ線(信号G1)の信号変化量は+2V2であって隣接データ線(信号B1)の信号変化量は+2V1であり、水平走査期間S2において対応データ線の信号変化量は+(V2-V1)であって隣接データ線の信号変化量は-(V2-V1)であり、水平走査期間S3において対応データ線の信号変化量は+V2であって隣接データ線の信号変化量は+V1であり、水平走査期間S4において対応データ線の信号変化量は+(V2-V1)であって隣接データ線の信号変化量は-(V2-V1)であり、水平走査期間S5において対応データ線の信号変化量は+V2であって

隣接データ線の信号変化量は+V1であり、水平走査期間S6において対応データ線の信号変化量は+(V2-V1)であって隣接データ線の信号変化量は-(V2-V1)である。

【0015】以上のようにして、G1列の画素に注目した場合、対応データ線および隣接データ線の信号変化量は、注目画素の書込時点のそれぞれのデータ線の信号値を基準とすると(ただしフレームF1とF2とで注目画素が異なる)、図21(a)に示すようになる(一部省略あり)。

【0016】次に、「チェッカーバック」における白の表示単位と黒の表示単位との境界部に位置するB1列の画素(1行目および5行目)に注目すると、これらの注目画素の対応データ線Lssの信号はB1で、隣接データ線Lsnの信号はR2となる。この場合、図20(d)(e)を参照し、上記と同様にして、これらの注目画素の書込時点の対応データ線および隣接データ線の信号値をそれぞれ基準とする両データ線の信号変化量を求めると、図21(b)に示すようになる。

【0017】G1列の画素に注目した場合、図21(a)に示すようにフレームF1(フレームの切り替わり前)では、対応データ線および隣接データ線の信号変化量は共に正值であるので、注目画素(G1列1行目)は、その値(-V2)が増大する方向に影響を受ける。一方、B1列の画素に注目した場合、図21(b)に示すようにフレームF1(フレームの切り替わり前)では、対応データ線および隣接データ線の信号変化量は共に負値であるので、注目画素(B1列1行目)は、その値(+V2)が減少する方向に影響を受ける。このようにG1列とB1列とでは、注目画素の値の正負の違い(-V2と+V2)に対応して信号変化量の正負が異なるが(+ (V1+V2)と-(V1+V2))、それらの絶対値は等しいので、表示上の影響は同じと考えられる。

【0018】これに対し、フレームF2(フレームの切り替わり後)では、図21(a)に示す信号変化量と図21(b)に示す信号変化量とを比較すればわかるように、G1列の注目画素(5行目)とB1列の注目画素(5行目)とでは、対応データ線および隣接データ線の信号変化による影響の仕方が異なる。すなわち、フレームの切り替わり後は、G1列の注目画素とB1列の注目画素とは、共に、それらの値(-V2と+V2)の絶対値が概ね減少する方向に影響を受けるが、V2がV1よりも十分に大きいことを考慮すれば、B1列の画素の受ける影響の程度は、G1列の画素の受ける影響の程度よりも大きい。なお、R1列の画素の受ける影響は、G1列の画素の受ける影響と実質的に同等である。したがって、対応データ線および隣接データの信号変化から受ける影響の大きいB1列のような「チェッカーバック」の境界部に、縦シャドウが現れることになる。

10

<真正ドット反転駆動方式の場合>次に、千鳥構造ではない標準的な構造のアクティブマトリクス型液晶パネルにおいて、真正ドット反転駆動方式で「チェッカーバック」を表示する場合を考える。この場合、或るフレームF1では、図22(a)に示すような正負極性で「チェッカーバック」が表示され、次のフレームF2では、図22(b)に示すような正負極性で「チェッカーバック」が表示される。なお、ここでは、液晶パネルが千鳥構造ではないため、有効な水平走査線数と走査信号線数

10

は同数であって共に5である。  
【0019】この場合、データ信号G1、B1、R2は、対向電極Ecの電位を基準とすると、それぞれ図22(c)~(e)に示すように変化する。この図22(c)~(e)において、S1~S5は、図22(a)(b)に示す走査信号SS1~SS5がそれぞれアクティブとなる期間すなわち1フレーム内における水平走査期間を表す。以下、22(c)~(e)を参照し、注目すべき画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。

20

【0020】まず、上記の擬似ドット反転駆動方式の場合と同様、G1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、G1列1行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S1)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(+V2)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、G1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S5)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(+V2)をそれぞれ基準として、フレームF2での両データ線の信号変化量を求める。図23(a)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している(一部省略あり)。

30

【0021】次に、上記の擬似ドット反転駆動方式の場合と同様、「チェッカーバック」における白の表示単位と黒の表示単位との境界部に位置するB1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まずB1列1行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S1)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(-V1)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、B1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S5)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(-V1)をそれぞれ基準として、フレームF2での両データ線の信号変化量を求める。図23(b)は、この

50

ようにして求めたフレーム F 1 および F 2 での両データ線の信号変化量を示している（一部省略あり）。

【0022】G 1 列の画素に注目した場合、図 2 3 (a) に示すように、フレーム F 1 および F 2 (フレームの切り替わり前および切り替わり後) の双方において、対応データ線の信号 G 1 と隣接データ線の信号 B 1 とは「相補的」に変化する。すなわち、注目画素へのデータ書込時点におけるそれぞれのデータ線の信号値を基準とすると、両データ線の信号値（電圧値）は、一方が増加すると他方が減少する関係にあり、かつ変化量の絶対値が同じである。このため、2 つの寄生容量 C s d (自) と C s d (他) を介しての注目画素値への両データ線による影響は相殺される。したがって、結果的に、両データ線の信号変化は、G 1 列の注目画素の値に影響を与えないことになる。

【0023】一方、B 1 列の画素に注目した場合も、図 2 3 (b) に示すように、フレーム F 1 (フレームの切り替わり前) では、対応データ線の信号 B 1 と隣接データ線の信号 R 2 とは相補的に変化する。しかし、フレーム F 2 (フレームの切り替わり後) では、両データ線の信号 B 1 と R 2 の変化は相補的ではない。したがって、両データ線の信号変化が、寄生容量 C s d (自) と C s d (他) をそれぞれ介して B 1 列の注目画素の値に影響を与えることになる。

【0024】このようにして、G 1 列の画素の値は本来の値のままであるのに対して (R 1 列の画素値も同様)、「チェッカーバック」の境界部に位置する B 1 列の画素の値は、本来の値から変化する。これにより、液晶パネルの画面に縦シャドーが現れることになる。

<発明の目的> 以上のように、ドット反転駆動方式を採用した場合には、真正のドット反転駆動方式を採用したとしても、「チェッカーバック」を表示すると縦シャドーが現れる。すなわち、擬似ドット反転駆動方式が真正ドット反転駆動方式かを問わず、ドット反転駆動方式を採用した場合において、「チェッカーバック」は、縦シャドーの発生のように表示上問題となる事象を生じさせるパターン、いわゆる「キラーパターン」となる。このようなキラーパターンの存在しない駆動方式が理想的ではあるが、現実には、そのような駆動方式に基づく液晶パネルや液晶表示装置の実現は困難である。なお、擬似ドット反転駆動方式と真正ドット反転駆動方式とを駆動回路の実現上の観点から比較した場合、既述のように、駆動回路用 IC の耐圧を低く抑えられるという点で擬似ドット反転駆動方式が有利である。

【0025】そこで本発明は、千鳥構造によって擬似的にドット反転駆動を実現しつつ、「チェッカーバック」等のキラーパターンを表示した場合に縦シャドーの発生をできるだけ抑制できる液晶表示装置を提供することを目的とする。

【0026】

【課題を解決するための手段】第 1 の発明は、カラー画像を表示する液晶表示装置であって、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段とを備え、前記各画素形成手段は、対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する 2 行に分散的に、かつ、3 個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されていることを特徴とする。

【0027】このような第 1 の発明によれば、同時選択画素電極が隣接 2 行に分散的に配置されているため、行間での交流駆動 (1 H 反転駆動用の列電極駆動回路による駆動) により擬似的にドット反転駆動を実現できると共に、同時選択画素電極が 3 個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されているため、「チェッカーバック」(市松模様) の表示において縦シャドーの発生を抑えることができる。

【0028】第 2 の発明は、カラー画像を表示する液晶表示装置であって、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成手段とを備え、前記各画素形成手段は、対応する交差点を通過する走査信号線である対応走査信号線によってオンおよびオフされるスイッチング素子と、対応する交差点を通過するデータ信号線である対応データ信号線に前記スイッチング素子を介して接続される画素電極と、前記複数の画素形成手段に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された対向電極と、前記複数の画素形成手段に共通的に設けられ、前記画素電極と前記対向電極との間に挟持される液晶層とを含み、同一走査信号線によってオンおよびオフされるスイッチング素子に接続される画素電極である同時選択画素電極は、前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する 2 行に分散的に、か

つ、12個の画素電極についての「上、下、上、下、上、下、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されていることを特徴とする。

【0029】このような第2の発明によれば、同時選択画素電極が隣接2行に分散的に配置されているため、1H反転駆動用の列電極駆動回路により擬似的にドット反転駆動を実現できると共に、同時選択画素電極が12個の画素電極についての「上、下、上、下、上、下、上、下、上、下、上、下、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置されているため、「チェッカーバック」（市松模様）の表示および「横ストライプバック」（水平方向のストライプ模様）の表示の双方において縦シャドーの発生を抑えることができる。

【0030】第3の発明は、第1または第2の発明において、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記カラー画像を表示するためのデータ信号を出力し前記データ信号線に印加する出力手段と、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段の前記対応データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備えることを特徴とする。

【0031】このような第3の発明によれば、遅延手段による選択的遅延により、データ信号は同時選択画素電極の隣接2行への分散的配置（変形的な千鳥構造）に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0032】第4の発明は、複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備え、同一走査信号線によって駆動される画素形成手段に含まれる画素電極である同時選択画素電極が、前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する2行に分散的に配置される液晶パネルに対し、当該液晶パネルに画像を表示するためのデータ信号を供給する列電極駆動回路であって、前記各画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記データ信号を出力し前記データ信号線に印加する出力手段と、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる遅延手段とを備えることを特徴とする。

【0033】このような第4の発明によれば、遅延手段による選択的遅延により、データ信号は液晶パネルにおける同時選択画素電極の隣接2行への分散的配置に応じたタイミングでデータ信号線に印加されるので、千鳥構造の液晶パネルにおいて、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0034】第5の発明は、第4の発明において、前記液晶パネルに表示すべき画像を表す画像データを1ライン分ずつ1水平走査期間だけ順次保持し、保持されている1ライン分の当該画像データを示す内部画像信号を出力する保持手段を備え、前記出力手段は、前記画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記内部画像信号に基づき前記データ信号を出力し、前記遅延手段は、前記保持手段と前記出力手段との間に挿入され、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線に印加すべき前記データ信号を前記出力手段から出力するための前記内部画像信号を選択的に1水平走査期間だけ遅延させることを特徴とする。

【0035】第6の発明は、複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれに対応してマトリクス状に配置された複数の画素形成手段とを備え、同一走査信号線によって駆動される画素形成手段に含まれる画素電極である同時選択画素電極が前記複数の画素形成手段からなるマトリクスにおいて上下に隣接する2行に分散的に配置される液晶パネルを、カラー画像データに基づき駆動する駆動方法であって、前記複数の走査信号線を1水平走査期間毎に交番かつ順次に選択するための走査信号を前記複数の走査信号線に印加する走査側駆動ステップと、前記画素電極の電圧の極性が前記同時選択画素電極につき同一であって水平走査期間毎に切り換わるように、前記カラー画像データの表す画像を表示するためのデータ信号を前記データ信号線に印加するデータ側駆動ステップと、前記同時選択画素電極のうち前記2行の上側行に配置される画素電極を含む画素形成手段に対応する前記データ信号線への前記データ信号の印加を選択的に1水平走査期間だけ遅延させる選択遅延ステップとを備え、前記走査ステップでは、前記マトリクスにおいて上下に隣接する2行に分散的に、かつ、3個の画素電極についての「上、下、上」または「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置された画素電極を含む画素形成手段が同一走査信号線によって駆動されることを特徴とする。

【0036】第7の発明は、複数のデータ信号線と、当該複数のデータ信号線と交差する複数の走査信号線と、当該複数のデータ信号線と当該複数の走査信号線との交



それぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を 1 垂直走査期間を周期として繰り返す。

【0043】液晶パネル500は、上記のようにして、データ線には列電極駆動回路300によってデジタル画像信号Dr, Dg, Dbに基づくデータ信号が印加され、走査信号線には行電極駆動回路400によって走査信号が印加される。これにより液晶パネル500は、外部のCPU等から受け取った画像データDvの表すカラー画像を表示する。

< 1.2 表示制御回路 > 図1(b)は、上記の液晶表示装置における表示制御回路200の構成を示すブロック図である。この表示制御回路200は、入力制御回路20と表示メモリ21とレジスタ22とタイミング発生回路23とメモリ制御回路24とを備えている。

【0044】この表示制御回路200が外部のCPU等から受け取る広義の画像データDvを示す信号(以下、この信号も符号“Dv”で表すものとする)およびアドレス信号ADwは、入力制御回路20に入力される。入力制御回路20は、アドレス信号ADwに基づき、広義の画像データDvを、3種類のカラー画像データR, G, Bと表示制御データDcとに振り分ける。そして、カラー画像データR, G, Bを表す信号(以下、これらの信号も符号“R”, “G”, “B”で表すものとする)をアドレス信号ADwに基づくアドレス信号ADと共に表示メモリ21に供給することで3種類の画像データR, G, Bを表示メモリ21に書き込むと共に、表示制御データDcをレジスタ22に書き込む。ここで、3種類の画像データR, G, Bは、画像データDvの表す画像の赤色成分、緑色成分、青色成分をそれぞれ表すデータである。表示制御データDcは、クロック信号CKの周波数や画像データDvの表す画像を表示するための水平走査期間および垂直走査期間を指定するタイミング情報を含んでいる。

【0045】タイミング発生回路(以下「TG」と略記する)23は、レジスタ22の保持する上記表示制御データに基づき、クロック信号CK、水平同期信号HSYおよび垂直同期信号VSYを生成する。また、TG23は、表示メモリ21およびメモリ制御回路24をクロック信号CKに同期させて動作させるためのタイミング信号を生成する。

【0046】メモリ制御回路24は、外部から入力されて入力制御回路20を介して表示メモリ21に格納された画像データR, G, Bのうち、液晶パネル500に表示すべき画像を表すデータを読み出すためのアドレス信号Adrと、表示メモリ21の動作を制御するための信号とを生成する。これらのアドレス信号Adrおよび制御信号は表示メモリ21に与えられ、これにより、液晶パネル500に表示すべき画像の赤色成分、緑色成分、青色成分を表すデータがそれぞれ赤色画像信号Dr、緑

色画像信号Dg、青色画像信号Dbとして表示メモリ21から読み出され、表示制御回路200から出力される。これら3種類のデジタル画像信号Dr, Dg, Dbは、既述のように列電極駆動回路300に供給される。

< 1.3 液晶パネル > 図2(a)は、本実施形態に係る液晶表示装置における液晶パネル500の構成を示す模式図であり、図2(b)は、この液晶パネル500の一部(4画素に相当する部分)510の等価回路を示す回路図である。これらの図において、Rj, Gj, Bj(j = 1, 2, 3, ...)は、データ線にそれぞれ印加されるデータ信号を表すが、そのデータ線によってデータの書き込まれる画素の列(画素形成部の列)をも表すものとする。また、SS1, SS2, SS3, ...は、走査信号線Lgにそれぞれ印加される走査信号を表すものとする。

【0047】この液晶パネル500は、列電極駆動回路300の複数の出力端子にそれぞれ接続される複数のデータ線Lsと、行電極駆動回路400の複数の出力端子にそれぞれ接続される複数の走査信号線Lgとを備え、当該複数のデータ線Lsと当該複数の走査信号線Lgとは、各データ線Lsと各走査信号線Lgとが交差するように格子状に配設されている。そして既述のように、当該複数のデータ線Lsと当該複数の走査信号線Lgとの交差点に対応して複数の画素形成部Pxがそれぞれ設けられている。各画素形成部Pxは、図2(b)に示すように、従来と同様(図19(c))、対応する交差点を通過するデータ線である対応データ線Lsにソース端子が接続されたTFT10と、そのTFT10のドレイン端子に接続された画素電極Epと、上記複数の画素形成部Pxに共通的に設けられた対向電極Ecと、上記複数の画素形成部Pxに共通的に設けられ画素電極Epと対向電極Ecとの間に挟持された液晶層とからなる。そして、画素電極Epと対向電極Ecとそれらの間に挟持された液晶層とにより画素容量Cpが形成され、その画素形成手段を挟む2本のデータ線Lsのうちの一方向のデータ線である対応データ線と画素電極Epとの間には寄生容量Csd(自)が形成されると共に、他方のデータ線である隣接データ線との画素電極Epとの間には寄生容量Csd(他)が形成される(図19(c)参照)。なお、従来と同様Csd(自) = Csd(自)とする。

【0048】上記のような画素形成部Pxは、マトリクス状に配置されて画素形成マトリクスを構成する。これに伴い、各画素形成部Pxに含まれる画素電極Epは画素電極マトリクスを構成し、この画素電極マトリクスにおいて、垂直方向に延びる画素電極列とデータ線Lsとは水平方向に交互に配置され、水平方向に延びる画素電極行と走査信号線Lgとは垂直方向に交互に配置される。ところで、画素形成部の主要部である画素電極は、液晶パネル500に表示される画像の画素と1対1に対応し同一視できる。そこで、以下では、説明の便宜上、

画素形成部  $P \times$  と画素をも同一視するものとする。したがって、「画素マトリクス」という表現を、「画素形成マトリクス」または「画素電極マトリクス」を意味するものとして使用する。なお、この液晶パネル500では、赤(R)、緑(G)、青(B)の画素からなる水平方向に隣接する3画素が表示単位となっている。

【0049】本実施形態では、同一の走査信号線  $L_g$  によってオンおよびオフされる TFT に接続される画素電極  $E_p$  は、画素マトリクスにおける同一の画素行に全て配置されるのではなく、隣接する2つの画素行に分散的に配置される。すなわち、画素マトリクスにおける同一画素行の各画素電極に接続される TFT10 のゲート端子は、同一の走査信号線に全て接続されるのではなく、その画素行を挟む2本の走査信号線に分散的に接続される。この点で、本実施形態における液晶パネルの構造は千鳥構造の一種と言える。しかし、本実施形態における液晶パネルでは、図2(a)に示すように、同一走査信号線  $L_g$  によってオン・オフされる TFT10 に接続される画素電極  $E_p$  が、上下に隣接する2つの画素行に分散的に、かつ、3個の画素電極についての「下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置される。すなわち、例えば走査信号  $SS_2$  が印加される走査信号線(上から2番目の走査信号線)に注目し、この走査信号線によってオン・オフされる TFT10 に接続される各画素電極  $E_p$  が1番目の画素行(以下「上行」という)と2番目の画素行(以下「下行」という)とのいずれに配置されているかを図の左から順(R1列、G1列、B1列...という順)に見ていくと、下行、上行、下行、下行、上行、下行、.....となっている。このように本実施形態における液晶パネルは、同一走査信号線によってオン・オフされる TFT に接続される画素電極が隣接2画素行に交互に配置される従来の千鳥構造(図19(a)(b))と相違し、同一走査信号線によってオン・オフされる TFT10 に接続される画素電極  $E_p$  がその走査信号線を挟む上下の2画素行のいずれに配置されるかという配置位置につき、3画素列を周期とする周期性を有している。以下では、本実施形態における上記マトリクス構造を「3列周期の変形千鳥構造」といい、従来の千鳥構造を「標準千鳥構造」という。なお、図2(a)に示した例では、同一走査信号線によってオン・オフされる TFT10 に接続される各画素電極  $E_p$  が配置される上下位置は、「下、上、下」を1周期とする周期性を有しているが、「上、下、上」を1周期とする周期性を有するように構成されていてもよい。

【0050】図2(a)において、各画素形成部  $P \times$  に付されている“+”は、当該画素形成部  $P \times$  を構成する画素液晶(もしくは画素電極)に正の電圧が印加されることを意味し、“-”は、当該画素形成部  $P \times$  を構成する画素液晶(もしくは画素電極)に負の電圧が印加され

ることを意味し、これら各画素形成部  $P \times$  に付された“+”と“-”により、画素マトリクスにおける極性パターンが示される。このようにして図2(a)において示されている極性パターンは、上記3列周期の変形千鳥構造の液晶パネル500を1H反転駆動用の列電極駆動回路により駆動したときの或るフレームでの極性パターンとなっている。

<1.4 列電極駆動回路> 上記のように本実施形態では、液晶パネル500における同一走査信号線にゲート端子が接続される TFT すなわち同一走査信号線によってオン・オフされる TFT に接続される画素電極(以下「同時選択画素電極」という)の全てが同一の画素行に配置されず、隣接する2つの画素行に分散的に配置される。このため、このような同時選択画素電極の分散配置に応じて、列電極駆動回路300から各画素値に対応するデータ信号  $R_j, G_j, B_j$  ( $j=1, 2, 3, \dots$ ) が出力されるようにしなければならない。そこで、本実施形態における列電極駆動回路300は、このような同時選択画素電極の分散配置に対応すべく、図2(a)に示す3列周期の変形千鳥構造に応じたタイミングで各データ信号を出力し各データ信号線に印加するように図3に示す如く構成されている。

【0051】図3は、このような列電極駆動回路300の構成を示すブロック図である。この列電極駆動回路300は、例えばシフトレジスタで構成され直列/並列変換手段として機能するラインメモリ40と、1ライン分の画像データを1水平走査期間だけ保持する保持手段としてのラッチ回路41と、入力される信号を1水平走査期間だけ遅延させる遅延手段としてのラッチ回路42と、入力される信号に基づき液晶パネル500のデータ線  $L_s$  に印加すべきデータ信号を生成する出力回路45と、水平同期信号  $HSY$  に基づきラッチ回路41および42にそれぞれ入力すべき第1および第2ゲート信号  $HSY_1, HSY_2$  を生成するゲート信号生成回路47とを備えている。ここで、第1および第2ゲート信号  $HSY_1, HSY_2$  は、共に、水平同期信号  $HSY$  と同一のパルス周期を有する信号であって、図4(a)(b)に示すように、第1ゲート信号  $HSY_1$  は、第2ゲート信号  $HSY_2$  を水平走査期間に比べて十分に短い所定時間だけ遅延させた信号である。なお、保持手段としてのラッチ回路41は、第1ゲート信号  $HSY_1$  がHレベル(ハイレベル)のときに入力信号値を取り込んで出力し、第1ゲート信号  $HSY_1$  がLレベル(ローレベル)になると、Lレベルとなる直前の入力信号値を保持するとともにその値を出力する。また、遅延手段としてのラッチ回路42は、第2ゲート信号  $HSY_2$  がHレベルのときに入力信号値を取り込んで出力し、第2ゲート信号  $HSY_2$  がLレベルになると、Lレベルとなる直前の入力信号値を保持すると共にその値を出力する。

【0052】ラインメモリ40には、クロック信号  $CK$



「チェッカーバック」を表示すると、或るフレームF1では図7(a)に示すような正負極性で「チェッカーバック」が表示され、次のフレームF2では図7(b)に示すような正負極性で「チェッカーバック」が表示される。

【0059】この場合、データ信号G1、B1、R2は、対向電極Ecの電位を基準とすると、それぞれ図7(c)(d)(e)に示すように変化する。この図7(c)~(e)において、“S1”~“S6”は、図7(a)(b)に示す走査信号SS1~SS6がそれぞれアクティブとなる期間すなわち1フレーム内における水平走査期間を表す。なお、図7(a)(b)に示すような変形千鳥構造を採用した場合、データ信号R1、B1、R2、B2の示す画素データは水平走査期間S1では有効なものではなく、データ信号G1、G2の示す画素データは水平走査期間S6では有効なものではないが、検討の便宜上、各データ信号の示す画素データは、これらの期間S1、S6でも有効なものであるとして説明を進める(以下においても同様)。

【0060】いま、G1列1行目の画素形成部(便宜上「画素」と呼ぶ。以下においても同様。)に注目すると、この注目画素の対応データ線Lssの信号はG1で、隣接データ線Lsnの信号はB1となる(図19(c)、図7(a)(b)参照)。この注目画素には、フレームF1における水平走査期間S1においてデータ(-V2)が書き込まれる。この注目画素の値(書き込まれた値)に対する両データ線Lss、Lsnの信号変化による影響の仕方(影響の方向、程度)は、この書き込み時点における対応データ線Lssの信号値および隣接データ線Lsnの信号値をそれぞれ基準とする両データ線の信号変化量によって決まる。そこで、図7(c)~(e)を参照し、この書き込み時点における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、G1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S5)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、フレームF2(フレーム切り替わり後)での両データ線の信号変化量を求める。図8(a)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している(一部省略あり)。

【0061】次に、「チェッカーバック」における白の表示単位と黒の表示単位との境界部に位置するB1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まずB1列1行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S2)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R

2の値(+V1)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、B1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S6)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(+V1)をそれぞれ基準として、フレームF2での両データ線の信号変化量を求める。図8(b)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している(一部省略あり)。

【0062】図8(a)(b)に示すようにフレームF1(フレームの切り替わり前)では、G1列の画素に注目した場合、注目画素(G1列1行目)は、その値(-V2)が増大する方向に影響を受け、B1列の画素に注目した場合、注目画素(B1列1行目)は、その値(+V2)が減少する方向に影響を受ける。このようにG1列とB1列とでは、注目画素の値の正負の違い(-V2と+V2)に対応して信号変化量の正負が異なるが(+V1+V2)と-(V1+V2)、それらの絶対値は等しいので、表示上の影響は同じと考えられる。また、フレームF2(フレームの切り替わり後)においても、図8の(a)と(b)を比較すればわかるように、G1列の注目画素(5行目)とB1列の注目画素(5行目)の値の正負の違い(-V2と+V2)に対応して信号変化量の正負が異なるが(+2V2と-2V2、+2V1と-2V1、+(V2-V1)と-(V2-V1))、それらの絶対値は等しいので、表示上の影響は同じと考えられる。また、G1列5行目の画素に注目した場合におけるフレームF2の水平走査期間S2やS4や、B1列5行目の画素に注目した場合におけるフレームF2の水平走査期間S1やS3等では、対応データ線と隣接データ線の信号は「相補的」に変化するので、注目画素値への両データ線による影響は相殺される。なお、R1列の画素の受ける影響は、G1列の画素の受ける影響と実質的に同等である。したがって、本実施形態によれば、「チェッカーバック」を表示した場合における縦シャドウを発生を抑えることができる。

<1.6 効果>以上説明したように上記実施形態によれば、「チェッカーバック」を表示した場合において、各画素の値に対する対応データ線および隣接データ線の信号変化の影響は、その画素の位置によって変わることがないので、縦シャドウの発生が抑えられる。しかも、列電極駆動回路300として1H反転駆動方式による駆動回路を使用しつつ擬似的にドット反転駆動が実現されるので、列電極駆動回路300を実現するためのICの耐圧が低く抑えられる。また、列電極駆動回路300は、3列周期の変形千鳥構造に応じて内部で画像信号を遅延させているので(図3、図4(i)~(k)参照)、列電極駆動回路300に通常の形式でデジタル画像信号Dr、Dg、Dbを入力しつつ、3列周期の変形千鳥構造の液晶パネル500に、千鳥構造ではない標準

的な構造の液晶パネルと同様の良好な画像を表示することができる。

< 2 . 第2の実施形態 > 上記のように第1の実施形態によれば、「チェッカーバック」を表示した場合における縦シャドローの発生を抑制することができる。しかし、図24(b)に示すような「横ストライプバック」と呼ばれる水平方向のストライプ模様を表示すると、縦シャドローが現れる。本発明の第2の実施形態に係る液晶表示装置は、このような「横ストライプバック」を表示する場合においても縦シャドローの発生を抑制すべく構成された液晶表示装置である。以下では、この第2の実施形態について説明する前に、まず、基礎検討として、3列周期の変形千鳥構造および標準千鳥構造(従来の千鳥構造)の液晶パネルにおいて「横ストライプバック」を表示した場合における縦シャドローの発生につき検討する。なお、以下に述べる第2の実施形態における構成要素のうち第1の実施形態における構成要素と同一のものについては、同一の参照符号を付して詳しい説明を省略する。

#### < 2 . 1 基礎検討 >

< 2 . 1 . 1 3列周期の変形千鳥構造の場合 > 以下においても、検討の便宜のために、有効な水平走査線数を5とし、データ線数を6として(走査信号線数は6)、 $6 \times 5$ 画素からなる3列周期の変形千鳥構造の液晶パネルを想定する。このような液晶パネルで擬似ドット反転駆動方式により「横ストライプバック」を表示すると、或るフレームF1では図9(a)に示すような正負極性で「横ストライプバック」が表示され、次のフレームF2では図9(b)に示すような正負極性で「横ストライプバック」が表示される。

【0063】この場合、データ信号G1、B1、R2は、対向電極Ecの電位を基準とすると、それぞれ図9(c)(d)(e)に示すように変化する。以下、この図9(c)(d)(e)を参照して、各画素値に対する対応データ線および隣接データ線の信号変化による影響を考える。

【0064】まず、G1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、G1列1行目の画素に注目するものとし、この注目画素の書き込み時点(フレームF1の水平走査期間S1)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、G1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S5)における対応データ線の信号G1の値(-V2)および隣接データ線の信号B1の値(-V1)をそれぞれ基準として、フレームF2(フレーム切り替わり後)での両データ線の信号変化量を求める。図10(a)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している(一部

省略あり)。

【0065】次に、B1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まずB1列1行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S2)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(+V2)をそれぞれ基準として、フレームF1での両データ線の信号変化量を求める。次に、B1列5行目の画素に注目し、この注目画素の書き込み時点(フレームF1の水平走査期間S6)における対応データ線の信号B1の値(+V2)および隣接データ線の信号R2の値(+V2)をそれぞれ基準として、フレームF2(フレーム切り替わり後)での両データ線の信号変化量を求める。図10(b)は、このようにして求めたフレームF1およびF2での両データ線の信号変化量を示している(一部省略あり)。

【0066】図10の(a)と(b)を比較すればわかるように、フレームF1(フレームの切り替わり前)では、G1列の注目画素(1行目)とB1列の注目画素(1行目)の値の正負の違い(-V2と+V2)に対応して信号変化量の正負が異なるが(+ (V1+V2)と-(V1+V2))、それらの絶対値は等しい。このため、G1列の画素とB1列の画素とでは、表示上の影響は同じと考えられる。これに対し、フレームF2(フレームの切り替わり後)では、G1列の注目画素(5行目)とB1列の注目画素(5行目)とでは、V2がV1よりも十分に大きいことを考慮すれば、対応データ線および隣接データ線の信号変化による影響の仕方が異なることがわかる。したがって、対応データ線および隣接データの信号変化から受ける影響の大きいB1列において、縦シャドローが現れることになる。

< 2 . 1 . 2 標準千鳥構造の場合 > 次に、有効な水平走査線数を5とし、データ線数を6として(走査信号線数は6)、 $6 \times 5$ 画素からなる標準千鳥構造(従来の千鳥構造)の液晶パネルを想定する。このような液晶パネルで擬似ドット反転駆動方式により「横ストライプバック」を表示すると、或るフレームF1では図11(a)に示すような正負極性で「横ストライプバック」が表示され、次のフレームF2では図11(b)に示すような正負極性で「横ストライプバック」が表示される。

【0067】この場合、データ信号G1、B1、R2は、対向電極Ecの電位を基準とすると、それぞれ図11(c)(d)(e)に示すように変化する。以下、この図11(c)(d)(e)を参照して、各画素値に対する対応データ線および隣接データ線の信号変化による影響を考える。

【0068】まず、G1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、G1列1行目の画素に注目するものと

し、この注目画素の書き込み時点（フレームF 1の水平走査期間S 1）における対応データ線の信号G 1の値（ $-V 2$ ）および隣接データ線の信号B 1の値（ $-V 1$ ）をそれぞれ基準として、フレームF 1での両データ線の信号変化量を求める。次に、G 1列5行目の画素に注目し、この注目画素の書き込み時点（フレームF 1の水平走査期間S 5）における対応データ線の信号G 1の値（ $-V 2$ ）および隣接データ線の信号B 1の値（ $-V 1$ ）をそれぞれ基準として、フレームF 2（フレーム切り替わり後）での両データ線の信号変化量を求める。図12（a）は、このようにして求めたフレームF 1およびF 2での両データ線の信号変化量を示している（一部省略あり）。

【0069】次に、B 1列の画素の値に対する対応データ線および隣接データ線の信号変化による影響を考える。そのために、まずB 1列1行目の画素に注目し、この注目画素の書き込み時点（フレームF 1の水平走査期間S 2）における対応データ線の信号B 1の値（ $+V 2$ ）および隣接データ線の信号R 2の値（ $+V 1$ ）をそれぞれ基準として、フレームF 1での両データ線の信号変化量を求める。次に、B 1列5行目の画素に注目し、この注目画素の書き込み時点（フレームF 1の水平走査期間S 6）における対応データ線の信号B 1の値（ $+V 2$ ）および隣接データ線の信号R 2の値（ $+V 1$ ）をそれぞれ基準として、フレームF 2（フレーム切り替わり後）での両データ線の信号変化量を求める。図12（b）は、このようにして求めたフレームF 1およびF 2での両データ線の信号変化量を示している（一部省略あり）。

【0070】図12の（a）と（b）を比較すればわかるように、フレームF 1（フレームの切り替わり前）では、G 1列の注目画素（1行目）とB 1列の注目画素（1行目）の値の正負の違い（ $-V 2$ と $+V 2$ ）に対応して信号変化量の正負が異なるが（ $+(V 1+V 2)$ と $-(V 1+V 2)$ ）、それらの絶対値は等しい。このため、G 1列の画素とB 1列の画素とでは、表示上の影響は同じと考えられる。また、フレームF 2（フレームの切り替わり後）においても、G 1列の注目画素（5行目）とB 1列の注目画素（5行目）の値の正負の違い（ $-V 2$ と $+V 2$ ）に対応して信号変化量の正負が異なるが（ $+2V 2$ と $-2V 2$ 、 $+2V 1$ と $-2V 1$ ）、それらの絶対値は等しいので、表示上の影響は同じと考えられる。さらに、G 1列5行目の画素に注目した場合におけるフレームF 2の水平走査期間S 2やS 4や、B 1列5行目の画素に注目した場合におけるフレームF 2の水平走査期間S 1やS 3等では、対応データ線と隣接データ線の信号は「相補的」に変化するの、注目画素値への両データ線による影響は相殺される。なお、R 1列の画素の受ける影響は、G 1列の画素の受ける影響と実質的に同等である。したがって、標準千鳥構造の場合に

は、「横ストライプバック」を表示しても縦シャドーが発生しない。

< 2. 2 液晶パネルの構成 > 既述のように、「チェッカーバック」を表示する場合には、液晶パネルが3列周期の変形千鳥構造であれば縦シャドーの発生が抑えられるが、標準千鳥構造であれば縦シャドーが発生する。一方、上記基礎検討より、「横ストライプバック」を表示する場合には、液晶パネルが3列周期の変形千鳥構造であれば縦シャドーが発生するが、標準千鳥構造であれば縦シャドーの発生が抑えられる。液晶パネルの構造とキラパターンとしての「チェッカーバック」および「横ストライプバック」の表示とのこのような関係を整理すると、図13（a）～（d）に示すようになる。ここで、図13（a）、（b）、（c）、（d）は、それぞれ、3列周期の変形千鳥構造の液晶パネルで「チェッカーバック」を表示した場合、3列周期の変形千鳥構造の液晶パネルで「横ストライプバック」を表示した場合、標準千鳥構造の液晶パネルで「チェッカーバック」を表示した場合、標準千鳥構造の液晶パネルで「横ストライプバック」を表示した場合における縦シャドーの発生の有無を示しており、これらの図において、“ ”は、その直下に描かれている画素列において縦シャドーが発生しないことを示し、“×”は、その直下に描かれている画素列において縦シャドーが発生することを示している。図13（a）（b）に示すように、液晶パネルにおいて3列周期の変形千鳥構造を採用した場合には、「チェッカーバック」の表示における縦シャドーの発生は抑制されるが、「横ストライプバック」の表示において12画素列に対して4画素列の割合（3画素列に対して1画素列の割合）で縦シャドーが発生する。一方、図13（c）（d）に示すように、標準千鳥構造を採用した場合には、「横ストライプバック」の表示における縦シャドーの発生は抑制されるが、「チェッカーバック」の表示において12画素列に対して4画素列の割合（3画素列に対して1画素列の割合）で縦シャドーが発生する。【0071】そこで本実施形態では、「チェッカーバック」の表示および「横ストライプバック」の表示の双方において縦シャドーの発生を抑制すべく、3列周期の変形千鳥構造の特長と標準千鳥構造の特長とを併せ持った千鳥構造、すなわち図14に示すような構造を採用している。このような構造の液晶パネルでは、第1の実施形態と同様（図2）、画素電極列とデータ線L sとは水平方向に交互に配置され、画素電極行と走査信号線L gとは垂直方向に交互に配置され、赤（R）、緑（G）、青（B）の画素形成部P xによって形成される水平方向に隣接する3画素が表示単位となっている。そして、同一の走査信号線L gによってオン・オフされるTFT 10に接続される画素電極は、隣接する2つの画素行に分散的に配置される。したがって、この液晶パネルの構造も千鳥構造の一種と言える。

【0072】しかし、この液晶パネルは、同一走査信号線  $L_g$  によってオン・オフされる TFT10 に接続される画素電極  $E_p$  が、上下に隣接する2つの画素行に分散的に、かつ、12個の画素電極についての「下、上、下、上、下、上、下、上、下、上、下」という系列を単位として上下位置につき水平方向に周期性を有するように配置される（以下、このような構造を「12列周期の変形千鳥構造」という）。この点で、この液晶パネルの構造は、第1の実施形態における液晶パネルの構造（図2(a)）すなわち3列周期の変形千鳥構造とは相違する。なお、図14に示した例では、同一走査信号線によってオン・オフされる TFT10 に接続される各画素電極  $E_p$  が配置される上下位置（隣接2画素行のうち上行と下行のいずれに配置されるか）は、「下、上、下、上、下、上、下、上、下、上、下」を1周期とする周期性を有しているが、「上」と「下」とを入れ替えて「上、下、上、下、上、下、上、下、上、下、上」を1周期とする周期性を有するように構成されていてもよい。

【0073】上記12列周期の変形千鳥構造の液晶パネルを1H反転駆動用の列電極駆動回路により駆動すると、或るフレームでは図14(a)に示すような極性パターンとなり、次のフレームでは図14(b)に示すような極性パターンとなり、ドット反転駆動が擬似的に実現される。ここで、図14(a)(b)において、各画素形成部  $P_x$  に付されている“+”は、当該画素形成部  $P_x$  を構成する画素液晶（もしくは画素電極）に正の電圧が印加されることを意味し、“-”は、当該画素形成部  $P_x$  を構成する画素液晶（もしくは画素電極）に負の電圧が印加されることを意味する。

【0074】上記12列周期の変形千鳥構造の液晶パネルにおいて「チェッカーバック」を表示した場合の縦シャドウの発生は、前述の図13(a)(c)より、図15(a)に示すようになる。また、上記12列周期の変形千鳥構造の液晶パネルにおいて「横ストライプバック」を表示した場合の縦シャドウの発生は、前述の図13(b)(d)より、図15(b)に示すようになる。ここで、“ ”は、その直下に描かれている画素列において縦シャドウが発生しないことを示し、“x”は、その直下に描かれている画素列において縦シャドウが発生

<2.3 列電極駆動回路> 図16は、本実施形態における列電極駆動回路、すなわち上記12列周期の変形千鳥構造の液晶パネルを駆動するための列電極駆動回路の構成を示すブロック図である。この列電極駆動回路は、上記12列周期の変形千鳥構造に応じたタイミング、すなわち同時選択画素電極の隣接2画素行への図14に示すような分散配置に応じたタイミングで、各画素値に対応するデータ信号  $R_j, G_j, B_j$  ( $j = 1, 2, 3, \dots$ ) が出力されるように、下記のように構成されている。なお以下において、この列電極駆動回路のうち第1の実施形態における列電極駆動回路300と同一の部分には同一の参照符号を付して詳しい説明を省略する。

【0075】本実施形態における列電極駆動回路では、保持手段としてのラッチ回路41から出力される第2内部画像信号  $Dr_j, Dg_j, Db_j$  ( $j = 1, 2, 3, \dots$ ) を選択的に1水平走査期間だけ遅延させる遅延手段としてのラッチ回路の挿入位置が異なる。この本実施形態における遅延手段としてのラッチ回路には、これを第1の実施形態における遅延手段としてのラッチ回路42と区別するために、参照符号“43”が付されている。本実施形態では、保持手段としてのラッチ回路41から出力される第2内部画像信号  $Dr_j, Dg_j, Db_j$  のうち、G1列、R2列、B2列、R3列、B3列、G4列、G5列、……に対応する第2内部画像信号  $Dg_1, Dr_2, Db_2, Dr_3, Db_3, Dg_4, Dg_5, \dots$  は、遅延手段としてのラッチ回路43を介して出力回路45に入力され、他の第2内部画像信号は直接に出力回路45に入力される。ラッチ回路43は、図4(b)に示す第2ゲート信号  $HSY_2$  に基づき、G1列、R2列、B2列、R3列、B3列、G4列、G5列、……に対応する第2内部画像信号  $Dg_1, Dr_2, Db_2, Dr_3, Db_3, Dg_4, Dg_5, \dots$  を1水平走査期間だけ遅延させて出力する。これにより、図14に示す液晶パネルにおいて各画素形成部  $P_x$  (画素電極) を挟む上下の走査信号線  $L_g$  のうち下側の走査信号線にゲート端子が接続されている TFT10 を含む画素形成部の画素値に相当する第2内部画像信号  $Dg_1, Dr_2, Db_2, Dr_3, Db_3, Dg_4, Dg_5, \dots$  のみが、1水平走査期間だけ遅延した後に第3内部画像信号  $dg_1, dr_2, db_2, dr_3, db_3, dg_4, dg_5, \dots$  として出力回路45に入力される。

【0076】このように構成された列電極駆動回路によれば、12列周期の変形千鳥構造に応じて列電極駆動回路内部で画像信号を遅延させることができる。

<2.4 効果> 以上説明したように上記実施形態によれば、「チェッカーバック」を表示した場合および「横ストライプバック」を表示した場合において、縦シャドウの発生は、完全には解消されないが、3列周期の変形千鳥構造の液晶パネルにおいて「横ストライプバック」を表示した場合（図13(b)）や、標準千鳥構造の液

晶パネルにおいて「チェッカーバック」を表示した場合（図13(c)）に比べ、大幅に抑制される（図15(a)(b)）。また、列電極駆動回路としては1H反転駆動方式による駆動回路を使用しつつ擬似的にドット反転駆動が実現されるので、列電極駆動回路を実現するためのICの耐圧が低く抑えられる。さらに、列電極駆動回路は、12列周期の変形千鳥構造に応じてラッチ回路43により内部で画像信号を遅延させているので（図16参照）、列電極駆動回路に通常の形式でデジタル画像信号Dr, Dg, Dbを入力しつつ、12列周期の変形千鳥構造の液晶パネルに、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

<3. 変形例> 既述のように、液晶パネルにおいて千鳥構造を採用した場合には、同時選択画素電極が隣接2画素行に分散的に配置されるので、列電極駆動回路は、その千鳥構造に応じたタイミングでデータ信号を出力しなければならない。このために、上記第1の実施形態における列電極駆動回路は、3列周期の変形千鳥構造に応じて内部画像信号を選択的に遅延させるための手段としてラッチ回路42を備え（図3）、上記第2の実施形態における列電極駆動回路は、12列周期の変形千鳥構造に応じて内部画像信号を選択的に遅延させるための手段としてラッチ回路43を備えている（図16）。しかし、このように列電極駆動回路内で画像信号のタイミングを調整する代わりに、表示すべき画像の画素データを変形千鳥構造に応じた順序でデジタル画像信号Dr, Dg, Dbとして列電極駆動回路に供給するようにしてもよい。例えば、図2(a)に示すように3列周期の変形千鳥構造の液晶パネルを使用する場合には、表示すべき画像の画素データが図17(b)~(d)に示すような順序で表示制御回路から列電極駆動回路へデジタル画像信号Dr, Dg, Dbとして供給されるようにすればよい。このためには、図17(b)~(d)に示すような順序で表示制御回路から各画素データがデジタル画像信号Dr, Dg, Dbとして出力されるように、液晶表示装置外部から表示制御回路内の表示メモリへの画像データの書き込み、および/または、外部から表示メモリに書き込まれた画像データの読み出しを制御すればよい。なお、図17において“rij”, “gij”, “bij”は、i番目のラインにおけるj番目の赤色成分画素、緑色成分画素および青色成分画素を表す画素データをそれぞれ示すものとする。

【0077】このような構成の表示制御回路を使用すれば、列電極駆動回路内で液晶パネルにおける千鳥構造に応じて画像信号のタイミングを調整する必要はない。したがって、例えば図18に示すような従来の1H反転駆動用の列電極駆動回路が使用されることになる。図18において、第1の実施形態における列電極駆動回路300（図3）と同一部分には同一の参照符号が付されてい

る。この図18に示す列電極駆動回路では、水平同期信号HSY（図17(a)）に基づきラッチ回路41によって1水平走査期間だけ保持される第2内部画像信号Drj, Dgj, Dbj（j=1, 2, 3, ...）は、図17(e)~(j)に示すように、3列周期の変形千鳥構造に対応したタイミングとなっているので、遅延手段を介すことなく直接に出力回路45に入力される。

【0078】このように、上記のような表示制御回路を使用すれば、列電極駆動回路内で液晶パネルにおける千鳥構造に応じて画像信号のタイミングを調整する必要はないので、従来の1H反転駆動用の列電極駆動回路により、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0079】

【発明の効果】第1の発明によれば、1H反転駆動用の列電極駆動回路により擬似的にドット反転駆動が実現されるので、列電極駆動回路を実現するためのICの耐圧を低く抑えることができると共に、「チェッカーバック」（市松模様）の表示において縦シャドウの発生を抑えることができる。

【0080】第2の発明によれば、1H反転駆動用の列電極駆動回路により擬似的にドット反転駆動が実現されるので、列電極駆動回路を実現するためのICの耐圧を低く抑えることができると共に、「チェッカーバック」（市松模様）の表示および「横ストライプバック」（水平方向のストライプ模様）の表示の双方において縦シャドウの発生を抑えることができる。

【0081】第3の発明によれば、データ信号は同時選択画素電極の隣接2行への分散的配置に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0082】第4の発明によれば、データ信号は液晶パネルにおける同時選択画素電極の隣接2行への分散的配置に応じたタイミングでデータ信号線に印加されるので、千鳥構造の液晶パネルにおいて、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0083】第5の発明によれば、第4の発明と同様の効果を奏する。

【0084】第6の発明によれば、列電極駆動回路を実現するためのICの耐圧を低く抑えつつ擬似的にドット反転駆動を実現できると共に、「チェッカーバック」の表示において縦シャドウの発生を抑えることができる。また、データ信号は3列周期の変形千鳥構造に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【0085】第7の発明によれば、列電極駆動回路を実現するためのICの耐圧を低く抑えつつ擬似的にドット

反転駆動を実現できると共に、「チェッカーバック」の表示および「横ストライプバック」の表示の双方において縦シャドーの発生を抑えることができる。また、データ信号は12列周期の変形千鳥構造に応じたタイミングでデータ信号線に印加されるので、千鳥構造ではない標準的な構造の液晶パネルと同様の良好な画像を表示することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】第1の実施形態における液晶表示パネルの構成を示す模式図(a)および等価回路図(b)である。

【図3】第1の実施形態における列電極駆動回路の構成を示すブロック図である。

【図4】第1の実施形態における列電極駆動回路の動作を示すタイミングチャートである。

【図5】第1の実施形態において「チェッカーバック」を表示した場合における液晶パネルにおける極性パターンを示す模式図である。

【図6】第1の実施形態において「チェッカーバック」を表示した場合の動作を示すタイミングチャート(a)~(e)および信号波形図(f)~(h)である。

【図7】第1の実施形態において「チェッカーバック」を表示した場合における縦シャドーの発生の有無を検討するための液晶パネル構成図(a)(b)および信号波形図(c)~(e)である。

【図8】第1の実施形態において「チェッカーバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図9】3列周期の変形千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における縦シャドーの発生を検討するための液晶パネル構成図(a)(b)および信号波形図(c)~(e)である。

【図10】3列周期の変形千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図11】標準千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における縦シャドーの発生を検討するための液晶パネル構成図(a)(b)および信号波形図(c)~(e)である。

【図12】標準千鳥構造に基づく擬似ドット反転駆動方式により「横ストライプバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図13】液晶パネルの構成とキラーパターンとしての「チェッカーバック」および「横ストライプバック」の表示との関係を示す図である。

【図14】本発明の第2の実施形態に係る液晶表示装置

における液晶パネルの構成を示す模式図である。

【図15】第2の実施形態において「チェッカーバック」を表示した場合と「横ストライプバック」を表示した場合における縦シャドーの発生の有無を示す図である。

【図16】第2の実施形態における列電極駆動回路の構成を示すブロック図である。

【図17】第1の実施形態の変形例における表示制御回路の動作を示すタイミングチャートである。

10 【図18】上記変形例における列電極駆動回路の構成を示すブロック図である。

【図19】従来の千鳥構造による擬似ドット反転駆動用の液晶パネルの構成を示す模式図(a)および等価回路図(b)(c)である。

【図20】従来の千鳥構造に基づく擬似ドット反転駆動方式により「チェッカーバック」を表示した場合における縦シャドーの発生を説明するための液晶パネル構成図(a)(b)および信号波形図(c)(d)(e)である。

20 【図21】従来の千鳥構造に基づく擬似ドット反転駆動方式により「チェッカーバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図22】従来の真正ドット反転駆動方式により「チェッカーバック」を表示した場合における縦シャドーの発生を説明するための液晶パネル構成図(a)(b)および信号波形図(c)(d)(e)である。

30 【図23】従来の真正ドット反転駆動方式により「チェッカーバック」を表示した場合における注目画素の対応データ線および隣接データ線の信号変化量を示す図である。

【図24】縦シャドーの発生する表示パターン(キラーパターン)である「チェッカーバック」および「横ストライプバック」を示す図である。

【符号の説明】

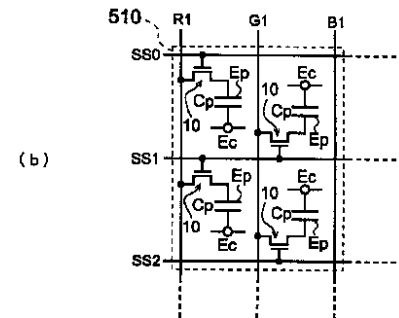
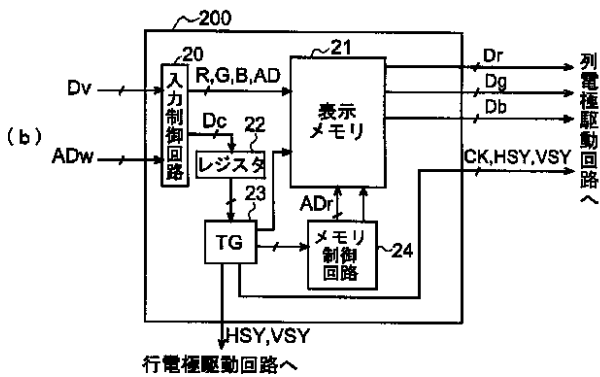
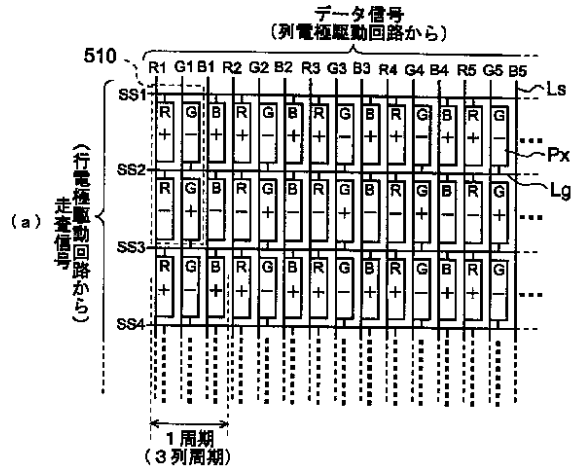
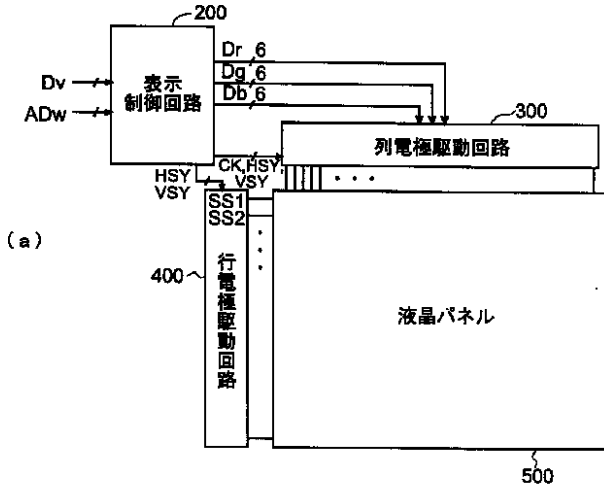
- 10 ...TFT(薄膜トランジスタ)
- 40 ...ラインメモリ(シフトレジスタ)
- 41 ...ラッチ回路(保持手段)
- 42, 43 ...ラッチ回路(遅延手段)
- 44, 45 ...出力回路
- 200 ...表示制御回路
- 300 ...列電極駆動回路
- 400 ...行電極駆動回路
- 500 ...液晶パネル
- 51 ...表示メモリ
- 54 ...メモリ制御回路
- CK ...クロック信号
- HSY ...水平同期信号
- VSY ...垂直同期信号
- Dr, Dg, Db ...デジタル画像信号

R 1 ~ R 5 ... 赤色成分のデータ信号  
 G 1 ~ G 5 ... 緑色成分のデータ信号  
 B 1 ~ B 5 ... 青色成分のデータ信号  
 S S 1 ~ S S 6 ... 走査信号  
 L s ... データ信号線 (列電極)  
 L g ... 走査信号線 (行電極)  
 P x ... 画素形成部 (画素)

\* C p ... 画素容量  
 E p ... 画素電極  
 E c ... 対向電極  
 S 1 ~ S 6 ... 走査期間  
 F 1, F 2 ... フレーム (垂直走査期間)  
 + V 1, - V 1 ... 「白」表示のための液晶への印加電圧  
 + V 2, - V 2 ... 「黒」表示のための液晶への印加電圧

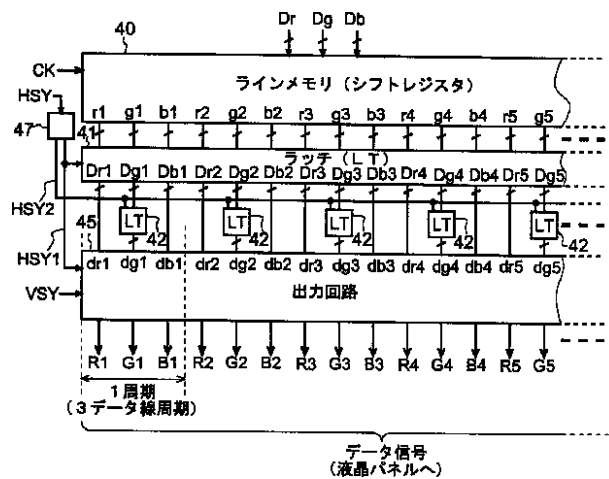
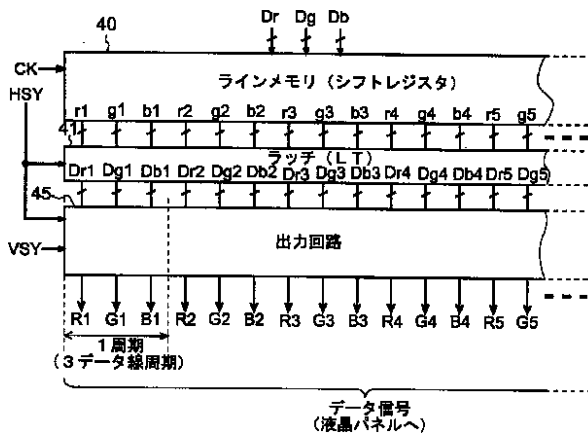
【図1】

【図2】



【図3】

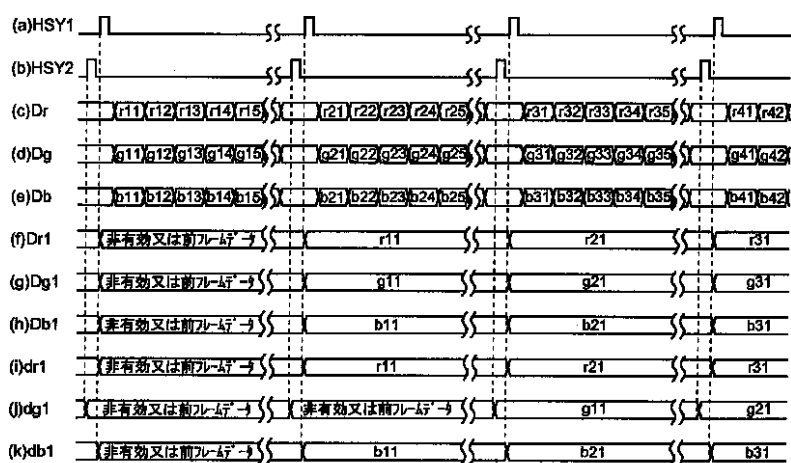
【図18】



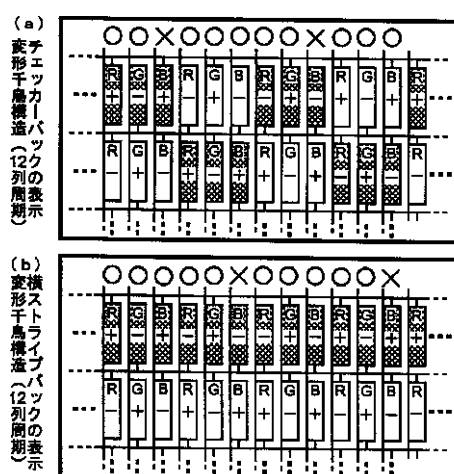
データ信号 (液晶パネルへ)

データ信号 (液晶パネルへ)

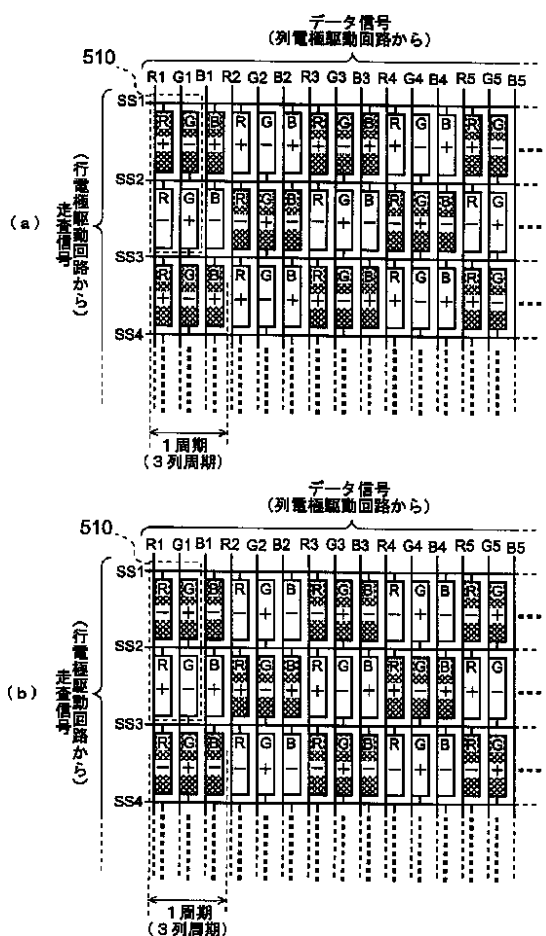
【図4】



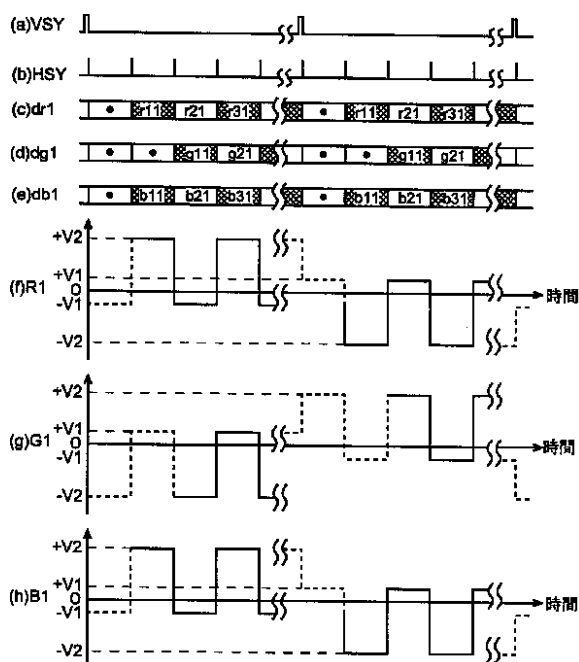
【図15】



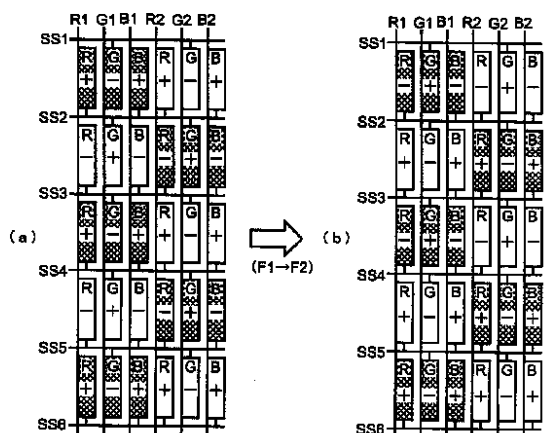
【図5】



【図6】



【図7】



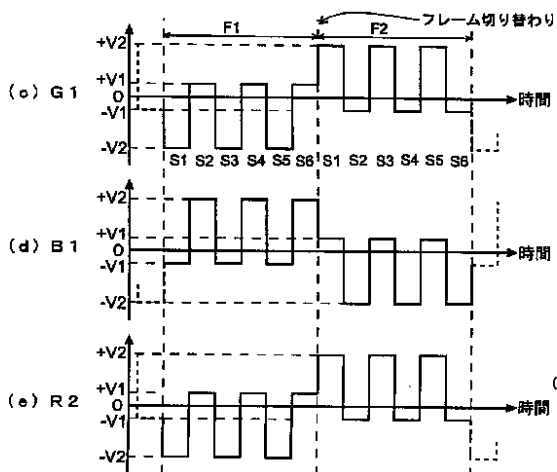
【図8】

(a) G1列の画素に注目した場合のデータ信号変化量  
 ・チェッカーパックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

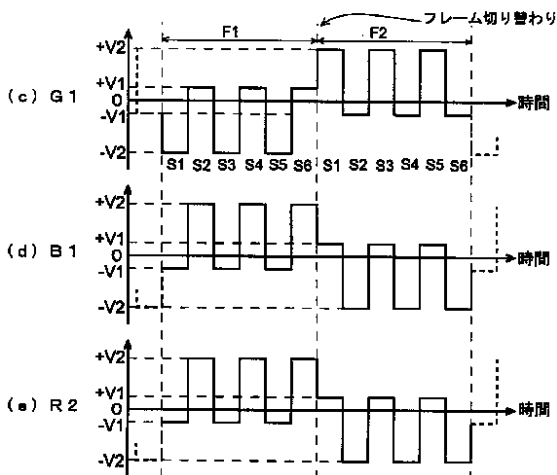
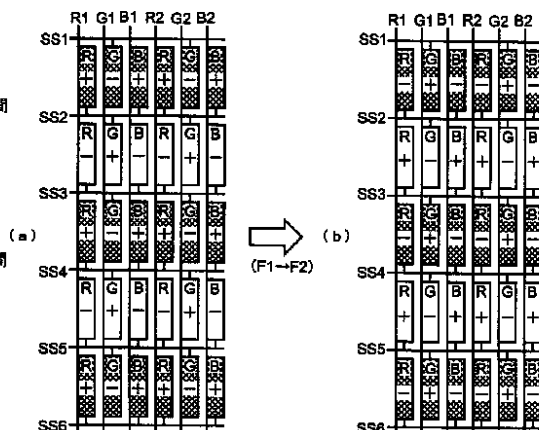
注目画素	G1列1行目 (-V2)						G1列5行目 (-V2)			
	F1						F2			
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (G1)	0	+(V1+V2)	0	+(V1+V2)	0	+(V1+V2)	+2V2	+(V2-V1)	+2V2	+(V2-V1)
隣接データ線 (B1)	0	+(V1+V2)	0	+(V1+V2)	0	+(V1+V2)	+2V1	-(V2-V1)	+2V1	-(V2-V1)

(b) B1列の画素に注目した場合のデータ信号変化量  
 ・チェッカーパックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

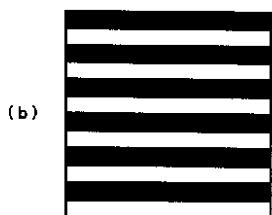
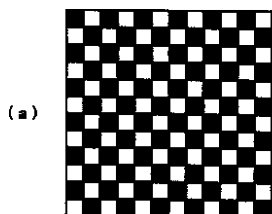
注目画素	B1列1行目 (+V2)						B1列5行目 (+V2)			
	F1						F2			
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (B1)	-(V1+V2)	0	-(V1+V2)	0	-(V1+V2)	0	-(V2-V1)	-2V2	-(V2-V1)	-2V2
隣接データ線 (R2)	-(V1+V2)	0	-(V1+V2)	0	-(V1+V2)	0	+(V2-V1)	-2V1	+(V2-V1)	-2V1



【図9】



【図24】



【図10】

- (a) G1列の画素に注目した場合のデータ信号変化量  
 ・横ストライプバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	G1列1行目 (-V2)						G1列5行目 (-V2)			
	F1						F2			
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (G1)	0	+V1+V2	0	+V1+V2	0	+V1+V2	+2V2	+V2-V1	+2V2	+V2-V1
隣接データ線 (B1)	0	+V1+V2	0	+V1+V2	0	+V1+V2	+2V1	-V2-V1	+2V1	-V2-V1

- (b) B1列の画素に注目した場合のデータ信号変化量  
 ・横ストライプバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	B1列1行目 (+V2)						B1列5行目 (+V2)			
	F1						F2			
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (B1)	-V1+V2	0	-V1+V2	0	-V1+V2	0	-V2-V1	-2V2	-V2-V1	-2V2
隣接データ線 (R2)	-V1+V2	0	-V1+V2	0	-V1+V2	0	-V2-V1	-2V2	-V2-V1	-2V2

【図12】

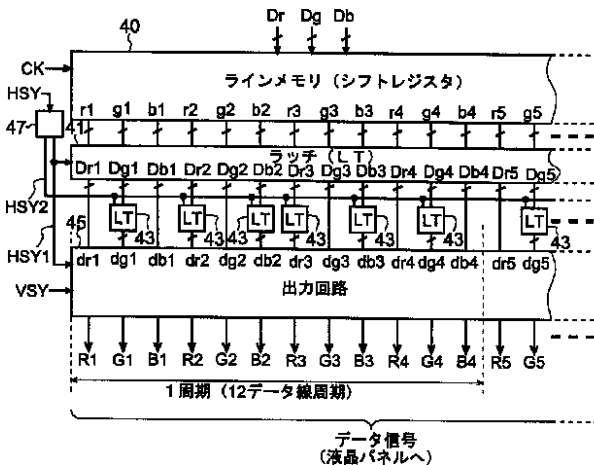
- (a) G1列の画素に注目した場合のデータ信号変化量  
 ・横ストライプバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	G1列1行目 (-V2)						G1列5行目 (-V2)			
	F1						F2			
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (G1)	0	+V1+V2	0	+V1+V2	0	+V1+V2	+2V2	+V2-V1	+2V2	+V2-V1
隣接データ線 (B1)	0	+V1+V2	0	+V1+V2	0	+V1+V2	+2V1	-V2-V1	+2V1	-V2-V1

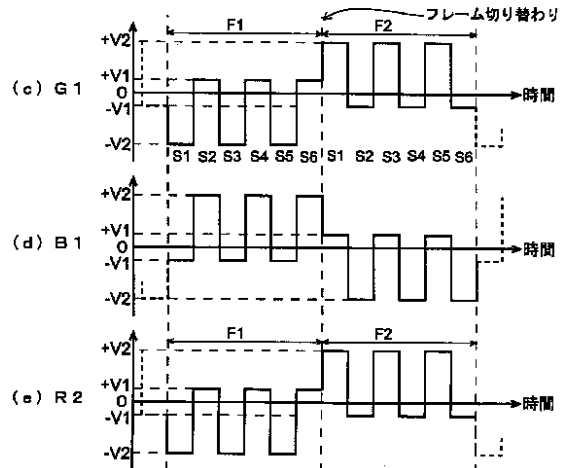
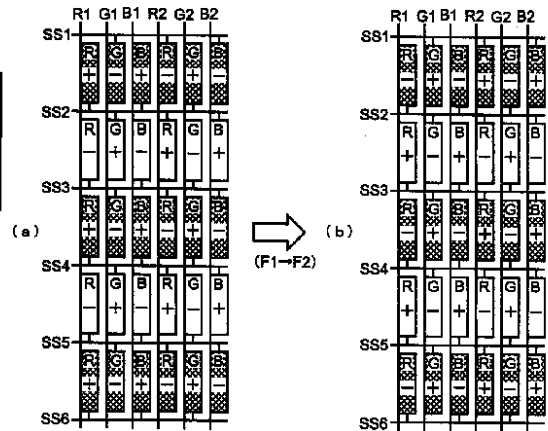
- (b) B1列の画素に注目した場合のデータ信号変化量  
 ・横ストライプバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	B1列1行目 (+V2)						B1列5行目 (+V2)			
	F1						F2			
期間	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (B1)	-V1+V2	0	-V1+V2	0	-V1+V2	0	-V2-V1	-2V2	-V2-V1	-2V2
隣接データ線 (R2)	-V1+V2	0	-V1+V2	0	-V1+V2	0	+V2-V1	-2V1	+V2-V1	-2V1

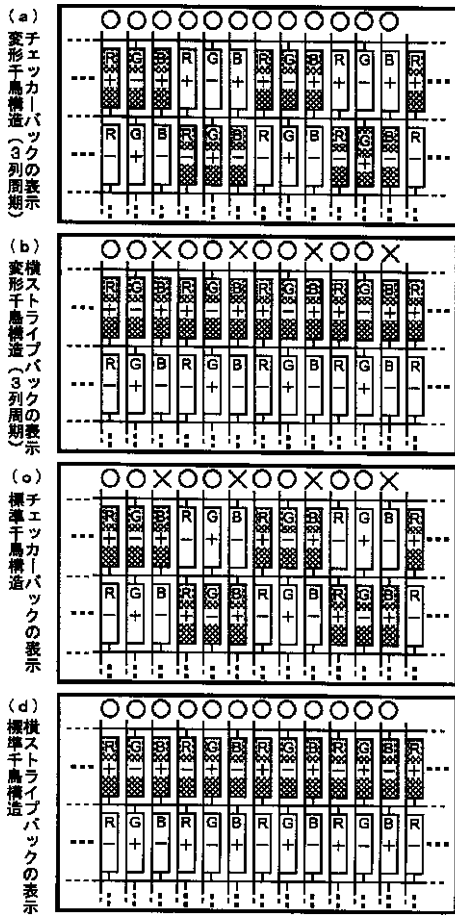
【図16】



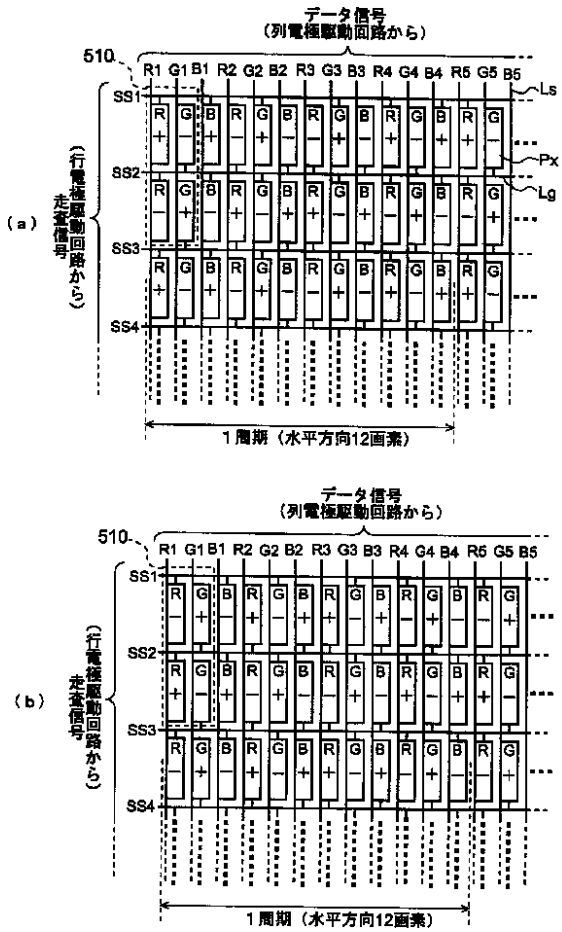
【図11】



【図13】



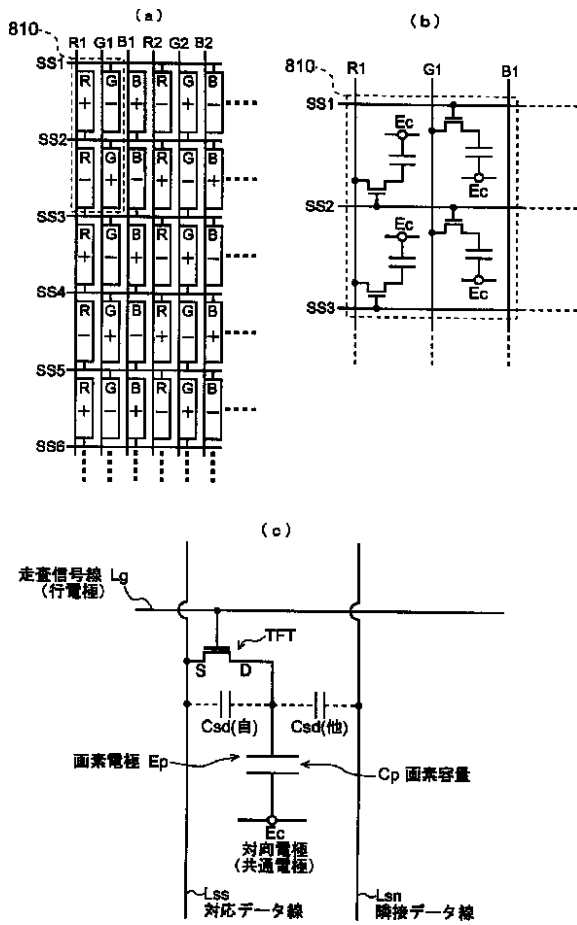
【図14】



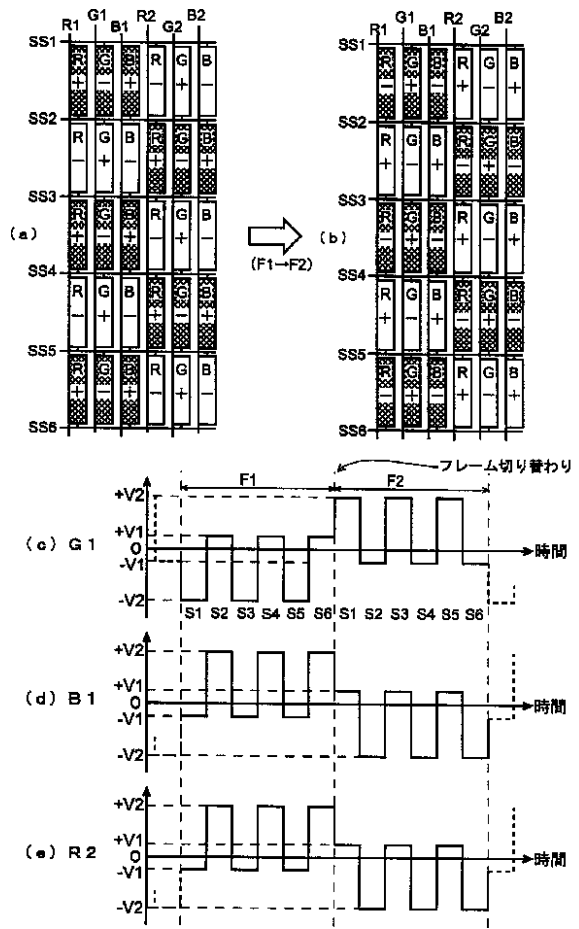
【図17】



【図19】



【図20】



【図21】

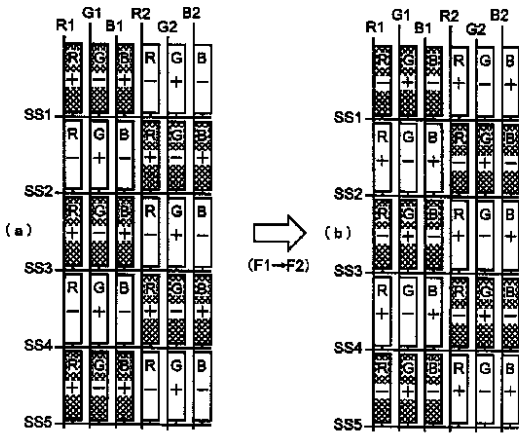
- (a) G1列の画素に注目した場合のデータ信号変化量  
 ・類似ドット反転駆動方式によりチェッカーバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	G1列1行目 (-V2)						G1列5行目 (-V2)			
	F1						F2			
	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (G1)	0	+(V1+V2)	0	+(V1+V2)	0	+(V1+V2)	+2V2	+(V2-V1)	+2V2	+(V2-V1)
隣接データ線 (B1)	0	+(V1+V2)	0	+(V1+V2)	0	+(V1+V2)	+2V1	-(V2-V1)	+2V1	-(V2-V1)

- (b) B1列の画素に注目した場合のデータ信号変化量  
 ・類似ドット反転駆動方式によりチェッカーバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	B1列1行目 (+V2)						B1列5行目 (+V2)			
	F1						F2			
	S1	S2	S3	S4	S5	S6	S1	S2	S3	S4
対応データ線 (B1)	-(V1+V2)	0	-(V1+V2)	0	-(V1+V2)	0	-(V2-V1)	-2V2	-(V2-V1)	-2V2
隣接データ線 (R2)	-(V1+V2)	0	-(V1+V2)	0	-(V1+V2)	0	-(V2-V1)	-2V2	-(V2-V1)	-2V2

【図22】



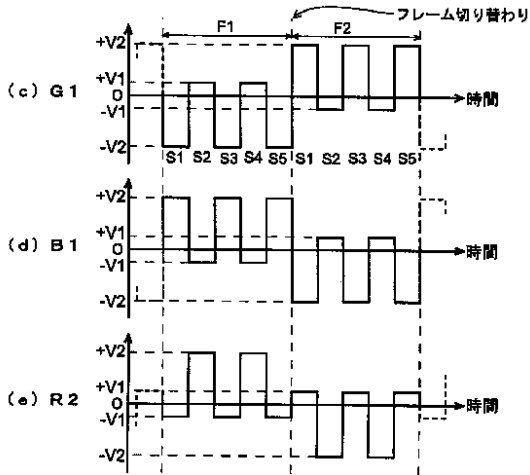
【図23】

(a) G1列の画素に注目した場合のデータ信号変化量  
 ・真正ドット反転駆動方式によりチェックバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	G1列1行目 (-V2)					G1列5行目 (-V2)			
	F1					F2			
	S1	S2	S3	S4	S5	S1	S2	S3	S4
対応データ線 (G1)	0	+(V1+V2)	0	+(V1+V2)	0	+2V2	+(V2-V1)	+2V2	+(V2-V1)
隣接データ線 (B1)	0	-(V1+V2)	0	-(V1+V2)	0	-2V2	-(V2-V1)	-2V2	-(V2-V1)

(b) B1列の画素に注目した場合のデータ信号変化量  
 ・真正ドット反転駆動方式によりチェックバックを表示  
 ・注目画素へのデータ書き込み時の該当データ線信号値が基準

注目画素	B1列1行目 (+V2)					B1列5行目 (+V2)			
	F1					F2			
	S1	S2	S3	S4	S5	S1	S2	S3	S4
対応データ線 (B1)	0	-(V1+V2)	0	-(V1+V2)	0	-2V2	-(V2-V1)	-2V2	-(V2-V1)
隣接データ線 (R2)	0	+(V1+V2)	0	+(V1+V2)	0	+2V1	-(V2-V1)	+2V1	-(V2-V1)



フロントページの続き

(51) Int.Cl.<sup>7</sup> G 0 9 G 3/20 識別記号 6 4 2 6 8 0 F I G 0 9 G 3/20 テーマコード<sup>\*</sup> (参考) 6 4 2 A 6 8 0 G 3/36 3/36

(72) 発明者 川口 登史  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

F ターム (参考) 2H093 NA16 NA21 NA32 NA33 NA34  
 NA43 NA53 NC13 NC22 NC26  
 NC29 NC34 NC35 NC41 NC65  
 ND02 ND10 ND15 ND38 ND58  
 NE03  
 5C006 AA22 AC27 AF71 BB16 BC03  
 BC06 BC12 BF02 BF03 BF04  
 BF05 FA22 FA23  
 5C080 AA10 BB05 CC03 DD05 DD06  
 EE28 FF11 JJ02 JJ03 JJ04  
 JJ06

