

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2002 - 258319

( P2002 - 258319A )

(43)公開日 平成14年9月11日 (2002.9.11)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> ( 参考 )
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
	1/1345	1/1345	4 M 1 0 4
H 0 1 L 21/28		H 0 1 L 21/28	L 5 F 0 3 3
	21/3205	21/88	B 5 F 1 1 0
	21/768	21/90	A

審査請求 未請求 請求項の数 40 L ( 全 9 数 ) 最終頁に続く

(21)出願番号 特願2001 - 54854(P2001 - 54854)

(22)出願日 平成13年2月28日(2001.2.28)

(71)出願人 595059056

株式会社アドバンスト・ディスプレイ  
熊本県菊池郡西合志町御代志997番地

(72)発明者 小西 幸信

熊本県菊池郡西合志町御代志997番地 株式  
会社アドバンスト・ディスプレイ内

(72)発明者 中山 明男

熊本県菊池郡西合志町御代志997番地 株式  
会社アドバンスト・ディスプレイ内

(74)代理人 100065226

弁理士 朝日奈 宗太 ( 外 1 名 )

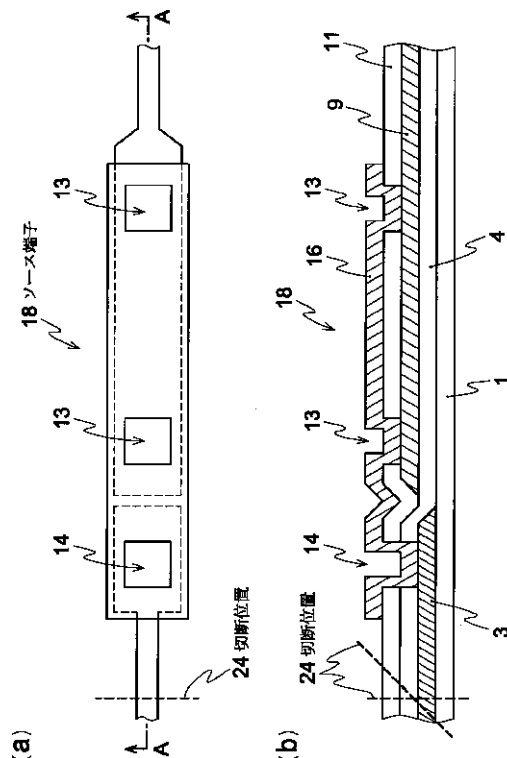
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 アクティブマトリクス型液晶表示装置の薄膜トランジスタ ( T F T ) アレイ基板において、端子間ショートを抑減させ、生産性および信頼性の高い液晶表示装置を得る。

【解決手段】 T F T アレイ基板上に設ける信号入力用の端子部において、端子電極の下層に位置する金属配線を、表示部側と基板端部側とでそれぞれ別々の金属層から形成し、基板端部側の金属層を表示部側の金属層より下層に形成することで、基板の切断および面取り時に金属層がはがれることを防止し、端子間ショートを抑減する。



## 【特許請求の範囲】

【請求項1】 画素電極と、該画素電極に接続されたスイッチング素子と、該スイッチング素子に接続されたゲート配線およびソース配線とを備える表示部が表面に形成され、さらに該表示部の外側に、前記ゲート配線および前記ソース配線に外部信号源からの電気配線を接続するための端子部が形成されてなるTFTアレ基板と、該TFTアレ基板に対向して配置された対向基板と、前記両基板間に挟持された液晶材料とからなる液晶表示装置であって、前記端子部が、前記外部信号源からの電気配線が接続される端子電極と、該端子電極の下層に配置されコンタクトホールを介して該端子電極へと接続される第1の金属配線および第2の金属配線を有し、前記第1の金属配線と前記第2の金属配線とが、あいだに絶縁膜を介して形成されていることを特徴とする液晶表示装置。

【請求項2】 前記第1の金属配線が前記ソース配線と同層で形成され、前記第2の金属配線が前記ゲート配線と同層で形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記第1の金属配線が前記ソース配線へと接続されており、前記第2の金属配線は前記第1の金属配線よりも下層側に形成されていることを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】 前記第2の金属配線が前記ゲート配線へと接続されており、前記第2の金属配線は前記第1の金属配線よりも下層側に形成されていることを特徴とする請求項1または2記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、とくに薄膜トランジスタ（以下、TFTと称する）をスイッチング素子として搭載したアクティブマトリクス型の液晶表示装置に関するものである。

## 【0002】

【従来の技術】液晶表示装置は、一对の基板間に液晶材料を挟持してなる。図5に、一方の基板について、その拡大平面図を示す。図5に示すように、一方の基板には縦横のマトリクス状に画素電極15が設けられ、各画素電極への電圧印加を制御するためにスイッチング素子が設けられている。スイッチング素子としては薄膜トランジスタ（以下、TFTと称する）17が用いられることが多い。そのため、この基板はTFTアレ基板と呼ばれる。TFTアレ基板には、さらに、各TFT17に電気信号を供給するために、ゲート配線2およびソース配線9が設けられている。ゲート配線2への信号印加によってTFT17をオンにすると、ソース配線9の電位が画素電極15へと書き込まれる。もう一方の基板の表面には、対向電極が設けられており、対向電極 - 画素電極間の電位差によってあいだに挟まれた液晶が駆動さ

れ、所望の表示を得ることができる。

【0003】図4にTFTアレ基板の全体平面を示す。前記画素電極15、TFT17などは表示部22に設けられ、その周辺に、端子部20、21が設けられている。端子部20、21には、それぞれソース端子18およびゲート端子19が設けられており、ソース端子18は表示部22のソース配線9へと、ゲート端子19は表示部22のゲート配線2へと、それぞれ接続されている。

【0004】製造工程中に静電気などによってTFT17が破壊されることがないように、ソース端子18およびゲート端子19は、ショートリング23に接続されている。製造工程の最終段階で、TFTアレ基板の端部を切り落としてショートリング23を除去し、その後、各ソース端子18、ゲート端子19に信号源からの配線を接続して液晶表示装置は完成する。

【0005】つぎに、TFTアレ基板の製造工程を図6、7、8を用いて説明する。図6、7にはTFTアレ基板上のTFTおよびソース端子について、その断面が示されている。

【0006】図において、1はガラス基板などの透明な絶縁性基板、あるいは単なる絶縁性基板である。2は基板1上に形成されたゲート配線であり、AlもしくはCrなどの金属層から形成される。4はゲート配線2上に基板1の全面にわたって形成されたゲート絶縁膜であり、シリコン窒化膜からなる。

【0007】5はゲート絶縁膜4を介してゲート配線2の上方に形成された半導体層であり、アモルファスシリコン膜などからなる。6は半導体層5上に形成されたコンタクト層であり、n+型アモルファスシリコン膜からなる。7および8はそれぞれ、コンタクト層6上に形成されたソース電極、ドレイン電極であり、9はソース電極7およびドレイン電極8の形成と同時に形成されるソース配線、10はコンタクト層6を選択的にエッチングすることによって形成されたチャンネル部である。11はTFT保護のためのパッシベーション膜であり、シリコン窒化膜からなる。

【0008】12は、画素電極への接続のためにドレイン電極8上のパッシベーション膜11に形成されたコンタクトホール、13は端子電極への接続のためにソース配線9上のパッシベーション膜11に形成されたコンタクトホールである。

【0009】さらに、15はコンタクトホール12を介してドレイン電極8へと接続された画素電極であり、ITO膜からなる。16は画素電極15と同時に形成され、コンタクトホール13を介してソース配線9へと接続された端子電極である。

【0010】図8は、図7(c)におけるソース端子18を拡大して示した図であり、図8(a)がソース端子18の平面を、図8(b)が図8(a)の矢視B-B断

面をそれぞれあらわしている。

【0011】TFTアレ基板の製造にあたっては、まず、絶縁性基板1の表面にたとえばCuやAlなどの金属膜をスパッタ法により成膜し、写真製版法により形成したレジストを用いてパターンニングし、ゲート配線2を形成する(図6(a))。

【0012】つぎに、プラズマCVD法によりゲート絶縁膜4となるシリコン窒化膜を全面に形成し(図6(b))、さらにアモルファスシリコン膜および不純物がドーパされたn+型アモルファスシリコン膜を順次成膜したのち、写真製版法により形成したレジストを用いてアモルファスシリコン膜およびn+型アモルファスシリコン膜を同時にパターンニングし、ゲート配線2の上方にTFTの半導体層5およびコンタクト層6を形成する(図6(c))。

【0013】つぎに、図7(a)に示すように、ソース電極、ドレイン電極およびソース配線を形成するために、まずスパッタ法などにより、Cr膜もしくはAl膜などの金属膜を成膜し、写真製版法により形成したレジストを用いてパターンニングし、ソース電極7、ドレイン電極8およびソース配線9を形成する。ついでドライエッチング法によりソース電極7およびドレイン電極8に覆われていない部分のn+アモルファスシリコン膜(コンタクト層6)をエッチングしてチャネル部10を形成する。

【0014】つぎに、図7(b)に示すように、TFTを保護するために、プラズマCVD法などによりシリコン窒化膜を成膜して、パッシベーション膜11を形成する。その後、写真製版法により形成したレジストを用い、ドライエッチング法により、画素電極とドレイン電極8とを接続するためのコンタクトホール12と、ソース配線9と端子電極とを接続するためのコンタクトホール13を形成する。

【0015】最後に、図7(c)に示すように、透明導電膜としてITO膜をスパッタ法などにより成膜したのち、写真製版法により形成したレジストを用いてパターンニングし、画素電極15を形成すると同時に、外部信号源との接続のための端子電極16を形成する。

【0016】このようにして製造したTFTアレ基板について、ソース端子18の拡大図を図8に示す。すでに説明したように、ソース端子18の最上層には外部信号源との接続のための端子電極16が形成され、端子電極16はコンタクトホール13を介してソース配線9に接続されている。そして、ソース配線9の一端はTFT17のソース電極7へと接続されている。一方、ソース配線9のもう一端は、ショートリング23へと接続されている。

【0017】製造工程の最終段階において、TFTアレ基板の端部を切断位置24で切り落とし、さらに面取りをおこなってショートリング23を除去する。このと

きの面取り工程によって、基板端面においてソース配線9が剥離し、剥離した金属膜片同士が接触して、隣り合う端子同士を短絡させ隣接配線間のショートを引き起こすという問題があった。また、とくに切断位置を端子電極のすぐ近くとした場合や、製造装置の精度などによって切断位置が端子電極の近くにまでおよぶ場合などでは、剥離した金属膜片が隣の端子の端子電極に接触して、やはり隣接配線間のショートを引き起こすという問題があった。

【0018】

【発明が解決しようとする課題】以上のように従来のTFTアレ基板では、図8に示すように、ソース端子18において端子電極16の下層の金属層は、表示部側、ショートリング側ともすべて同層の金属層、すなわちソース配線9で形成されている。

【0019】この構造においては、基板の切断および面取り工程時に切断位置24で基板の面取りを行なう場合、端子部端面のソース配線9が面取り工程によりはがれ、はがれた金属膜片同士が接触し、隣り合う端子同士を短絡させ、隣接配線間のショートを引き起こすなどの問題があった。また、はがれた金属膜片が端子電極に接触し、隣り合う端子同士を短絡させ隣接配線間のショートを引き起こすなどの問題があった。

【0020】本発明は、叙上のような問題点を解消するためになされたもので、基板の切断および面取りによる金属層のはがれを防止して、信頼性の高い液晶表示装置を得ることを目的とする。

【0021】

【課題を解決するための手段】本発明にかかわる液晶表示装置は、一对の基板間に液晶材料を挟持してなり、一方の基板に、画素電極と、該画素電極に電気的に接続されたスイッチング素子と、該スイッチング素子に電気的に接続されたゲート配線およびソース配線とを備える表示部が形成され、さらに該表示部の外側に、前記ゲート配線および前記ソース配線に外部信号源からの電気配線を接続するための端子部が形成されてなる液晶表示装置であって、前記端子部が、基板の最上層に位置し前記外部信号源からの電気配線が接続される端子電極と、該端子電極の下層に配置されコンタクトホールを介して該端子電極へと接続される第1の金属配線および第2の金属配線を有し、前記第1の金属配線と前記第2の金属配線とが、あいだに絶縁膜を介して形成されていることを特徴とする。

【0022】また、第1および第2の金属配線の一方が前記ゲート配線と同層に形成され、他方が前記ソース配線と同層に形成されていることを特徴とする。

【0023】また、第1および第2の金属配線の一方がソース配線へと接続されており、他方の金属配線はこの金属配線よりも下層側に形成されていることを特徴とする。

【0024】あるいは、第1および第2の金属配線の一方がゲート配線へと接続されており、他方の金属配線はこの金属配線よりも下層側に形成されていることを特徴とする。

【0025】

【発明の実施の形態】実施の形態1

以下、本発明の一実施の形態について、図に基づいて説明する。

【0026】図1, 2は本発明の実施の形態1による液晶表示装置のTFTアレイ基板について、TFTおよびソース端子の製造工程を示す断面図である。

【0027】図において、1はガラス基板などの透明な絶縁性基板、あるいは単なる絶縁性基板である。2, 3はそれぞれ、基板1上に形成されたゲート配線、ショートリングへの取り出し配線であり、AlもしくはCrなどの金属層から形成される。4はゲート配線2および取り出し配線3上に基板1の全面にわたって形成されたゲート絶縁膜であり、シリコン窒化膜からなる。

【0028】5はゲート絶縁膜4を介してゲート配線2の上方に形成された半導体層であり、アモルファスシリコン膜などからなる。6は半導体層5上に形成されたコンタクト層であり、n+型アモルファスシリコン膜からなる。7および8はそれぞれ、コンタクト層6上に形成されたソース電極、ドレイン電極であり、9はソース電極7およびドレイン電極8の形成と同時に形成されたソース配線、10はコンタクト層6を選択的にエッチングすることにより形成されたチャンネル部である。11はTFT保護のためのパッシベーション膜であり、シリコン窒化膜からなる。

【0029】12は、画素電極への接続のためにドレイン電極8上のパッシベーション膜11に形成されたコンタクトホール、13はソース配線9と端子電極とを接続するためにソース配線9上のパッシベーション膜11に形成されたコンタクトホール、14は端子電極と取り出し配線3とを接続するために、取り出し配線3上のゲート絶縁膜4およびパッシベーション膜11に形成されたコンタクトホールである。

【0030】さらに、15はコンタクトホール12を介してドレイン電極8へと接続された画素電極であり、ITO膜からなる。16は画素電極15と同時に形成されたコンタクトホール13, 14を介してソース配線9、取り出し配線3へと接続された端子電極である。

【0031】図3は、図2(c)におけるソース端子18を拡大して示した図であり、図3(a)がソース端子18の平面を、図3(b)は図3(a)の矢視A-A断面をそれぞれあらわしている。

【0032】つぎに、本実施の形態による液晶表示装置のTFTアレイ基板の製造方法を説明する。まず、図1(a)に示すように、絶縁性基板1の表面にたとえばCuやAlなどの金属膜をスパッタ法により成膜したあ

と、写真製版法より形成したレジストを用いてパターンニングし、ゲート配線2およびショートリングへの取り出し配線3を形成する。

【0033】Cr膜やAl膜などの金属膜のパターンニングにはウェットエッチング法を用いるが、あらかじめエッチャントの組成を検討して、Cr膜やAl膜などの金属膜のエッチング端面をテーパ形状に形成することにより、この金属層の上層に形成する膜の被膜性を向上できる。

【0034】つぎに、プラズマCVD法によりゲート絶縁膜4となるシリコン窒化膜を全面に形成し(図1(b))、さらにアモルファスシリコン膜と不純物がドーパされたn+型アモルファスシリコン膜とを順次成膜したのち、写真製版法により形成したレジストを用いてアモルファスシリコン膜およびn+型アモルファスシリコン膜を同時にパターンニングし、ゲート配線2の上方にTFTの半導体層5およびコンタクト層6を形成する(図1(c))。

【0035】つぎに、図2(a)に示すように、ソース電極、ドレイン電極およびソース配線を形成するために、まずスパッタ法などにより、Cr膜もしくはAl膜などの金属膜を成膜し、写真製版法により形成したレジストを用いてパターンニングし、ソース電極7、ドレイン電極8およびソース配線9を形成する。ついで、ドライエッチング法によりソース電極7およびドレイン電極8に覆われていない部分のn+型アモルファスシリコン膜(コンタクト層6)をエッチングしてチャンネル部10を形成する。

【0036】つぎに、図2(b)に示すように、TFTを保護するために、プラズマCVD法などによりシリコン窒化膜を成膜して、パッシベーション膜11を形成する。その後、写真製版法により形成したレジストを用い、ドライエッチング法により画素電極とドレイン電極8とを接続するためのコンタクトホール12と、ソース配線9と端子電極とを接続するためのコンタクトホール13と、端子電極と取り出し配線3とを接続するためのコンタクトホール14とを形成する。

【0037】最後に、図2(c)に示すように、透明導電膜としてITO膜をスパッタ法などにより成膜したのち、写真製版法により形成したレジストを用いてパターンニングし、画素電極15を形成すると同時に、端子電極16を形成する。

【0038】したがって、ソース配線9は、コンタクトホール13、端子電極16およびコンタクトホール14を介して、ショートリングへの取り出し配線3に電氣的に接続されている。

【0039】以上の工程により形成されたTFTアレイ基板の表面にさらに配向膜を形成し、透明絶縁性基板上に遮光膜、対向電極、配向膜などを形成してなる対向基板を対向配置し、両基板のあいだに液晶材料を注入して

シール材で封止し、そのうち TFT アレイ基板の端部を切断してショートリング 23 を除去し、切断面の面取りを行なうことにより液晶表示装置を構成する。

【0040】本実施の形態による液晶表示装置の TFT アレイ基板においては、図 3 のソース端子 18 の拡大図に示すように、端子部形成時に端子電極 16 の下層の金属配線を、表示部側と基板端部側とでそれぞれ別の金属層から形成する。つまり、表示部側の金属配線であるソース配線 9 はソース電極 7 やドレイン電極 8 と同一の金属層から形成され、基板端部側すなわちショートリング側の金属配線である取り出し配線 3 はゲート配線 2 と同一の金属層から形成される。

【0041】本発明によれば、図 3 に示した切断位置 24 において、金属配線すなわち取り出し配線 3 がゲート絶縁膜 4 よりも下層にある。したがって、基板切断時の面取りによって取り出し配線 3 が削られることがなくなる、あるいは削られる両が少なくなり、金属膜片の発生を最小限に抑制することができる。また、上層に位置するゲート絶縁膜 4 が抑えの役割を果たすため、この点からも、取り出し配線 3 の剥離を抑制して金属膜片の発生を防ぎ、端子間短絡の発生を防止することができる。

【0042】なお、本実施の形態では、ソース電極およびソース配線がゲート配線よりも上層に形成され、ソース端子での短絡が問題となる TFT アレイ基板を例として説明を行なった。しかし、ゲート配線がソース配線よりも上層に形成されている TFT アレイ基板であっても、本発明によって切断、面取り位置でのゲート配線端部の剥離を抑制して、端子間短絡を防止することが可能である。

【0043】

【発明の効果】以上のように、本発明によれば、端子部で端子電極の下層に位置する金属配線において、基板端部側の金属配線を表示部側の金属配線と別層に形成しているため、基板の切断および面取り工程時に、金属配線がはがれて金属膜片を生じることが防ぎ、金属膜片による端子間ショートを防止して、より信頼性の高い液晶表示装置を得ることができる。また、切断および面取りを行なう位置を端子電極のすぐ近くとしても端子間ショートを生じることがないため、高精度の切断面取り設備が不要となる、液晶表示装置の小型化が可能となる、切断しるを小さくして材料の無駄を少なくすることができるなどの利点がある。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 による液晶表示装置の TFT アレイ基板の製造工程を示す断面図である。

【図 2】本発明の実施の形態 1 による液晶表示装置の TFT アレイ基板の製造工程を示す断面図であり、図 1 に続く工程を表わした図である。

【図 3】本発明の実施の形態 1 による液晶表示装置の TFT アレイ基板について、端子部を拡大して示した平面図、および断面図である。

【図 4】液晶表示装置の TFT アレイ基板の全体を示す概略平面図である。

【図 5】液晶表示装置の TFT アレイ基板を示す平面図であり、とくに表示部の画素を示す図である。

【図 6】従来の技術による液晶表示装置の TFT アレイ基板の製造工程を示す断面図である。

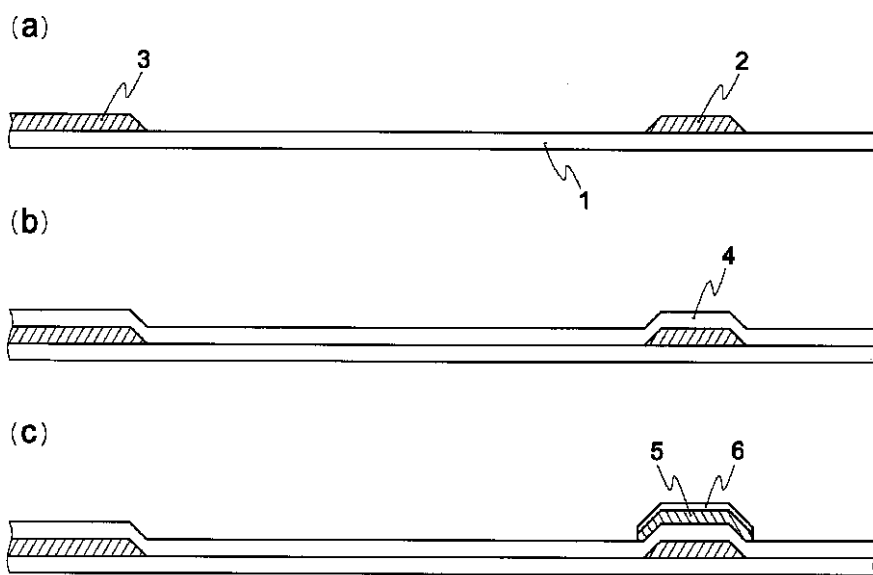
【図 7】従来の技術による液晶表示装置の TFT アレイ基板の製造工程を示す断面図である。

【図 8】従来の技術による液晶表示装置の TFT アレイ基板について、端子部を拡大して示した平面図、および断面図である。

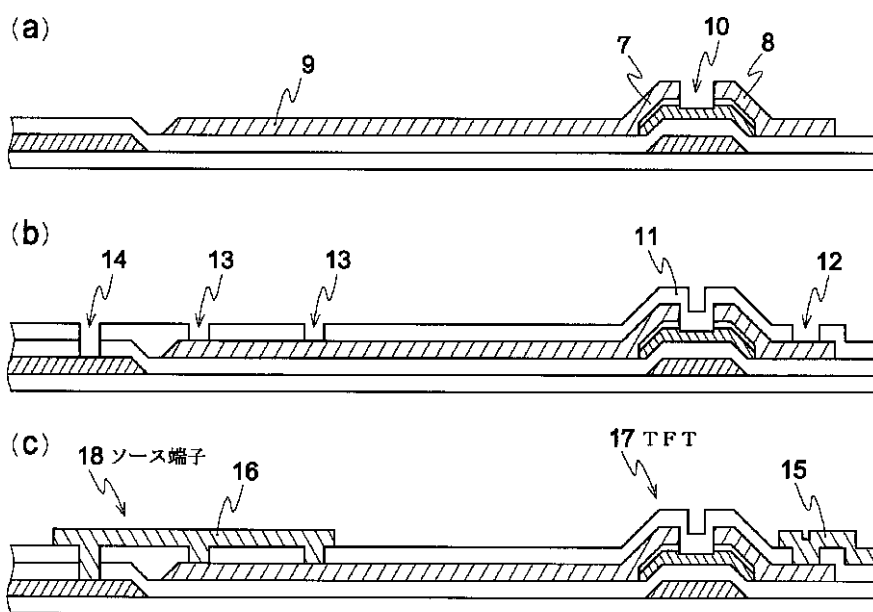
【符号の説明】

- 1 基板
- 2 ゲート配線
- 3 ショートリングへの取り出し配線
- 4 ゲート絶縁膜
- 5 半導体層
- 6 コンタクト層
- 7 ソース電極
- 8 ドレイン電極
- 9 ソース配線
- 10 チャネル部
- 11 パッシベーション膜
- 12、13、14 コンタクトホール
- 15 画素電極
- 16 端子電極
- 17 TFT
- 18 ソース端子
- 19 ゲート端子
- 20、21 端子部
- 22 表示部
- 23 ショートリング
- 24 切断位置

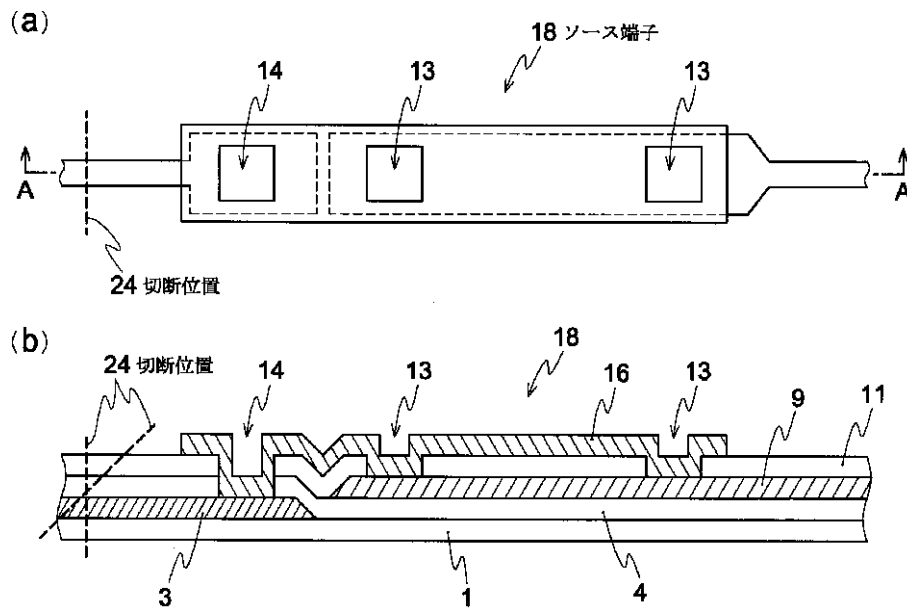
【図1】



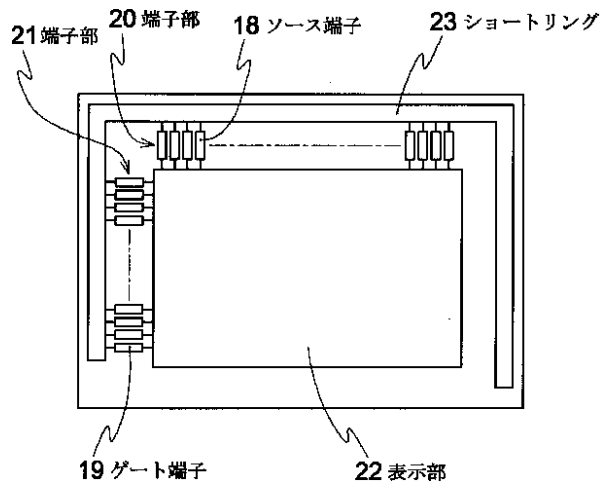
【図2】



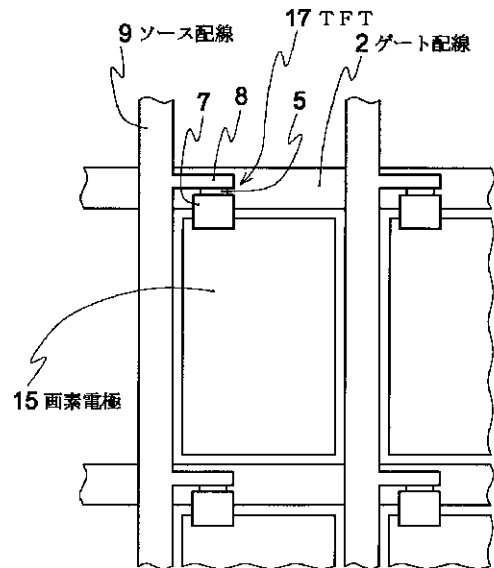
【図3】



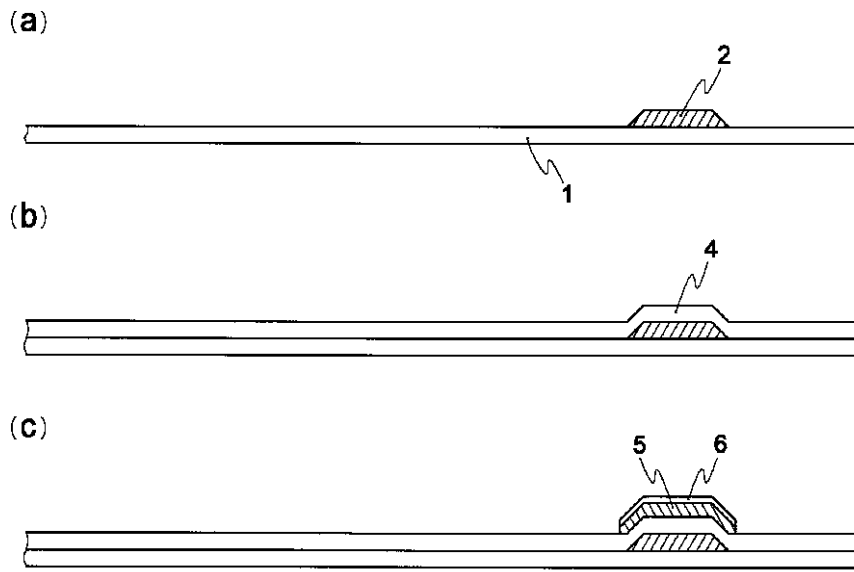
【図4】



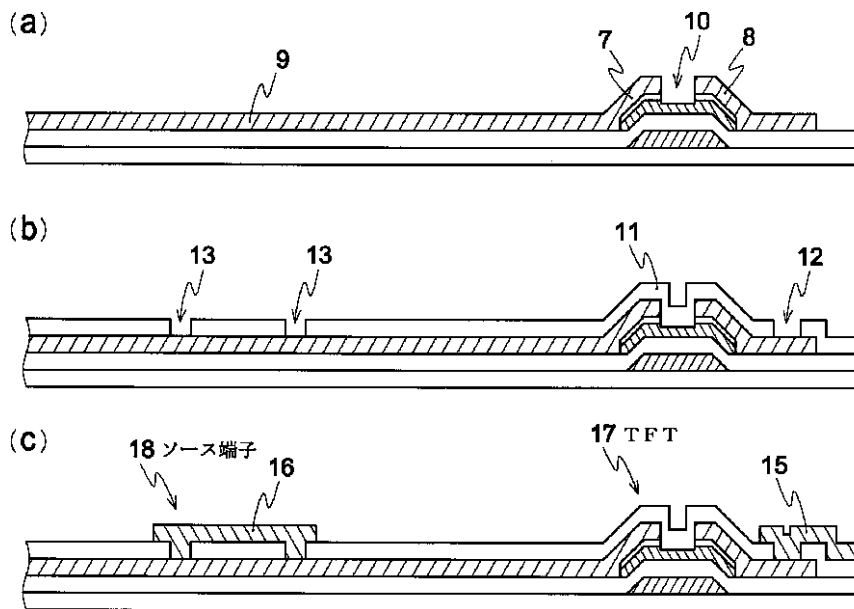
【図5】



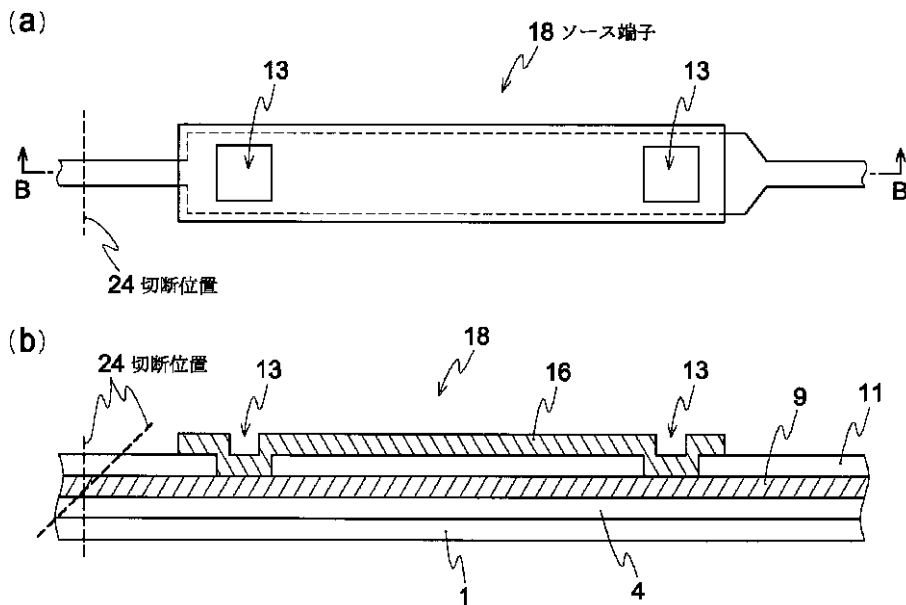
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターコード(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C

(72)発明者 小林 和弘  
 熊本県菊池郡西合志町御代志997番地 株  
 式会社アドバンスト・ディスプレイ内

F ターム(参考) 2H092 GA43 GA64 JA26 JA34 JA37  
 JA41 JA46 JB22 JB31 JB57  
 JB79 KA05 KA10 KA12 KA18  
 KA24 KB04 MA05 MA07 MA08  
 MA13 MA18 MA27 NA14 NA15  
 NA16 NA29  
 4M104 AA01 AA10 BB02 BB04 BB13  
 BB36 CC01 DD08 DD17 DD37  
 DD64 EE03 EE06 EE17 FF08  
 GG20 HH20  
 5F033 GG03 GG04 HH08 HH17 HH38  
 JJ01 JJ08 JJ17 JJ38 KK08  
 KK11 KK17 MM19 PP15 QQ08  
 QQ19 QQ34 RR06 SS15 VV06  
 VV15 XX00 XX31  
 5F110 AA26 BB01 CC07 DD02 EE03  
 EE04 EE44 FF03 FF30 GG02  
 GG15 GG45 HK03 HK04 HK09  
 HK16 HK35 HL07 NN02 NN24  
 NN72

专利名称(译)	薄膜晶体管阵列基板和使用该基板的显示装置		
公开(公告)号	<a href="#">JP2002258319A5</a>	公开(公告)日	2008-01-31
申请号	JP2001054854	申请日	2001-02-28
申请(专利权)人(译)	有限公司高级显示		
[标]发明人	KONISHI YUKINOBU NAKAYAMA AKIO KOBAYASHI KAZUHIRO 小西幸信 中山明男 小林和弘		
发明人	小西 幸信 中山 明男 小林 和弘		
IPC分类号	G02F1/1368 G02F1/1345 H01L21/28 H01L21/3205 H01L21/768 H01L29/786		
CPC分类号	G02F1/136286 G02F1/136204 G02F1/13458		
FI分类号	G02F1/1368 G02F1/1345 H01L21/28.L H01L21/88.B H01L21/90.A H01L29/78.612.C		
F-TERM分类号	5F033/KK17 4M104/EE17 5F110/HK03 4M104/CC01 5F033/HH17 4M104/GG20 5F033/JJ08 5F110/NN02 4M104/EE03 5F033/VV15 2H092/JA41 5F110/EE04 2H092/JA46 5F033/MM19 4M104/AA10 5F110/BB01 5F110/AA26 5F033/HH08 5F033/RR06 2H092/KB04 4M104/BB04 5F110/NN72 5F110/FF30 2H092/JA26 5F110/EE44 5F110/CC07 5F110/DD02 4M104/DD37 5F033/PP15 5F110/FF03 2H092/MA18 2H092/JB57 2H092/MA27 5F033/QQ34 5F033/KK11 2H092/GA43 4M104/AA01 2H092/JB79 5F033/XX00 2H092/KA05 5F033/JJ38 4M104/DD64 5F033/HH38 5F110/EE03 2H092/KA12 5F110/HK35 5F033/KK08 4M104/FF08 5F033/JJ01 5F110/GG15 5F110/GG02 2H092/NA29 5F033/QQ08 2H092/GA64 4M104/BB02 5F033/GG03 5F110/NN24 2H092/JB31 5F033/VV06 5F110/HK16 5F033/JJ17 4M104/DD08 2H092/KA24 4M104/DD17 5F033/QQ19 5F033/GG04 5F110/GG45 2H092/JA34 5F033/SS15 2H092/MA08 2H092/NA15 2H092/KA18 2H092/JB22 4M104/HH20 2H092/JA37 4M104/EE06 4M104/BB13 5F110/HK04 5F110/HK09 5F033/XX31 2H092/MA13 2H092/KA10 2H092/MA07 2H092/NA16 5F110/HL07 2H092/MA05 4M104/BB36 2H092/NA14 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC57 2H192/FA65 2H192/GA12 2H192/GA42		
其他公开文献	JP4646420B2 JP2002258319A		

#### 摘要(译)

解决的问题：通过减少有源矩阵液晶显示装置的薄膜晶体管（TFT）阵列基板中的端子之间的短路，来获得具有高生产率和可靠性的液晶显示装置。解决方案：在TFT阵列基板上提供的信号输入端子部分中，位于端子电极下方的金属布线分别由显示部分侧和基板端部侧的不同金属层形成。通过在显示部分侧的金属层下方的部分侧上形成金属层，可以防止在切割和倒角基板时金属层剥离，并且可以减少端子之间的短路。