

(19)日本国特許庁(J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002 - 215120

(P2002 - 215120A)

(43)公開日 平成14年7月31日(2002.7.31)

(51) Int.CI ⁷	識別記号	F I	テマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	535	G 0 2 F 1/133	5 C 0 0 6
	550		5 C 0 5 8
	575		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 E

審査請求 未請求 請求項の数 130 L(全9数) 最終頁に続く

(21)出願番号 特願2001 - 325224(P2001 - 325224)

(71)出願人 390019839

三星電子株式会社

(22)出願日 平成13年10月23日(2001.10.23)

大韓民国京畿道水原市八達区梅灘洞416

(31)優先権主張番号 2000 - 82004

(72)発明者 朴 倖 源

(32)優先日 平成12年12月26日(2000.12.26)

大韓民国京畿道城南市寿井区新興2洞韓新アパート3棟708号

(33)優先権主張国 韓国(KR)

(72)発明者 田 万 福

大韓民国京畿道龍仁市器興邑旧葛里405 - 1
豊林アパート1108号

(74)代理人 100094145

弁理士 小野 由己男 (外1名)

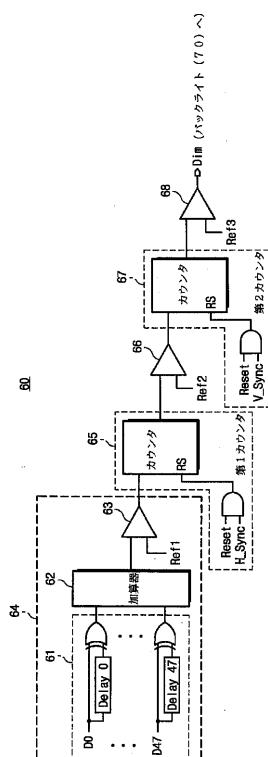
最終頁に続く

(54)【発明の名称】 フリッカが低減された液晶表示装置及びフリッカ低減方法

(57)【要約】

【課題】 フリッカが低減された液晶表示装置及びフリッカ低減方法を提供する。

【解決手段】 色信号 R G B を構成するビットのトグリングをトグリング検出器 6 1 で検出し、トグリングされたビット数を加算器 6 2 により計算する。第 1 比較器 6 3 は計算結果と R e f 1 の比較結果を第 1 カウンタ 6 5 に出力する。第 1 カウンタ 6 5 は 1 ラインでのフリッカの個数をカウントし、第 2 比較器 6 6 はカウント結果と R e f 2 の比較結果を第 2 カウンタ 6 7 に出力する。第 2 カウンタ 6 7 は 1 フレームでのフリッカの個数をカウントし、第 3 比較器 6 8 はカウント結果と R e f 3 の比較結果をバックライトの制御信号 D i m として出力する。以上のような構成により、1 つのフレームで所定比率以上のフリッカが発生する時、バックライトの明るさを調節して、液晶表示装置で視覚的に感知されるフリッカを減少させる。



【特許請求の範囲】

【請求項1】液晶表示装置において、複数の画素を備える液晶パネルと、前記液晶パネルに均一な明るさの平面光を提供するためのバックライトと、ゲートクロック信号及び複数の制御信号を発生し、前記液晶パネルに表示されるデータがトグリングされるかを判別し、感知結果に従って前記バックライトの明るさを調節するための制御信号を発生するタイミング制御回路と、前記ゲートクロック信号に応じて前記液晶パネルに表示されるデータに対応する複数の階調電圧を発生するための階調電圧発生回路と、前記ゲートクロック信号に応じて前記液晶パネルの前記画素を1列ずつ順次にスキャンニングするためのゲート駆動回路と、前記階調電圧及び前記複数の制御信号に応じて前記液晶パネルに表示されるデータに対応する液晶駆動電圧を発生し、発生した前記液晶駆動電圧を毎スキャンニングごとに前記液晶パネルに印加するためのソース駆動回路と、を含むフリッカが減少された液晶表示装置。

【請求項2】前記タイミング制御回路は、前記ゲートクロック信号及び前記複数の制御信号を発生するための信号発生手段と、前記液晶パネルに表示される1つのフレームのデータに含まれるトグリングデータの量を検出し、検出された前記トグリングデータの量に従って前記バックライトの明るさを調節することによって、視覚的に認識されるフリッカの量を減少させるためのフリッカ低減手段と、を含む請求項1に記載のフリッカが減少された液晶表示装置。

【請求項3】前記フリッカ低減手段は、前記データがトグリングされるかを検出して、前記データがフリッカされるかを画素単位で感知するためのフリッカ感知部と、前記フリッカ感知部によって感知された結果に応じて前記液晶パネルの1つのラインに表示されるデータのうち、トグリングされたデータの個数をカウントするための第1カウンタと、

前記第1カウンタでカウンティングされた結果を第1基準値と比較して、前記ラインを構成するデータ全体がトグリングされるかを検出するための第1比較器と、前記第1比較器から検出された結果に応じて前記ラインを構成するデータ全体がトグリングされた場合、前記ラインの個数をカウントするための第2カウンタと、前記第2カウンタでカウンティングされた結果を第2基準値と比較して、前記カウンティングされた結果が前記第2基準値より大きいか、同一である場合、前記バックライトの明るさを暗くする制御信号を発生するための第2比較器と、を含む請求項2に記載のフリッカが減少さ

れた液晶表示装置。

【請求項4】前記フリッカ感知部は、前記データを構成する各々のビットを取り込み、入力された前記ビットを所定時間遅延した後、遅延されない前記ビットと所定時間遅延された前記ビット各々に対するXOR演算を実行し、前記ビット各々に対してトグリングされるかを検出するためのトグリング検出器と、前記トグリング検出器から発生した前記ビットに対する各々のXOR演算結果に応じて、前記データを構成する前記ビットのうち、トグリングされたビットの個数をカウントするための加算器と、前記トグリングされたビットの個数を第3基準値と比較して前記データがトグリングされるかを検出するための第3比較器と、を含む請求項3に記載のフリッカが減少された液晶表示装置。

【請求項5】前記フリッカ低減手段は、前記フリッカ低減手段から前記明るさを暗くする制御信号が発生された後、前記液晶パネルに表示される1つのフレームのデータに含まれたトグリングデータの量が前記第2基準値未満である時、前記バックライトの明るさを明るく調節するための制御信号を発生する請求項3に記載のフリッカが減少された液晶表示装置。

【請求項6】前記フリッカ低減手段は、前記バックライトの明るさを少なくとも1段階以上調節できる請求項5に記載のフリッカが減少された液晶表示装置。

【請求項7】液晶表示装置のフリッカ低減方法において、データが前記液晶表示装置の時差制御器に入力される段階と、

30 入力された前記データがトグリングデータであるかを判別する段階と、前記液晶表示装置に表示される1つのラインのデータのうち、トグリングされたデータの個数をカウントする段階と、前記液晶表示装置に表示される1つのフレームのデータのうち、トグリングされたラインの個数をカウントする段階と、前記トグリングされたラインの個数に応じて前記液晶表示装置の明るさを調節する段階と、を含む液晶表示装置のフリッカ低減方法。

【請求項8】前記データがトグリングデータであるかを判別する段階は、

前記データを構成する各々のビット及び前記ビットを所定時間遅延させた各々の前記ビットに対するXOR演算を実行して前記ビット各々に対してトグリングされるかを検出する段階と、

前記XOR演算結果に応じてトグリングされたビットの個数をカウントする段階と、カウントされた前記ビットの個数を第1基準値と比較する段階と、を含む請求項7に記載の液晶表示装置のフリ

ツカ低減方法。

【請求項9】前記液晶表示装置に表示される1つのラインのデータのうち、トグリングされたデータの個数をカウントする段階は、

カウントされた前記ビットの個数が前記第1基準値と同一である場合、第1カウント値を増加させる段階と、カウントされた前記第1カウント値を第2基準値と比較する段階と、を含む請求項8に記載の液晶表示装置のフリッカ低減方法。

【請求項10】前記液晶表示装置に表示される1つのフレームのデータのうち、トグリングされたラインの個数をカウントする段階は、
10

前記第1カウント値が前記第2基準値と同一である場合、第2カウント値を増加させる段階と、を含む請求項9に記載の液晶表示装置のフリッカ低減方法。

【請求項11】前記トグリングされたラインの個数に応じて前記液晶表示装置の明るさを調節する段階は、
20

前記第2カウント値を第3基準値と比較する段階と、前記第2カウント値が前記第3基準値より大きいか、同一である場合、バックライトの明るさを暗くなるように調節して前記液晶表示装置に表示されるフリッカの量を視覚的に減少させる段階と、を含む請求項10に記載の液晶表示装置のフリッカ低減方法。

【請求項12】前記カウントされたトグリングされたラインの個数に応じて前記液晶表示装置の明るさを調節する段階は、
20

前記バックライトの明るさが暗く調節された後、前記第2カウント値が前記第3基準値未満であると、前記バックライトの明るさを明るく調節する段階を含む請求項11に記載の液晶表示装置のフリッカ低減方法。

【請求項13】前記バックライトの明るさは少なくとも1以上の段階で調節される請求項12に記載の液晶表示装置のフリッカ低減方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置(liquid crystal display:LCD)に関し、さらには薄膜トランジスタ(thin film transistor:TFT)をスイッチング素子として使用するアクティブマトリックス液晶表示装置の残像又はフリッカを低減できる装置及び方法に関する。

【0002】

【従来の技術】アクティブマトリックスLCDの駆動方式はマトリックス状に配列された各画素に非線形特性を有するアクティブ素子を付加して各画素をスイッチングすることであり、アクティブ素子としては、通常、薄膜トランジスタを使用する。

【0003】このようなTFTLCDの光学的な表示特性は、TFT素子、液晶材料、配向膜材料、セル間隔、
50

カラーフィルタ等の影響を受け、長時間使用することによって表示特性を低下させるフリッカ又は残像が現れることである。

【0004】このようなフリッカを低減する方法は、1993年10月、Kimura等による米国特許第5,253,091号の“LIQUID CRYSTAL DISPLAY HAVING REDUCED FLICKERS”と、1995年7月、Suzuki等による米国特許第5,436,747号の“REDUCE D FLICKER LIQUID CRYSTAL DISPLAY”に開示されている。

【0005】一般に、液晶表示装置は画素電極及びTFTが形成されたTFT基板と、共通電極及びカラーフィルタが形成されたカラーフィルタと、その間に注入されている液晶物質とで構成される。

【0006】このような液晶表示装置では、カラーフィルタ基板に形成された共通電極とTFT基板に形成された画素電極に電圧を印加して2つの電極の間に電位差を与えて液晶分子を駆動させる。通常、2つの電極の間に印加される電界の方向を周期的に変える。

【0007】例えば、共通電極に加える共通電極電圧をVcomにすると、TFTを通じて画素電極に印加される信号電圧は共通電極電圧Vcomに対して周期的に反転される。この時、共通電極電圧に対してプラスである電圧の実効値とマイナスである電圧の実効値が同一であると、残像もフリッカも発生しない。しかし、2つの電圧の実効値が異なると、2つの電極の間には直流成分を有する電界が印加され、この直流成分によって残像が発生する。即ち、同一の階調に対するプラス電圧とマイナス電圧のデータ電圧が共通電極電圧を中心にして対称に印加されないと、プラス電圧及びマイナス電圧各々に従って画素の明るさが異なり、このような明るさの差がフリッカとして現れる。又、2つの基板の間に直流成分の電圧が印加されて残像又は焼付き(image sticking)が生じる。最初は共通電極電圧が正確に調節されて直流成分がなくても、液晶表示装置を使用するに従ってパネルの薄膜トランジスタ又は配向膜又は保護膜に物理的な変化が生じるので、共通電極電圧が最適条件から外れて、フリッカが増加する。さらに、液晶表示装置の大型化と高輝度化に従って、目によって認識されるフリッカの量は増加する。

【0008】

【発明が解決しようとする課題】本発明は、前述した問題点を解決するためのものであり、視覚的に認識されるフリッカの量を減少させ得る装置及び方法を提供することを目的とする。

【0009】

【課題を解決するための手段】前述の目的を達成するための本発明の特徴によると、液晶表示装置は複数の画素を備える液晶パネルと、液晶パネルに均一な明るさの平

面光を提供するためのバックライトと、ゲートクロック信号及び複数の制御信号を発生するタイミング制御回路、ゲートクロック信号に応じて液晶パネルに表示されるデータに対応する複数の階調電圧を発生するための階調電圧発生回路と、ゲートクロック信号に応じて液晶パネルの画素を1列ずつ順次にスキャンニングするためのゲート駆動回路と、階調電圧及び制御信号に応じて液晶パネルに表示されるデータに対応する液晶駆動電圧を発生し、発生された液晶駆動電圧を毎スキャンニングごとに液晶パネルに印加するためのソース駆動回路とを含む。タイミング制御回路は液晶パネルに表示されるデータがトグリングされるかを感知し、感知結果に従ってバックライトの明るさを調節するための制御信号を発生する。

【0010】前述の目的を達成するための本発明の他の特徴によると、液晶表示装置のフリッカ低減方法は、データが液晶表示装置の時差制御器に入力される段階と、入力されたデータがトグリングデータであるかを判別する段階と、液晶表示装置に表示される1つのラインのデータのうち、トグリングされたデータの個数をカウントする段階と、液晶表示装置に表示される1つのフレームのデータのうち、トグリングされたラインの個数をカウントする段階と、トグリングされたラインの個数に応じて液晶表示装置の明るさを調節する段階とを含む。

【0011】

【発明の実施の形態】以下、添付した図を参照して、本発明の望ましい実施形態を詳細に説明する。

【0012】本発明の液晶表示装置は、液晶パネルに表示される1つのフレーム全体のフリッカの量を感知し、感知されたフリッカの量に従って液晶パネルの明るさを調節する制御信号を発生するフリッカ低減部を備えるタイミング制御回路を含む。タイミング制御回路は1つのフレームで所定比率以上のフリッカが発生すると、バックライトの明るさが暗くなるように調節する制御信号を発生して、液晶表示装置において視覚的に感知されるフリッカの量を減少させる。

【0013】図1は本発明による液晶表示装置100の構成を示す構成図である。図を参照すると、液晶表示装置100は液晶パネル10と、液晶パネル10に連結されたゲート駆動回路20と、ソース駆動回路30と、フリッカ低減部60を備えるタイミング制御回路40と、階調電圧発生回路50と、バックライト70とを含む。

【0014】液晶パネル10は、複数のゲートラインG0～Gnと、ゲートラインG0～Gn各々に垂直に交差する複数のデータラインD1～Dmで構成される。各々のゲートラインG0～Gnにはゲート駆動回路20が連結され、各々のデータラインD1～Dmにはソース駆動回路30が連結される。液晶パネル10を通じて表示される画像は赤(red:R)、緑(green:G)、青(blue:B)、3種類のカラーフィルタの組合せに

よって得られ、液晶表示装置100はこれらの組合せによってカラー画像だけでなく純粋な赤、緑、青の階調値を示す。バックライト70は液晶パネル10に連結され、液晶パネル10に明るさが均一な平面光を提供する。階調電圧発生回路50はソース駆動回路30に連結され、液晶駆動電圧を発生するのに基準になる電圧Vgrayを発生する。ゲート駆動回路20が液晶パネル10の画素を1列ずつ順次にスキャンニングすると、ソース駆動回路30は階調電圧発生回路50から出力される

基準電圧Vgrayに応じてタイミング制御回路40を通じて入力される色信号RGBによる液晶駆動電圧を発生し、発生された液晶駆動電圧を毎スキャンニングごとに液晶パネル10に印加する。

【0015】一方、タイミング制御回路40は色信号RGB、ライン区別信号H_Sync、フレーム区別信号V_Sync及びクロック信号MCLKに応じてゲート駆動回路20及びソース駆動回路30で必要な制御信号を発生する。そして、タイミング制御回路40はその内部に備えられたフリッカ低減部60によって色信号RGBに含まれたフリッカを検出し、検出されたフリッカの量に従って液晶パネル10の明るさを調節することによって、液晶パネル10を通じて表示されるフリッカの量を視覚的に減少させる。

【0016】通常、フリッカに対する実際的な認識は個人差があり、又、個人の状態等によっても変化する。従って、表示技術分野ではフリッカを精神生理学的な方法によって測定することを論議している。例えば、フリッカに対する敏感性は年を取るほど減少し、疲労度に従って減少する。このように、フリッカは視覚的な感度に従って異なって感じられ、照度が高い時に容易に感知されるのに対して、照度が低くなるほど感知しにくい特徴がある。従って、本発明によるタイミング制御回路40はこのような特徴を利用してフリッカが所定レベル以上発生する場合、画面の明るさを暗くしてフリッカが視覚的によく感知されないようにし、フリッカが所定レベル以下発生する場合、画面の明るさを元の状態に復元する。このような動作を実行するタイミング制御回路40の構成は次のとおりである。

【0017】図2は図1に示すタイミング制御回路40の構成を示す構成図である。図2を参照すると、タイミング制御回路40の構成は設計方法により異なるが、入力処理部41と、データ処理部42と、クロック処理部43と、信号処理部44とで構成される。そして、信号処理部44の内部にはフリッカの量に従って液晶パネル10の明るさを調節するフリッカ低減部60を含む。

【0018】データ処理部42は色信号RGBのタイミングを調節し、クロック処理部43はクロック信号MCLKのタイミングを調節する。信号処理部44は、グラフィックコントローラから入力されるライン区別信号H_Sync及びフレーム区別信号V_Sync、色信号

R G B が出力される間だけにハイレベルを示す D E 信号、そして、クロック信号 M C L K に応じて、ゲート駆動回路 2 0 とソース駆動回路 3 0 で必要な制御信号（例えば、 S T H (s t a r t h o r i z o n a l s i g n a l) 、 S T V (s t a r t v e r t i c a l s i g n a l) 、ロード信号 (l o a d s i g n a l : T P) 、ゲートクロック信号 (g a t e c l o c k) 、ゲートオンイネーブル信号 (O E) 等）を発生する。これら制御信号の内、ゲートクロック信号は階調電圧を発生するための階調電圧発生回路や、液晶パネルの画素を 1 列ずつ順次にスキャンニングするためのゲート駆動回路を制御している。入力処理部 4 1 はグラフィックコントローラ（図示しない）から入力される可変的な信号を一定した信号に変換し、データ処理部 4 2 と信号処理部 4 4 での作業を容易にする。そして、タイミング制御回路 4 0 に備えられたフリッカ低減部 6 0 は液晶パネル 1 0 に表示される 1 つのフレーム全体のフリッカの量を感知し、感知されたフリッカの量に従って液晶パネル 1 0 の明るさを調節する制御信号 D i m をバックライト 7 0 に供給する。バックライト 7 0 にはタイミング回路 (d i m m i n g c i r c u i t) （図示しない）が備えられ、タイミング制御回路 4 0 から発生される制御信号 D i m に応じてバックライト 7 0 の明るさを調節する。このようなバックライト 7 0 のタイミング回路は、1999年8月、P r a i s w a t e r による米国特許第 5 , 9 3 9 , 8 3 0 号 " M E T H O D A N D A P P A R A T U S F O R D I M M I N G A L A M P I N A B A C K L I G H T O F A L I Q U I D C R Y S T A L D I S P L A Y " に開示されている。

【0019】図 3 は本発明の望ましい実施形態によるフリッカ低減部 6 0 の構成を示す回路図である。図 3 を参照すると、本発明によるフリッカ低減部 6 0 はトグリング検出器 6 1 と、加算器 6 2 及び第 1 比較器 6 3 を備えるフリッカ感知部 6 4 と、第 1 カウンタ 6 5 と、第 2 比較器 6 6 と、第 2 カウンタ 6 7 と、第 3 比較器 6 8 とを含む。第 1 乃至第 3 比較器 6 3 , 6 6 , 6 8 に入力される第 1 乃至第 3 基準値 R e f 1 ~ R e f 3 は液晶表示装置 1 0 0 の解像度及び液晶表示装置 1 0 0 の駆動方法に従って異なるが、本発明では 1 2 8 0 × 1 0 2 4 の解像度を有する S X G A (s u p e r e x t e n d e d g r a p h i c s a r r a y s) と、奇数番目の画素と偶数番目の画素を同時に入力できるデュアルポート駆動を例にして説明する。

【0020】フリッカ感知部 6 4 に備えられたトグリング検出器 6 1 は、入力される色信号 R G B がフリッカされることを感知するために、色信号 R G B を構成する各々のビットがトグリングされるかを検出する。このために、トグリング検出器 6 1 は色信号 R G B を各々のビット別 D 0 ~ D 4 7 に区分して取り込み、入力されたビッ

ト D 0 ~ D 4 7 をディレイ D e l a y 0 ~ D e l a y 4 7 を通じて所定時間遅延させた後、遅延されない元のビット D 0 ~ D 4 7 と所定時間遅延されたビット各々に対する X O R 演算を実行する。入力されたビットがトグリングされる場合、X O R 演算結果は 1 になり、入力されたビットがトグリングされない場合、X O R 演算結果は 0 になる。このようなトグリング検出器 6 1 の X O R 演算結果は加算器 6 2 に入力されて加算され、入力された色信号 R G B のうち、トグリングされたビットの個数が計算される。加算器 6 2 によって得られたトグリングされたビットの個数は第 1 比較器 6 3 によって第 1 基準値 R e f 1 と比較され、0 又は 1 の値を有する比較結果が第 1 カウンタ 6 5 に入力される。ここで、第 1 基準値 R e f 1 は一度に入力されるデータのビットの個数を基準にする。例えば、8 ビットで構成された色信号 R G B が入力される場合、赤、緑、青の色信号ごとに各々 8 ビットのデータが要求されるので、1 つの画素を示すのに要求されるビットの数は $8 \times 3 = 24$ である。近年、幅広く使用されるデュアルポート駆動の時は奇数番目の画素と偶数番目の画素が同時に入力されるので、一度に入力されるデータのビットの数は $8 \times 3 \times 2 = 48$ である。

【0021】フリッカ感知部 6 4 は入力されるデータを構成する各々のビット D 0 ~ D 4 7 に対してトグリングされるかを検出して、入力されるデータがフリッカされるかを感知する。なぜならば、フリッカはトグリングデータとして発生されるためである。又、フリッカ感知部 6 4 は入力されるデータを構成する各々のビット D 0 ~ D 4 7 が全部トグリングされる場合、入力データがフリッカされることを意味する 1 を出力し、そうではない場合、0 を出力する。

【0022】フリッカ感知部 6 4 によって入力データがフリッカされるかが感知されると、1 又は 0 の値を有する感知結果が第 1 カウンタ 6 5 に入力される。第 1 カウンタ 6 5 は 10 ビットカウンタで構成されたトグリングされた画素格納庫として、感知結果の他に A N D ゲートを通じてリセット信号 R e s e t 及びライン区別信号 H _ S y n c を取り込む。即ち、第 1 カウンタ 6 5 はフリッカ感知部 6 4 から伝送される感知結果に応じてフリッカが発生された入力データの個数を画素単位でカウントし、ライン区別信号 H _ S y n c が入力されるリセットされて、1 つのラインで発生したフリッカの数を示す。このような動作によって、1 つのライン内でフリッカが発生した画素の個数が分かる。

【0023】第 1 カウンタ 6 5 によって 1 つのラインで発生したフリッカの個数がカウントされると、カウントされた結果（即ち、第 1 カウント値）は第 2 比較器 6 6 によって第 2 基準値 R e f 2 と比較される。ここで、第 2 基準値 R e f 2 は 1 つのラインを構成する画素の個数を意味し、液晶表示装置 1 0 0 が 2 つの画素に対応するデータが同時に入力されるデュアルポート駆動であり、

S X G A のように 1280×1024 の解像度を有する場合、第 2 基準値 R e f 2 は 640 になる。第 2 比較器 6 6 は第 1 カウンタ 6 5 のカウント結果（即ち、第 1 カウント値）が第 2 基準値 R e f 2 と同一であるかを判別して、カウント結果が第 2 基準値 R e f 2 と同一であると 1 を出力し、同一ではないと 0 を出力する。即ち、第 2 比較器 6 6 は前述した比較動作によってライン全体でフリッカが発生するかを検出する。

【0024】第 1 カウンタ 6 5 及び第 2 比較器 6 6 によってライン全体でフリッカが発生するかが検出されると、1 又は 0 の値を有する各ラインに対するフリッカ検出結果は第 2 カウンタ 6 7 に入力される。第 2 カウンタ 6 7 は 10 ビットカウンタで構成されたトグリングされた画素格納庫として、フリッカが発生したラインの個数の他にリセット信号 R e s e t 及びフレーム区別信号 V_S y n c を AND ゲートを通じて取り込む。即ち、第 2 カウンタ 6 7 は第 2 比較器 6 6 から出力される各ラインに対するフリッカ検出結果をカウントし、フレーム区別信号 V_S y n c が入力されるとリセットされて、1 つのフレームに対するフリッカ発生ラインの個数だけをカウントする。このような動作によって、1 つのフレーム内でフリッカが発生したラインの個数が分かる。

【0025】第 2 カウンタ 6 7 によって 1 つのフレームに対するフリッカ発生ラインの個数がカウントされると、カウントされた結果（即ち、第 2 カウント値）は第 3 比較器 6 8 によって第 3 基準値 R e f 3 と比較される。ここで、第 3 基準値 R e f 3 は 1 つのフレームを構成するラインの個数に所定比率を掛け算した値として、 1280×1024 の解像度を有する S X G A の場合、第 3 基準値 R e f 3 は 1024 の約 90 % レベルに該当する値の 921 になる。これは 1 つのフレームを構成する画素の 90 % 以上でフリッカが発生する場合、バックライト 7 0 の明るさを暗く調節して視覚的に認識されるフリッカの量を低減するためである。そのため、第 3 比較器 6 8 は第 2 カウンタ 6 7 のカウント結果（即ち、第 2 カウント値）を第 3 基準値 R e f 3 と比較して、カウント結果が第 3 基準値 R e f 3 より大きいか、同一である場合は、1 の値を有する制御信号 D i m をバックライト 7 0 に供給してバックライト 7 0 の明るさを暗く調節し、小さい場合は、0 の値を有する制御信号 D i m をバックライト 7 0 に供給する。

【0026】このような動作を実行する本発明によるフリッカ低減部 6 0 は、図に示すように別途のメモリは不要であり、カウンタ及び比較器のような簡単な回路構成であるので、少量の回路面積を必要とするのみであり、回路の単価も減少する。

【0027】前述のように、本発明によるタイミング制御回路 4 0 は 1 つのフレームを構成する各々の画素に対してフリッカが発生するかを感知し、フリッカが所定レベル以上発生する場合、バックライト 7 0 の明るさが暗

くなるよう調節する制御信号 D i m を発生する。これに対して、タイミング制御回路 4 0 の制御によってバックライト 7 0 の明るさが暗くなり、1 つのフレームの間に発生したフリッカの量が所定レベル以下に減少されると、タイミング制御回路 4 0 はバックライト 7 0 の明るさを元のように明るくなるよう調節する制御信号 D i m をバックライト 7 0 に供給して、視覚的に感知されるフリッカの量を低減する。この時、バックライト 7 0 に対する明るさ調節基準は基準値 R e f 1 , R e f 2 , R e f 3 によって適切に調節される。基準値 R e f 1 , R e f 2 , R e f 3 を適切に調節することによって、バックライト 7 0 に対する明るさの段階も調節可能である。

【0028】図 4 は本発明の望ましい実施形態による液晶表示装置のフリッカ低減方法を示すフローチャートであり、図 3 に示すフリッカ低減部 6 0 で実行される動作手順を示す。図 4 を参照すると、段階 S 1 0 では液晶表示装置の各画素に対応する色信号 R G B が入力され、段階 S 1 2 では入力された色信号 R G B を構成する各々のビットに対してトグリングされるかが判別される。続いて、段階 S 1 4 ではトグリングされたビットの個数がカウントされ、段階 S 1 6 ではカウントされたビットの個数が第 1 基準値 R e f 1 と同一であるかが判別される。ここで、第 1 基準値 R e f 1 は一度に入力される色信号 R G B の全体ビットの個数を意味し、デュアルポート駆動方式であり、S X G A のように 1280×1024 の解像度を有する液晶表示装置の場合、第 1 基準値 R e f 1 は 48 になる。

【0029】段階 S 1 6 の判別結果、カウントされたビットの個数が第 1 基準値 R e f 1 と同一であると、手順は段階 S 1 8 に進行して第 1 カウント値を増加させ、カウントされたビットの個数が第 1 基準値 R e f 1 と同一ではないと、手順は段階 S 1 0 に戻って前述のような手順を繰り返す。カウントされたビットの個数が第 1 基準値 R e f 1 と同一であるということは入力された色信号 R G B の全てのビットがトグリングされてフリッカが発生することを意味し、第 1 カウント値は 1 つのラインのうち、トグリングされた画素の個数（即ち、フリッカが発生した画素の個数）を意味する。

【0030】段階 S 2 0 では、第 1 カウント値が第 2 基準値 R e f 2 と同一であるかを判別する。第 2 基準値 R e f 2 は 1 つのラインを構成する画素の個数を意味し、デュアルポート駆動方式であり、S X G A のように 1280×1024 の解像度を有する液晶表示装置の場合、第 2 基準値 R e f 2 は 640 になる。段階 S 2 0 の判別結果、第 1 カウント値が第 2 基準値 R e f 2 と同一であると、即ち、1 つのライン全体でフリッカが発生すると、手順は段階 S 2 2 に進行して第 2 カウント値を増加する。一方、第 1 カウント値が第 2 基準値 R e f 2 と同一ではないと、即ち、1 つのライン全体でフリッカが発生しないと、手順は段階 S 1 0 に戻って前述のような手

順を繰り返す。第2カウント値は1つのフレームのうち、トグリングされたラインの個数（即ち、フリッカが発生したラインの個数）を意味する。

【0031】続いて、段階S24では第2カウント値が第3基準値Ref3と同一であるかを判別する。第3基準値Ref3は1つのフレームを構成するラインの個数に所定比率（例えば、90%）を掛け算した値を意味し、デュアルポート駆動方式であり、SXGAのように 1280×1024 の解像度を有する液晶表示装置の場合、第3基準値Ref3は比率が90%である時、約921になる。段階S24の判別結果、第2カウント値が第3基準値Ref3と大きいか、同一である場合、即ち、1つのフレーム全体で所定比率（例えば、90%）以上のフリッカが発生すると、手順は段階S26に進行してバックライト70の明るさが暗くなるように調節する制御信号Dimを発生する。一方、第2カウント値が第3基準値Ref3より小さい場合、即ち、1つのフレーム全体で所定比率以下のフリッカが発生すると、手順は段階S10に戻って前述のような手順を繰り返す。

【0032】図4では1つのフレーム全体で所定比率以上のフリッカが発生する時、バックライト70の明るさが暗くなるように調節する制御信号Dimの発生に対して示している。一方、バックライト70の明るさが暗くなるように調節されている間、1つのフレーム全体でフリッカが所定比率以下になると、本発明によるタイミング制御回路40はバックライト70の明るさが明るくなるように調節する制御信号Dimを発生してバックライト70の明るさを調節する。前記方法において、バックライト70の明るさを調節する明るさ調節基準は、基準値を調節することによって適切に変更可能である。バックライトの明るさの段階は1段階以上の調節が可能であ*

*る。

【0033】本発明による回路の構成及び動作を説明したが、これは一例に過ぎない。本発明の思想から逸脱しない範囲で様々なに変化及び変更できる。

【0034】

【発明の効果】前述のような本発明によると、簡単な回路構成によって液晶表示装置で視覚的に感知されるフリッカの量を減少させ得る。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の構成を示す構成図である。

【図2】図1に示すタイミング制御回路の構成を示す構成図である。

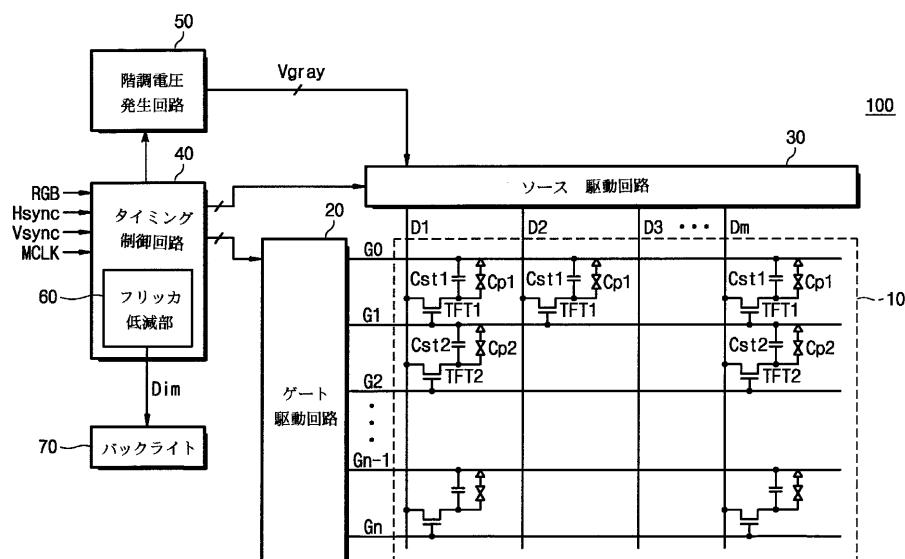
【図3】図2に示すフリッカ低減部の構成を示す回路図である。

【図4】本発明による液晶表示装置のフリッカ低減方法を示すフローチャートである。

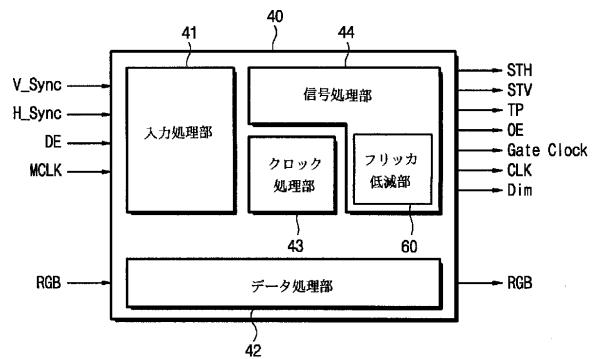
【符号の説明】

- 10 液晶パネル
- 20 ゲート駆動回路
- 30 ソース駆動回路
- 40 タイミング制御回路
- 41 入力処理部
- 42 データ処理部
- 43 クロック処理部
- 44 信号処理部
- 50 階調電圧発生回路
- 60 フリッカ低減部
- 70 バックライト
- 100 液晶表示装置

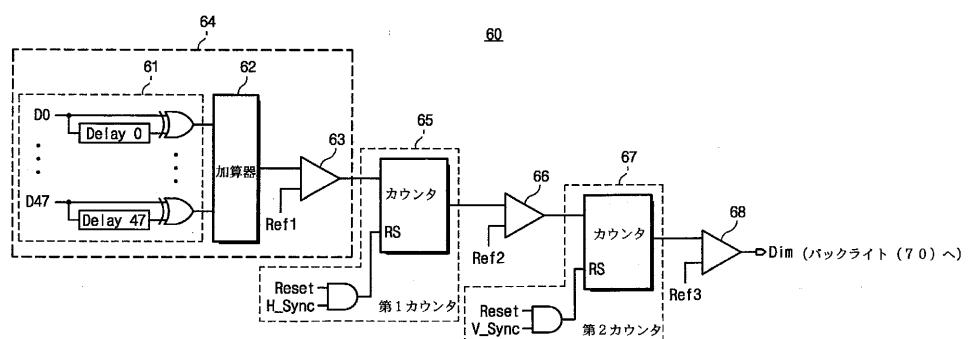
【図1】



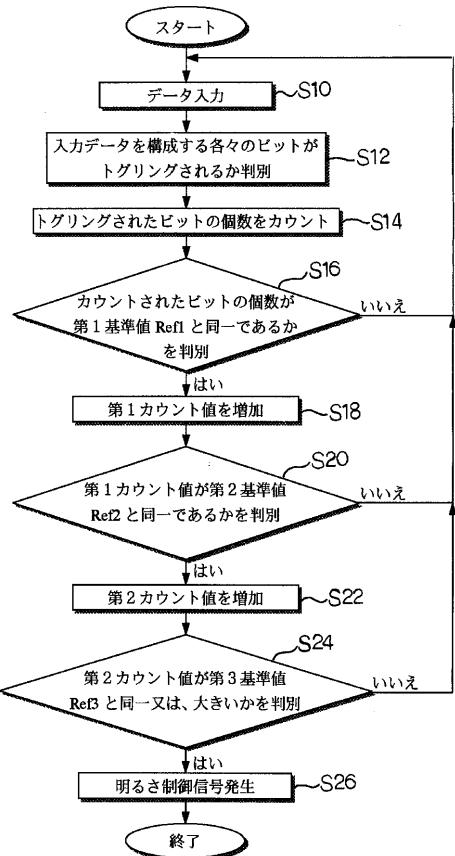
【図2】



【図3】



【図4】



フロントページの続き

(51) Int.CI. ⁷	識別記号	F I	テ-マコ-ト [®] (参考)
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 J
	6 4 1		6 4 1 C
3/34		3/34	J
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 A

(72) 発明者 罗根植 大韓民国仁川光域市南洞区万寿4洞住公ア パート215洞1205号	F ターム(参考) 2H093 NC16 NC27 NC34 NC42 ND06 ND10 ND34 5C006 AA16 AF44 AF46 AF51 AF52 AF53 AF54 AF61 BB16 BB29 BC03 BC12 BC16 BF07 BF14 BF22 BF28 EA01 FA23 5C058 AA06 AB03 BA01 BA09 BA29 BB21 5C080 AA10 BB05 DD06 EE29 FF11 JJ02 JJ07
---	--

专利名称(译)	具有减少的闪烁的液晶显示装置和减少闪烁的方法		
公开(公告)号	JP2002215120A	公开(公告)日	2002-07-31
申请号	JP2001325224	申请日	2001-10-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴倖源 田万福 羅根植		
发明人	朴倖源 田万福 羅根植		
IPC分类号	G02F1/133 G09G3/20 G09G3/34 G09G3/36 H04N5/66		
CPC分类号	G09G3/3406 G09G3/3648 G09G2320/0247 G09G2320/0626		
FI分类号	G09G3/36 G02F1/133.535 G02F1/133.550 G02F1/133.575 G09G3/20.611.E G09G3/20.612.J G09G3 /20.641.C G09G3/34.J H04N5/66.102.A		
F-TERM分类号	2H093/NC16 2H093/NC27 2H093/NC34 2H093/NC42 2H093/ND06 2H093/ND10 2H093/ND34 5C006 /AA16 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF54 5C006/AF61 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC12 5C006/BC16 5C006/BF07 5C006/BF14 5C006 /BF22 5C006/BF28 5C006/EA01 5C006/FA23 5C058/AA06 5C058/AB03 5C058/BA01 5C058/BA09 5C058/BA29 5C058/BB21 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/FF11 5C080 /JJ02 5C080/JJ07 2H193/ZA04		
优先权	1020000082004 2000-12-26 KR		
外部链接	Espacenet		

摘要(译)

提供一种具有减少的闪烁的液晶显示装置和减少闪烁的方法。解决方案：切换检测器61检测形成彩色信号RGB的位的切换，并通过加法器62计算切换位的数量。第一比较器63将计算结果和Ref1的比较结果输出到第一计数器65。第一计数器65对一条线上的闪烁次数进行计数，第二比较器66将计数结果和Ref2的比较结果输出至第二计数器67。第二计数器67对一帧中的闪烁次数进行计数，并且第三比较器68将计数结果和Ref3的比较结果作为背光控制信号Dim输出。利用上述配置，当在一帧中发生预定比率或更大比率的闪烁时，调节背光的亮度以减少液晶显示装置视觉上看到的闪烁。

