

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 188255

(P2001 - 188255A)

(43)公開日 平成13年7月10日(2001.7.10)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/136	500
H 0 1 L 29/786		H 0 1 L 29/78	612 D
21/336			616 T
			616 K
			619 A
審査請求 未請求 請求項の数 5 O L (全 11数)			

(21)出願番号 特願2000 - 260646(P2000 - 260646)

(22)出願日 平成12年8月30日(2000.8.30)

(31)優先権主張番号 特願平11 - 296555

(32)優先日 平成11年10月19日(1999.10.19)

(33)優先権主張国 日本(JP)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 村井 淳人

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 緒方 秀武

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100100701

弁理士 住吉 多喜男 (外 3 名)

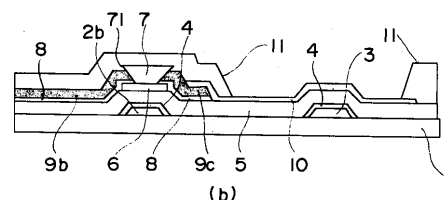
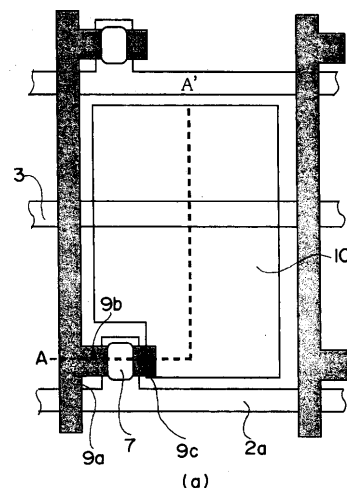
最終頁に続く

(54)【発明の名称】 液晶表示素子及びその製造方法

(57)【要約】

【課題】 液晶表示パネルが大型・高精細となっても表示品位が高く、安価で、信頼性の高い液晶表示素子及びその製造方法を提供する。

【解決手段】 液晶層と、液晶層を介して互に対向する一対の透明絶縁性基板 1 と、を備え、そして、一方の透明絶縁性基板 1 上に、ゲート信号線 2 a 及びゲート電極 2 b と絶縁膜、ゲート信号線 2 a と直交して配線されるソース信号線 9 a、ソース電極 9 b 及びドレイン電極 9 c、ゲート信号線 2 a とソース信号線 9 a の交差部近傍に形成されチャンネル保護膜 7 a を有する半導体層からなる T F T と、T F T に電気的に接続される絵素電極 1 0 と、を有する液晶表示素子において、チャンネル保護膜 7 a は、膜側面の形状が逆テーパである。



【特許請求の範囲】

【請求項 1】 液晶層を介して互に対向する一対の透明絶縁性基板と、一方の透明絶縁性基板上に形成されるゲート電極、該ゲート電極上に形成されるゲート絶縁膜、該ゲート絶縁膜上に形成される半導体層、該半導体上に配置されるチャンネル保護膜、該チャンネル保護膜上に形成される半導体接合層、ソース電極、及びドレイン電極からなる薄膜トランジスタと、絵素電極と、を有しており、そして、前記薄膜トランジスタは、複数本のゲート信号線とソース信号線の各交点付近に配置し、また、10 該交点付近において、前記ゲート電極が前記ゲート信号線と、前記ソース電極の一端部が前記ソース信号線と、各々接続し、更に、前記ドレイン電極の一端部が前記絵素電極と接続される液晶表示素子において、前記半導体接合層と、その上に形成される前記ドレイン電極の他端部及び前記ソース電極の他端部とが、前記半導体層上でチャンネル保護膜によって隔たれ、そして、前記チャンネル保護膜は、チャンネル保護膜側面の形状が逆テーパであることを特徴とする液晶表示素子。

【請求項 2】 前記半導体層が真性半導体層である請求項 1 記載の液晶表示素子。

【請求項 3】 前記チャンネル保護膜の膜厚が 350 nm 以上である請求項 1 記載の液晶表示素子。

【請求項 4】 前記チャンネル保護膜は、上に積層されるパッシベーション膜との接合面の面積と、下に積層される半導体層との接合面の面積との比（パッシベーション膜との接合面の面積 / 半導体層との接合面の面積）が、1.05 以上である請求項 1 記載の液晶表示素子。

【請求項 5】 透明絶縁性基板上にゲート信号線、及びゲート電極を形成する工程と、該ゲート信号線、ゲート電極の上面にゲート絶縁膜、半導体層、チャンネル保護膜を順次積層する工程と、積層した透明絶縁性基板の上面にポジ型レジスト膜を塗布し、該ゲート電極をマスクとして該透明絶縁性基板の裏面より該ポジ型レジスト膜を全面露光し、現像後に形成されたポジ型レジスト膜のパターンをマスクとして前記チャンネル保護膜側面を逆テーパになるようにエッチングを行う工程と、該チャンネル保護膜側面が逆テーパであるチャンネル保護膜をマスクとして半導体層をエッチングする工程と、透明絶縁性基板に半導体接合層、及びソース信号線、ソース電極、ドレイン電極の材料を順次積層し、レジスト塗布、露光、現像により形成したレジスト膜をマスクとして、該ソース信号線、ソース電極、ドレイン電極を形成する工程を含むことを特徴とする液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示素子及びその製造方法であり、特に大型・高精細となっても表示品位が高く、安価で、信頼性の高い液晶表示素子の構造

及びその製造方法に関する。

【0002】

【従来の技術】情報化社会の到来と共にノートパソコン、情報携帯端末、カーナビゲーション等の需要が急増しており、これに伴い液晶表示装置の研究開発が盛んに行われている。この液晶表示装置に用いられている液晶表示素子は、マトリクス状に配列した絵素電極を選択駆動することにより、画面上に表示パターンを形成する。選択された絵素電極とこれに対向する対向電極との間に電圧が印加され、これらの電極の間に介在する液晶等の表示媒体の光学的変調が行われ表示パターンとして認識される。絵素電極の駆動方式として、個々の独立した絵素電極を配列し、この絵素電極のそれぞれにスイッチング素子を連結して駆動する方式がアクティブマトリクス駆動方式である。絵素電極を選択駆動するスイッチング素子として薄膜トランジスタ（以下、「TFT」という。）、MIM（金属 - 第一絶縁膜 - 金属）等が一般に知られている。

【0003】近年、液晶表示パネルは大型・高精細化へ向かっており、これに関する研究開発が活発に行われている。しかし、ガラス基板及びパネルの大型化が進むにつれて、製造・表示均一性の高いパネルを提供することが困難となっていた。

【0004】その要因の一つとして、液晶表示素子を形成するまでに数回行われるフォトリソグラフィ工程の起因によるパターンの重ね合わせずれがある。すなわち、フォトリソグラフィ工程を繰り返し各パターンを積み重ねていくなかで、ゲート電極とドレイン電極との重畳面積 $L \cdot W$ が異なってしまう領域（ $(L + x_1) \cdot W$ 、 $(L + x_2) \cdot W$ 、...）が基板面内で生じるため、その面積（ $(L + x_1) \cdot W$ 、 $(L + x_2) \cdot W$...）に比例する寄生容量：ゲート電極 - ドレイン電極間の寄生容量（ C_{gd} ）も基板面内でばらつくことになる。

【0005】また、このバラツキの程度はガラス基板及びパネルの大型化が進むにつれて顕著となる。これは、1）フォトリソグラフィ工程で用いる露光装置の精度がガラス基板及びパネルの大型化が進むにつれて低下する、2）ガラス基板が大きくなるとガラスのたわみの影響が出てくる、などの理由のためである。

【0006】ところで、TFT素子を1構成要素とするアクティブマトリクス型液晶表示装置においては、あるTFT素子が選択されて所定の信号電位に充電された後、ゲートが閉じた瞬間、 V 分だけ絵素電位が変動する。これは、TFT素子のゲート電極 - ドレイン電極間の寄生容量（ C_{gd} ）と液晶の容量（ C_{lc} ）及び補助容量（ C_{cs} ）の間での容量カップリングによるもので、その大きさは、次の（1）式で与えられる。

$$V = V_g \cdot C_{gd} / (C_{gd} + C_{lc} + C_{cs}) \dots (1)$$

V_g : ゲート電圧の変化量

C_{gd} : ゲート電極 - ドレイン電極間の寄生容量

C_{cs} : 補助容量

【0007】そのため、(1)式の C_{gd} の値がパネル面内ではばらつくということは、 V がばらつく、すなわち絵素電位がばらつくということであり、その結果パネルの表示不均一性やフリッカを引き起こすこととなる。

【0008】これを以下の従来例1、2を用いて説明する。まず、従来例1の液晶表示素子は、図7(a)の単位画素の平面説明図及び図7(b)の同A-A'断面説明図に示すように、液晶層(図示せず)と、液晶層を介して互いに対向する一対の透明絶縁性基板21と、を備え、そして、ゲート信号線22aと、ゲート信号線22aと直交して配線されるソース信号線29aと、ゲート信号線22aとソース信号線29aの交差部近傍に形成され、かつ、ゲート電極22b、ゲート絶縁膜25、半導体層(a-Si層)26a、半導体接合層(n+-Si層)28、チャネル保護膜27、ソース電極29b、ドレイン電極29c、からなる積層半導体層と、積層半導体層に電氣的に接続される絵素電極30と、を透明絶縁性基板の一方の基板21上に有している。そして、チャネル保護膜27は、チャネル保護膜側面273が膜面に対し例えば垂直となっている。

【0009】そして、従来例1の製造方法について、図8及び図9を用いて説明する。透明絶縁性基板21にAl、Mo、Taなどをスパッタリング法にて成膜し、フォトリソグラフィ法により、ゲート配線(図示せず)、ゲート電極22b及び補助容量配線23を形成する(図8a参照)。

【0010】次に、陽極酸化法により陽極酸化膜24を形成し、続いてCVD法によりゲート絶縁膜(SiNx)25、a-Si材料26、チャネル保護膜27の3層を連続して成膜し、ポジ型レジスト膜を塗布し、ゲート電極22bをマスクとして透明絶縁性基板21の裏面より全面露光し、現像後に形成されたポジ型レジスト膜のパターンをマスクとしてチャネル保護膜27のエッチングを行い、島状にパターニングする(図8b参照)。

【0011】次に、n+-Si層28を成膜し、フォトリソグラフィ法により、ソース電極29b及びドレイン電極29cとのコンタクト層を形成する。この時、下層のa-Si材料26は、n+-Si層28のエッチングの際、島状にパターニングされ、a-Si層26aとなる(図8c参照)。

【0012】次に、Mo、Taなどの金属膜(ソース・ドレインメタル)を成膜し、フォトリソグラフィ法により所定の形状にパターニングし、ソース信号線29a、ソース電極29b及びドレイン電極29cを形成する(図9d参照)。

【0013】以上の方法により、各画素毎にスイッチング素子であるTFE部を形成する。次にITOなどの透

明性導電膜を成膜し、フォトリソグラフィ法により所定の形状にパターニングし、絵素電極30を形成する(図9e参照)。

【0014】次に、SiNxなどからなるパッシベーション膜31をCVD法により成膜し、所望のパターンを形成する(図9f参照)。

【0015】従来例1の製造方法では、ソース・ドレイン電極のフォトパターンが基板面内でずれた場合、ゲート電極22bとドレイン電極29cとの重なり面積が基板・パネル面内で異なることを意味する。すなわち、基板のある位置では、図10(a)、(b)に示すように、ゲート電極22bとドレイン電極29cとの重なり面積が $L \cdot W1$ となり、ある位置では、図11(a)、(b)に示すように、 $(L+x) \cdot W2$ となった場合($W1 > W2 > W$)、この増加分($x \cdot W$)に比例して寄生容量(C_{gd})も増加する。その結果、基板・パネル面内での絵素電位のバラツキが生じ、表示が不均一となってしまふ。

【0016】その問題を解決するため、ソース・ドレイン電極を自己整合的に形成し、フォトパターンずれによるゲート電極 - ドレイン電極間の寄生容量(C_{gd})の面内バラツキを低減する液晶表示素子及びその製造法が提案されている。

【0017】その従来例2について、図12~図15を用いて説明する。従来例2の液晶表示素子の単位画素の平面説明図を図12に示し、そのA-A'断面における各工程の製造方法を図13及び図14に示す。従来例2の液晶表示素子は、従来例1と同様であって、液晶層(図示せず)と、液晶層を介して互いに対向する一対の透明絶縁性基板41と、を備え、そして、ゲート信号線42aと、ゲート信号線42aと直交して配線されるソース信号線49aと、ゲート信号線42aとソース信号線49aの交差部近傍に形成され、かつ、ゲート電極42b、ゲート絶縁膜45、半導体層(a-Si層)46a、半導体接合層(n+-Si層)48、チャネル保護膜47、ソース電極49b、ドレイン電極49c、からなる積層半導体層と、積層半導体層に電氣的に接続される絵素電極50と、を透明絶縁性基板の一方の基板41上に有している。そして、チャネル保護膜47は、チャネル保護膜側面473が膜面に対し例えば垂直となっている。

【0018】以下、従来例2の製造方法について、図13、図14を用いて説明する。透明絶縁性基板41にAl、Mo、Taなどをスパッタリング法にて成膜し、フォトリソグラフィ法により、ゲート配線(図示せず)、ゲート電極42b及び補助容量配線43を形成する(図13a参照)。

【0019】次に、陽極酸化法により陽極酸化膜44を形成し、続いてCVD法によりゲート絶縁膜(SiNx)45、a-Si材料46、チャネル保護膜47の3

層を連続して成膜し、ポジ型レジスト膜を塗布し、ゲート電極 42b をマスクとして透明絶縁性基板の裏面より全面露光し、現像後に形成されたポジ型レジスト膜のパターン 52 をマスクとしてチャネル保護膜 47 のエッチングを行い、島状にパターニングする（図 13b 参照）。

【0020】次に、前記チャネル保護膜 47 のパターニングの際に用いたポジ型レジスト 52 を残したまま、その上層に、 n^+ -Si 層 48、及び Mo、Ta などの金属膜（ソース・ドレイン金属）を連続して成膜し（図 13c 参照）、フォトリソグラフィ法により所定の形状にパターニングし、ソース信号線 49a、ソース電極 49b 及びドレイン電極 49c を形成する（図 14d 参照）、この時、 a -Si 材料 46、 n^+ -Si 層 48、ソース信号線 49a、ソース電極 49b 及びドレイン電極 49c は同一形状にパターニングされ、且つチャネル保護膜 47 のパターニングの際に用いたポジ型レジストをリフトオフする事により、ドレイン電極 49c とゲート電極 42a との間の寄生容量（Cgd）がソース電極 49b、ドレイン電極 49c のフォトパターンのずれに 20 影響を受けない構造とすることができる（図 15a、b 参照）。

【0021】以上の方法により、各画素毎にスイッチング素子である TFT を形成する。次に ITO などの透明性導電膜を成膜し、フォトリソ法により所定の形状にパターニングし、絵素電極 50 を形成する（図 14e 参照）。

【0022】次に、SiNx などからなるパッシベーション膜 51 を CVD 法により成膜し、所望のパターンを形成する（図 14f 参照）。

【0023】しかし、上記従来例 2 の方法では、従来例 1 で問題となったパターンの重ね合わせずれによる表示の面内不均一性やフリッカは低減され、かつフォトリソグラフィ工程数の削減が達成可能であるが、チャネル保護膜 47 のパターニングの際に用いたポジ型レジストを残したまま、その上層に CVD 法により n^+ -Si 層を成膜すると、1) 有機化合物であるレジストと成膜ガスとの反応生成物と考えられる化合物がダストとしてチャンパー内や膜中に混入する、2) n^+ -Si 膜中に気泡が発生する、など TFT 素子の特性上、製造上に大きな問題があった。

【0024】また、ドレイン電極の両側にソース電極を形成することにより、パターンの重ね合わせずれによる寄生容量の変動を防止する（特開平 6-67199 号公報参照）ことや、レジスト膜を除去して半導体接合層やソース・ドレイン金属膜をリフトオフする（特開平 5-55567 号公報参照）ことも提案されているが、チャネル保護膜の側面形状を逆テーパとすることにより、ソース・ドレイン電極を自己整合的にパターニングすることは考慮されていない。

【0025】

【発明が解決しようとする課題】本発明の目的は、従来技術の問題点を解決するものであり、液晶表示パネルが大型・高精細となっても表示品位が高く、安価で、信頼性の高い液晶表示素子及びその製造方法を提供することである。

【0026】

【課題を解決するための手段】本発明は、液晶層を介して互に対向する一対の透明絶縁性基板と、一方の透明絶縁性基板上に形成されるゲート電極、該ゲート電極上に形成されるゲート絶縁膜、該ゲート絶縁膜上に形成される半導体層、該半導体上に配置されるチャネル保護膜、該チャネル保護膜上に形成される半導体接合層、ソース電極、及びドレイン電極からなる薄膜トランジスタと、絵素電極と、を有しており、そして、前記薄膜トランジスタは、複数本のゲート信号線とソース信号線の各交点付近に配置し、また、該交点付近において、前記ゲート電極が前記ゲート信号線と、前記ソース電極の一端部が前記ソース信号線と、各々接続し、更に、前記ドレイン電極の一端部が前記絵素電極と接続される液晶表示素子において、前記半導体接合層と、その上に形成される前記ドレイン電極の他端部及び前記ソース電極の他端部とが、前記半導体層上でチャネル保護膜によって隔たれ、そして、前記チャネル保護膜は、チャネル保護膜側面の形状が逆テーパである液晶表示素子である。

【0027】また、本発明は、前記半導体層が真性半導体層である液晶表示素子である。

【0028】そして、本発明は、前記チャネル保護膜の膜厚が 350nm 以上である液晶表示素子である。

【0029】更に、本発明は、前記チャネル保護膜は、上に積層されるパッシベーション膜との接合面の面積と、下に積層される半導体層との接合面の面積との比（パッシベーション膜との接合面の面積 / 半導体層との接合面の面積）が、1.05 以上である液晶表示素子である。

【0030】また、本発明は、透明絶縁性基板上にゲート信号線、及びゲート電極を形成する工程と、該ゲート信号線、ゲート電極の上面にゲート絶縁膜、半導体層、チャネル保護膜を順次積層する工程と、積層した透明絶縁性基板の上面にポジ型レジスト膜を塗布し、該ゲート電極をマスクとして該透明絶縁性基板の裏面より該ポジ型レジスト膜を全面露光し、現像後に形成されたポジ型レジスト膜のパターンをマスクとして前記チャネル保護膜側面を逆テーパになるようにエッチングを行う工程と、該チャネル保護膜側面が逆テーパであるチャネル保護膜をマスクとして半導体層をエッチングする工程と、透明絶縁性基板に半導体接合層、及びソース信号線、ソース電極、ドレイン電極の材料を順次積層し、レジスト塗布、露光、現像により形成したレジスト膜をマスクとして、該ソース信号線、ソース電極、ドレイン電極を形

成する工程を含む液晶表示素子の製造方法である。

【0031】上記構成により、ソース・ドレイン電極は共に自己整合的に形成され、ドレイン電極とゲート電極との間の寄生容量（ C_{gd} ）がソース・ドレイン電極のフォトリソパターンのずれに影響されない構造をとることができる。すなわち、表示の面内不均一性やフリッカが低減される。さらに本発明によれば、チャンネル保護膜と半導体層のパターニングを1回のフォトリソ工程にて行うため、従来に比べフォトリソグラフィ工程数の削減が達成できる。

【0032】

【発明の実施の形態】本発明の発明の実施の形態について説明する。本発明の液晶表示素子及びその製造方法の実施形態について、図1～図5を用いて説明する。図1(a)は、実施形態1の液晶表示素子における単位画素の平面説明図である。図1(b)は、同A-A'における断面説明図である。図2は、実施形態1の液晶表示素子の製造工程前半の説明図である。図3は、実施形態1の液晶表示素子の製造工程後半の説明図である。図4(a)は、実施形態1の液晶表示素子のTFT部の平面説明図である。図4(b)は、同B-B'における断面説明図である。図5は、実施形態1におけるエッチストップの膜厚及びテーパ角と段切れ発生との関係を説明する図表である。

【0033】実施形態1を説明する。本実施形態の液晶表示素子は、図1(a)、(b)に示すように、液晶層（図示せず）と、液晶層を介して互に対向する一対の透明絶縁性基板1と、を備え、そして、ゲート信号線2aと、ゲート信号線2aと直交して配線されるソース信号線9aと、ゲート信号線2aとソース信号線9aの交差部近傍に形成され、かつ、ゲート電極2b、ゲート絶縁膜5、半導体層（a-Si層）6、半導体接合層（n+-Si層）8a、チャンネル保護膜7、ソース電極9b、ドレイン電極9c、からなる積層半導体層と、積層半導体層に電気的に接続される絵素電極10と、を透明絶縁性基板の一方の基板1上に有している。チャンネル保護膜7は、チャンネル保護膜側面71が斜面となっており、そして、その斜面は上部が下部よりも突き出た「逆テーパ」となっている。これにより、ゲート電極2bとドレイン電極9cとの重なり面積を所定値とすることができ、製造時のパターンの重ね合わせずれによる表示の面内不均一性やフリッカを低減することが可能である。

【0034】実施形態1の液晶表示素子の製造方法について、図2～図4を用いて説明する。透明絶縁性基板1にTaを200nm程度スパッタリング法にて成膜し、フォトリソグラフィ法により、ゲート配線2a、ゲート電極2b及び補助容量信号線3を形成し、陽極酸化法により陽極酸化膜4を形成する（図2a参照）。

【0035】次に、プラズマCVD法によりゲート絶縁膜（窒化シリコン：SiNx）5を300nm程度、a

-Si層6aとなるa-Si材料6を150nm程度、チャンネル保護膜7となるチャンネル保護膜材料を350nm以上、例えば500nm程度、連続して成膜する。その際、その後塗布するポジ型レジスト膜とチャンネル保護膜7の上面（ポジ型レジスト膜との接合面側）との密着力の方が、a-Si層6aとチャンネル保護膜7の下面（a-Si層7との接合面側）との密着力よりも強くなるような条件（成膜条件例；SiH₄：150sccm、NH₃：750sccm、N₂：2000sccm、2000mT、700W）にてチャンネル保護膜材料を成膜する。その上にポジ型レジスト膜（図示せず）を塗布し、ゲート電極2bをマスクとして透明絶縁性基板1の裏面よりポジ型レジスト膜を全面露光し、現像後に形成されたポジ型レジスト膜のパターンをマスクとしてチャンネル保護膜材料をフッ酸系のエッチング液を用いてウェットエッチング（ただしオーバーエッチング）することにより、チャンネル保護膜側面71を逆テーパとする（図2b参照）。ウェットエッチング条件は、薬液：buffer弗酸（BHF）、温度：24℃、時間：560sec（膜厚500nm時）である。

【0036】続いて、チャンネル保護膜7をマスクとして、a-Si材料6をSF₆-HCl系のガスを用いてドライエッチングすることにより、島状のa-Si層6aを形成する（図2c参照）。このときの、液晶表示素子におけるTFT部の平面及び断面説明図を図4(a)、(b)に示す。チャンネル保護膜側面71は、上部が下部よりも突き出た「逆テーパ」となっている。

【0037】ここで、図6の比較例に示すように、チャンネル保護膜7のチャンネル保護膜側面72が、下部が上部よりも突き出た「順テーパ」となると、a-Si層6aとn+-Si層8とのコンタクト面積が極めて小さくなり、TFT素子の特性不良（特にON電流不良）を生じるため、好ましくない。

【0038】しかし、本実施形態では、チャンネル保護膜側面71を逆テーパとしているので、図4(b)に示すように、a-Si層6aとn+-Si層8とのコンタクト面積を確保できるため、TFT素子の特性不良が発生しない。

【0039】次に、ゲート信号線2a及びソース信号線9aの配線引き出し端子パッド部（図示せず）を形成するため、陽極酸化膜4及びゲート絶縁膜5をフォトリソグラフィ法により所定のパターンにエッチングする。

【0040】次に、図3(d)、(e)に示すように、n+-Si層（50nm程度）8及びTaからなる金属層9（250nm程度）を連続して成膜し、フォトリソグラフィ法により所定の形状にパターニングし、半導体接合層であるn+-Si層8、ソース信号線9a、ソース電極9b、ドレイン電極9c、を形成する。

【0041】ここで、本実施例では、チャンネル保護膜側面71の形状を逆テーパとしているので、ソース電極9

b 及びドレイン電極 9 c がチャンネル保護膜 7 上をカバレ
 ヅセず段切れする、すなわち、チャンネル保護膜 7、ソ
 ース電極 9 b 及びドレイン電極 9 c 共に自己整合的に形
 成されるため、フォトリソグラフィ工程の起因による
 ゲート電極 - ドレイン電極間の寄生容量 (Cgd) の基
 板及びパネル面内でのバラツキが低減できる。

【0042】本実施例におけるエッチストップの膜厚及
 びテーパ角と段切れ発生との関係について、図 5 を用い
 て説明する。なお、テーパ角 θ は、逆テーパ面が水平面
 とのなす角度である。使用基板のサイズは、5 インチ角 10
 である。図 5 において、 $\square$: 全面段切れ、 $\circ$: 面内一部
 で段切れしない箇所有り、 $\triangle$: 面内一部で段切れ、 $\times$:
 段切れ無し、を示している。図 5 に示すように、逆テー
 パとなっているエッチストップの膜厚を 350 nm 以上
 にすることにより、 $n^+ - Si$ とソース・ドレイン金属
 層がエッチストップ部をカバレヅセず段切れを起こす
 ことがわかる。すなわち、ソース・ドレイン電極のフォ
 トパターンのずれに影響されない構造をとることができ
 る。すなわち、表示の面内不均一性やフリッカが低減さ
 れる。

【0043】また、一般的にアクティブマトリクス基板
 で用いられるチャンネル長 (L) が、 $L: 5 \sim 10 \mu m$ 、
 幅 (W) が $W: 10 \sim 50 \mu m$ であることを考慮する
 と、図 5 より、パッシベーション膜との接合面側 (エッ
 チストップ上面) と真性半導体との接合面側 (エッチス
 トップ下面) との面積比が 1.05 以上である場合に、
 全面にわたり段切れが発生する。すなわち、ソース・ド
 レイン電極は共に自己整合的に形成され、ドレイン電極
 とゲート電極との寄生容量 (Cgd) がソース・ドレイン
 電極のフォトパターンのずれに影響されない構造をと
 ることができる。すなわち、表示の面内不均一性やフリ
 ッカが低減される。

【0044】そして、逆テーパとなっているチャンネル保
 護膜のテーパ角を 45° 以下にすることにより、 $n^+ -$
 Si 層とソース・ドレイン金属層がエッチストップ部を
 カバレヅセず段切れを起こすことがわかる。すなわ
 ち、ソース・ドレイン電極は共に自己整合的に形成さ
 れ、ドレイン電極とゲート電極との寄生容量 (Cgd)
 がソース・ドレイン電極のフォトパターンのずれに影響
 されない構造をとることができ。すなわち、表示の面 40
 内不均一性やフリッカが低減される。

【0045】以上の方法により、各画素毎にスイッチ
 ング素子である TFT 部を形成する。次に、ITO からな
 る透明導電膜を 100 nm 程度スパッタリング法により
 成膜し、フォトリソグラフィ法により、絵素電極 10
 を形成する (図 3 f 参照)。

【0046】次に、パッシベーション膜 11 として窒化
 シリコン膜を 30 ~ 200 nm 程度成膜する (図 3 g 参
 照)。この時、窒化シリコン膜の代わりに酸化シリコン
 膜、酸化タンタル膜、酸化アルミニウムなどを用いても*50

*良い。以上の方法により、液晶表示素子を作製すること
 ができる。なお、配線・電極材料として実施例では、T
 a を用いたが、Al や Mo、Ti などの材料を用いても
 よい。

【0047】本実施形態では、チャンネル保護膜、ソース
 電極及びドレイン電極は、共に自己整合的に形成され、
 ドレイン電極とゲート電極との間の寄生容量 (Cgd)
 がソース・ドレイン電極のフォトパターンのずれに影響
 されない構造をとることができる。すなわち、表示の面
 内不均一性やフリッカが低減される。さらに本実施形態
 によれば、チャンネル保護膜と半導体層のパターニングを
 1 回のフォトリソ工程にて行うため、従来に比べフォ
 リソグラフィ工程数の削減が達成できる。

【0048】

【発明の効果】以上説明したように、本発明によれば、
 液晶表示パネルが大型・高精細となっても表示品位が高
 く、安価で、信頼性の高い液晶表示装置を得ることがで
 きる。

【図面の簡単な説明】

20 【図 1】実施形態 1 の液晶表示素子の単位画素の平面及
 び断面説明図。

【図 2】実施形態 1 の液晶表示素子の製造工程前半の説
 明図。

【図 3】実施形態 1 の液晶表示素子の製造工程後半の説
 明図。

【図 4】実施形態 1 の液晶表示素子における TFT 部の
 平面及び断面説明図。

【図 5】実施形態 1 におけるエッチストップの膜厚及び
 テーパ角と段切れ発生との関係を説明する図表。

30 【図 6】比較例の液晶表示素子における TFT 部の断面
 説明図。

【図 7】従来例 1 の液晶表示素子における単位画素の平
 面及び断面説明図。

【図 8】従来例 1 の液晶表示装置の製造工程前半の説明
 図。

【図 9】従来例 1 の液晶表示装置の製造工程後半の説明
 図。

【図 10】従来例 1 の液晶表示素子における TFT 部の
 平面及び断面説明図。

【図 11】従来例 1 の液晶表示素子における別な位置の
 TFT 部の平面及び断面説明図。

【図 12】従来例 2 の液晶表示装置における TFT 部の
 平面及び断面説明図。

【図 13】従来例 2 の液晶表示素子の製造工程前半の説
 明図。

【図 14】従来例 2 の液晶表示素子の製造工程後半の説
 明図。

【図 15】従来例 2 の液晶表示素子における TFT 部の
 平面及び断面説明図。

【符号の説明】

(7)

特開 2001-188255

11

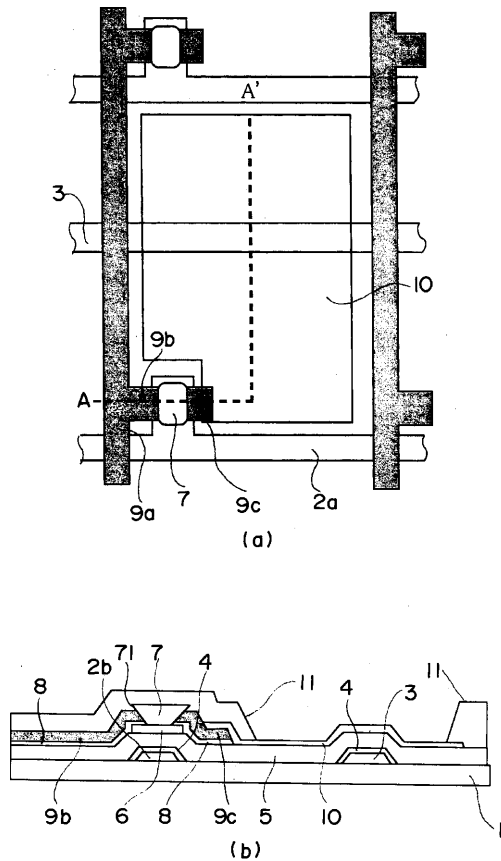
- 1, 21, 41 透明絶縁性基板
 2a、22a、42a ゲート信号線
 2b、22b、42b ゲート電極
 3, 23, 43 補助容量信号線
 4, 24, 44 陽極酸化膜
 5, 25, 45 ゲート絶縁膜
 6, 26, 46 a-Si層
 7、27、47 チャネル保護膜
 71、72、273、473 チャネル保護膜側面

12

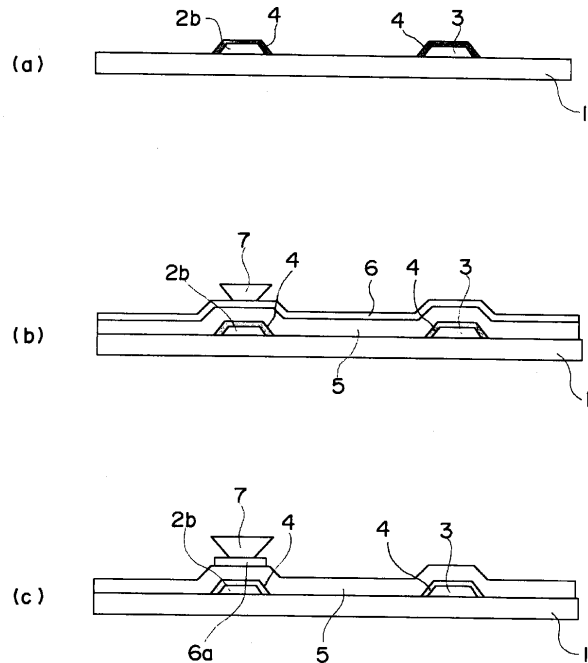
- *8, 28, 48 n+-Si層
 9 金属層
 9a、29a、49a ソース信号線
 9b、29b、49b ソース電極
 9c、29c、49c ドレイン電極
 10、30、50 絵素電極
 11, 31, 51 パッシベーション膜
 52 ポジ型レジスト

*

【図1】



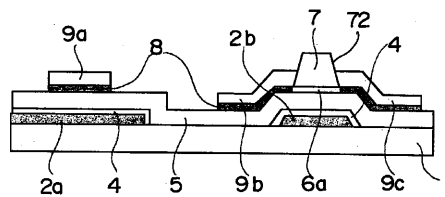
【図2】



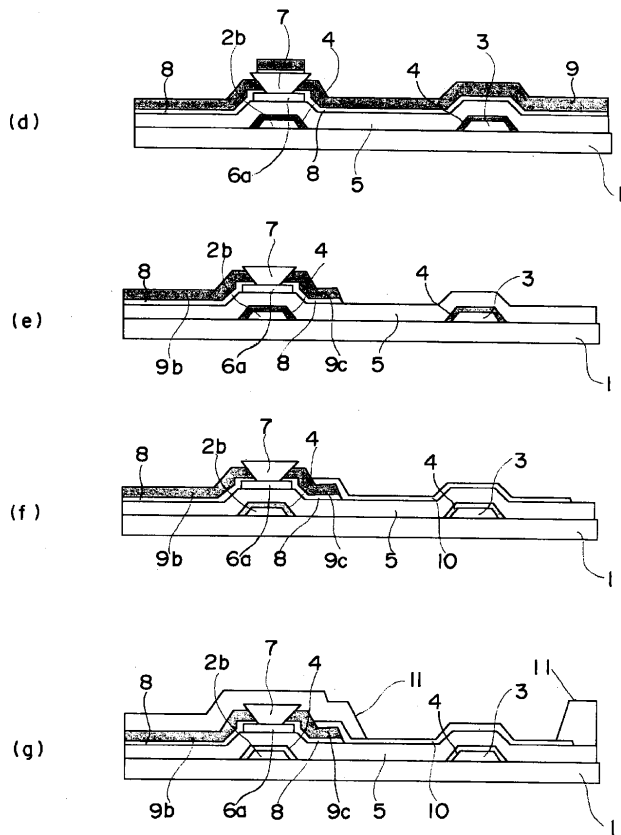
【図5】

膜厚 (nm)	テーパ角 (°)	段切れ発生の有無
200	70	×
	60	×
	45	◎
300	75	△
	60	○
	45	◎
350	90	△
	75	◎
	60	◎
450	45	◎
	90	◎
	75	◎
	60	◎
	45	◎

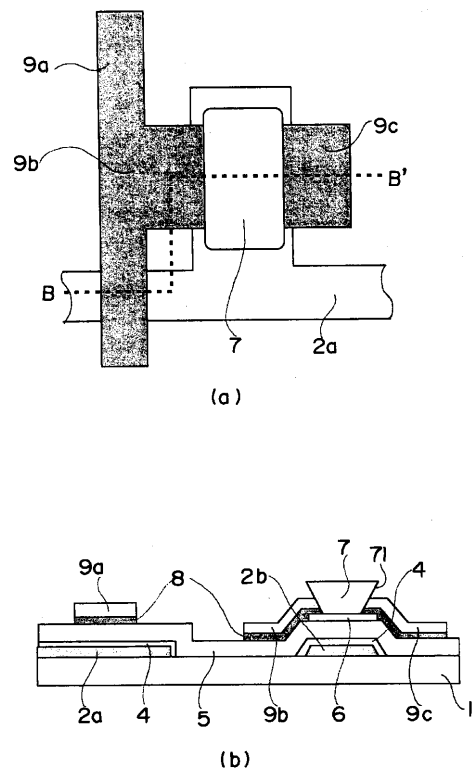
【図6】



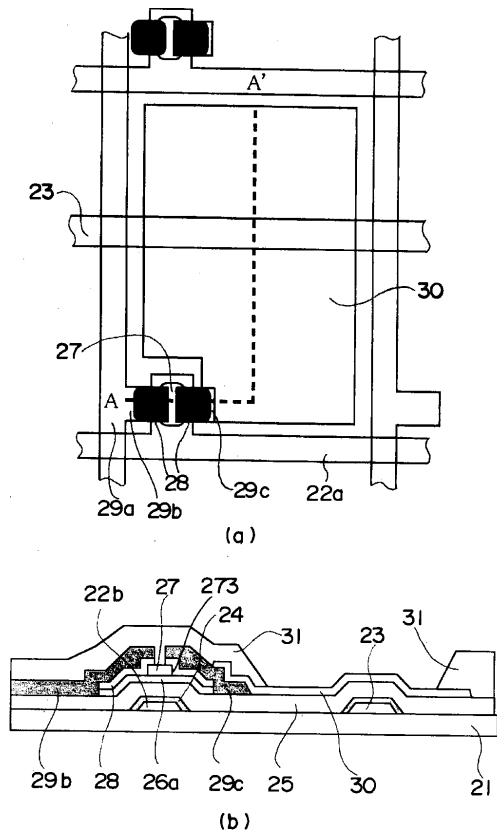
【図3】



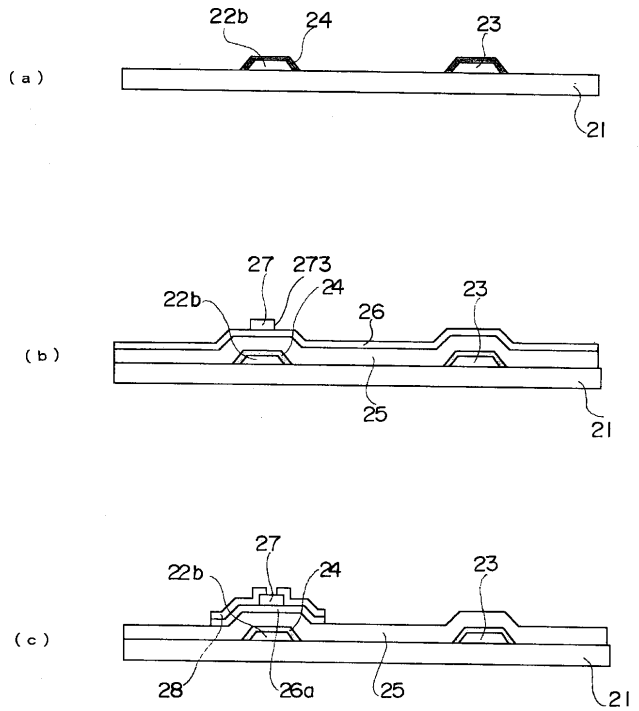
【図4】



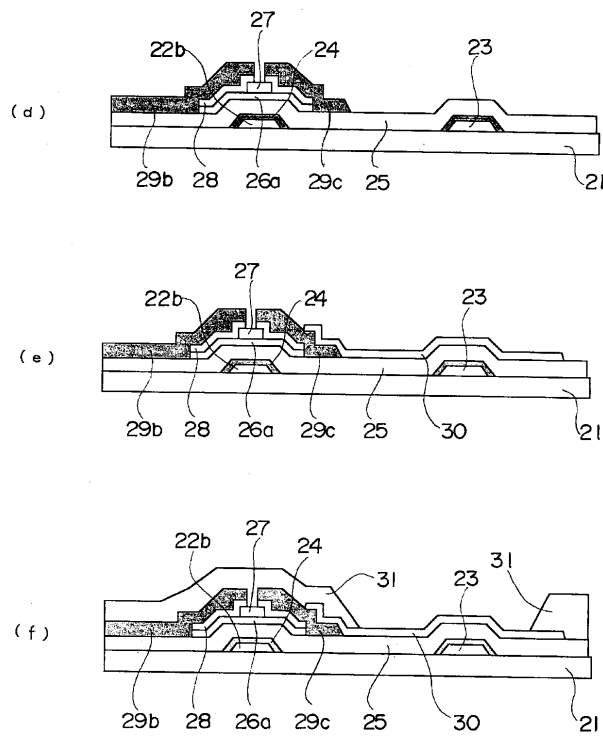
【図7】



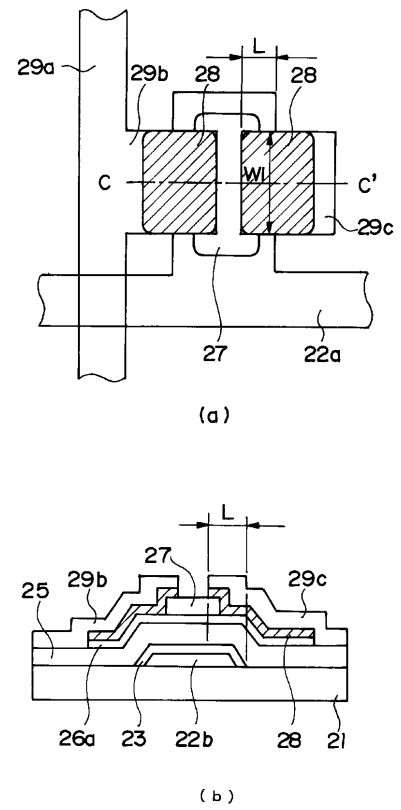
【図8】



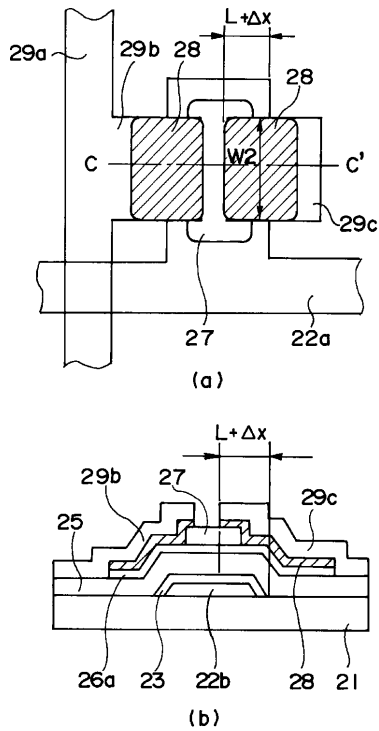
【図9】



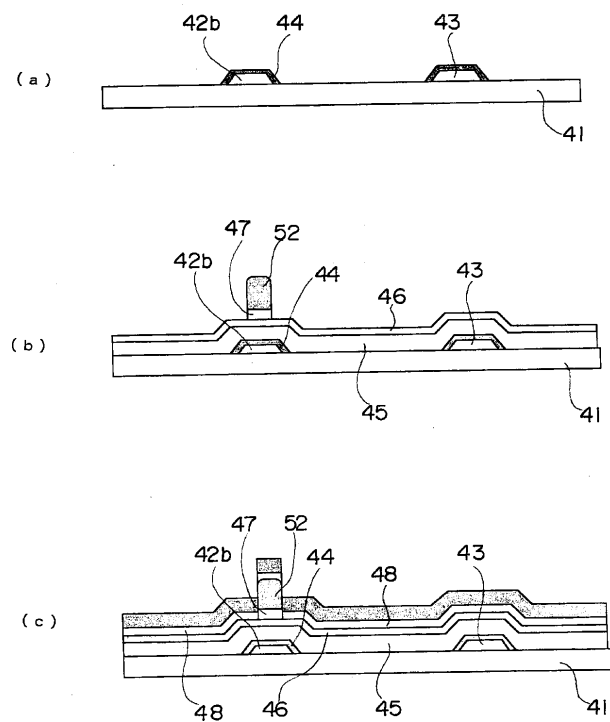
【図10】



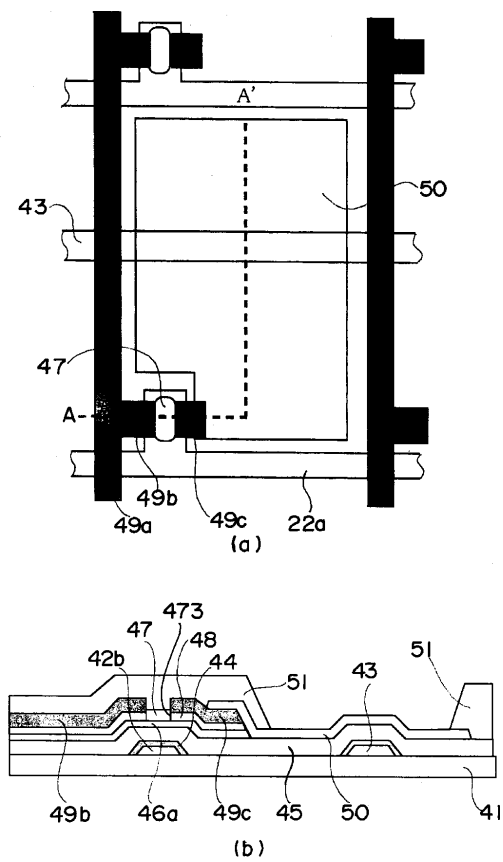
【図11】



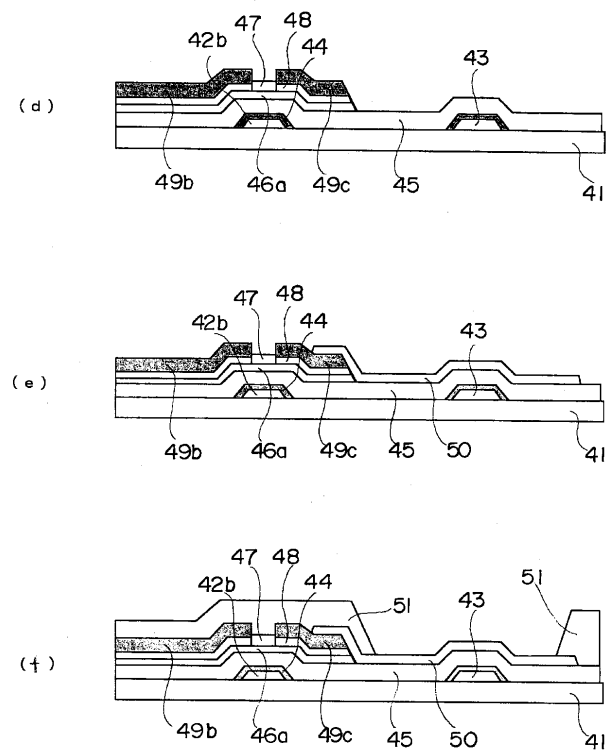
【図13】



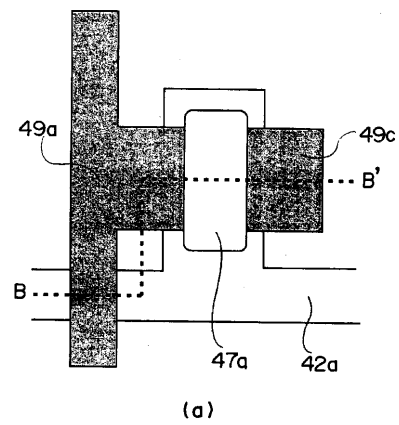
【図12】



【図14】



【図15】



フロントページの続き

(72)発明者 原 猛

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

F ターム(参考) 2H092 JA26 JA31 JA32 JA36 JA40

JA44 JB57 KA05 KA07 KA12

MA05 MA08 MA15 MA24 MA42

NA23 NA24 NA27

5F110 AA16 AA26 AA30 BB01 CC07

DD01 EE04 EE34 EE44 FF01

FF03 FF09 FF24 FF30 GG02

GG15 GG28 GG35 GG45 HK03

HK04 HK09 HK21 HL03 HL04

NN02 NN04 NN12 NN14 NN22

NN23 NN24 NN72 NN73 QQ01

QQ04 QQ05 QQ09

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2001188255A	公开(公告)日	2001-07-10
申请号	JP2000260646	申请日	2000-08-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	村井淳人 緒方秀武 原猛		
发明人	村井 淳人 緒方 秀武 原 猛		
IPC分类号	G02F1/136 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/1368		
FI分类号	G02F1/136.500 H01L29/78.612.D H01L29/78.616.T H01L29/78.616.K H01L29/78.619.A G02F1/1368		
F-TERM分类号	2H092/JA26 2H092/JA31 2H092/JA32 2H092/JA36 2H092/JA40 2H092/JA44 2H092/JB57 2H092/KA05 2H092/KA07 2H092/KA12 2H092/MA05 2H092/MA08 2H092/MA15 2H092/MA24 2H092/MA42 2H092/NA23 2H092/NA24 2H092/NA27 5F110/AA16 5F110/AA26 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD01 5F110/EE04 5F110/EE34 5F110/EE44 5F110/FF01 5F110/FF03 5F110/FF09 5F110/FF24 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG28 5F110/GG35 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK21 5F110/HL03 5F110/HL04 5F110/NN02 5F110/NN04 5F110/NN12 5F110/NN14 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN72 5F110/NN73 5F110/QQ01 5F110/QQ04 5F110/QQ05 5F110/QQ09 2H192/AA24 2H192/CB05 2H192/CB72 2H192/DA12 2H192/HA47 2H192/HA64		
优先权	1999296555 1999-10-19 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：提供即使液晶显示面板大型且高清晰度也具有高显示质量，低成本和高可靠性的液晶显示装置及其制造方法。设置液晶层和一对彼此面对的透明绝缘基板，并且在它们之间具有液晶层，并且在一个透明绝缘基板1上绝缘栅信号线2a和栅电极2b。膜，与栅极信号线2a正交地布线的源极信号线9a，源极电极9b和漏极电极9c，在栅极信号线2a和源极信号线9a的交点附近形成有沟道保护膜7a的半导体层。在具有由TFT制成的TFT和电连接到TFT的像素电极10的液晶显示元件中，沟道保护膜7a的侧面的形状是倒锥形。

