

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5148048号

(P5148048)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int. Cl.

F I

GO2F	1/133	(2006.01)	GO2F	1/133	560
GO2F	1/137	(2006.01)	GO2F	1/137	
GO9G	3/20	(2006.01)	GO9G	3/20	611A
GO9G	3/36	(2006.01)	GO9G	3/20	621A
			GO9G	3/20	622D

請求項の数 14 (全 36 頁) 最終頁に続く

(21) 出願番号	特願2004-556412 (P2004-556412)
(86) (22) 出願日	平成15年11月24日(2003.11.24)
(65) 公表番号	特表2006-508393 (P2006-508393A)
(43) 公表日	平成18年3月9日(2006.3.9)
(86) 国際出願番号	PCT/FR2003/003460
(87) 国際公開番号	W02004/051357
(87) 国際公開日	平成16年6月17日(2004.6.17)
審査請求日	平成18年10月27日(2006.10.27)
(31) 優先権主張番号	02/14806
(32) 優先日	平成14年11月26日(2002.11.26)
(33) 優先権主張国	フランス (FR)

(73) 特許権者	500225778
	ネモブティック
	フランス国 マニ - レ - アモー、
	リュ、ギネメル、パルク、デュ、メランテ
	、1
(74) 代理人	100075812
	弁理士 吉武 賢次
(74) 代理人	100088889
	弁理士 橋谷 英俊
(74) 代理人	100082991
	弁理士 佐藤 泰和
(74) 代理人	100096921
	弁理士 吉元 弘
(74) 代理人	100103263
	弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 双安定ネマチック液晶ディスプレイ装置およびこのような装置の制御方法

(57) 【特許請求の範囲】

【請求項1】

行及び列のマトリクス状に設けられた画素を備える双安定ネマチック液晶マトリクススクリーンを備えるディスプレイ装置であって、前記ディスプレイ装置は、

相互に対向する二つの基板間の液晶層であって、前記基板上にそれぞれ二つの電極のセットが配置され、各々の画素は駆動画素電極と背面画素電極とをそれぞれ構成する二つの電極を有し、前記駆動画素電極は一つの前記基板上で一つの行と一つの列との交点に接続され、前記背面画素電極はもう一つの前記基板上に設けられ、行導電トラック及び列導電トラックのアレイであって、トランジスタのアレイがそれぞれ前記画素のそれぞれの一つと関連付けられ、

前記液晶マトリクススクリーンは、一つの前記基板上に、弱い天頂固定配向(zenithal anchoring orientation)層を含み、前記双安定ネマチック液晶マトリクススクリーンの各画素は、各々の前記トランジスタを介してアドレスされ、各々の前記トランジスタは、前記ゲート、ソース、ドレインを備え、各々の前記トランジスタは、シーケンシャルに前記双安定ネマチック液晶マトリクススクリーンの前記行導電トラックを走査することで活性化され、各々の前記画素トランジスタの前記ゲートはそれぞれの前記行導電トラックに接続され、前記ゲートはアドレス信号を印加することで前記トランジスタのターンオフあるいはターンオンを制御し、各々の前記画素トランジスタのソースは、それぞれの前記列導電トラックに接続され、前記ソースは制御信号を印加し、前記ドレインは前記駆動画素電極に接続され、

10

20

前記双安定ネマティック液晶マトリクススクリーンは、二つの双安定液晶テクスチャを備え、一つの前記テクスチャは、液晶の分子が互いに少なくともほぼ平行である均一なまたはやや傾いたテクスチャであり、他方は第1のテクスチャとおよそ $+180^\circ$ または -180° の傾斜で異なるテクスチャであり、

前記二つの双安定液晶テクスチャ間の各々の前記画素のスイッチングを電氣的に制御するための手段が、第1の段階と、中間段階と、制御された時間間隔で分離された少なくとも一つの前記テクスチャ制御段階を時間内に連続的に定義し、

前記第1の段階において、前記手段が、

共通行に対応する各々の前記画素の前記トランジスタの前記ゲートに、対応する前記行導電トラックを介して、前記共通行の前記トランジスタをターンオンするために、アドレス信号を印加し、前記アドレス信号と同期して前記制御信号を同じ前記トランジスタの前記ソースに印加させて、前記トランジスタの前記ドレイン、それにより、関連付けられた前記駆動画素電極上に前記制御信号が現れ、前記制御信号は、前記画素上の前記液晶のアンカリングを破壊するために十分な振幅を有し、

その後、前記共通行の前記トランジスタの前記ゲートに、前記トランジスタをターンオフするためにアドレス信号を印加し、

前記中間段階は、前記画素の前記液晶の前記アンカリングを破壊するのに十分な前記制御された時間間隔を有し、前記手段は幾つかの他の行をアドレスし、

前記テクスチャ制御段階において、前記手段は、

前記共通行に対応する前記画素のそれぞれの前記トランジスタの前記ゲートに、再度、前記トランジスタを再度ターンオンするために追加のアドレス信号を印加して、前記トランジスタの前記ソースに印加された前記制御信号が、前記アドレス信号と同期して、前記トランジスタの前記ドレインに現れ、それにより関連付けられた前記駆動画素電極上に現れ、前記制御信号は最終的な前記双安定液晶テクスチャを選択し、

その後、前記共通行の前記トランジスタの前記ゲートに、前記トランジスタをターンオフするために、アドレス信号を印加する、ディスプレイ装置。

【請求項2】

前記入力信号を印加する手段は、画素制御毎に、制御時間間隔によって区分された2つの段階で構成されるシグナル配列を発生させることを特徴とする、請求項1に記載の装置。

【請求項3】

前記装置は各画素の端末に放電抵抗を含むことを特徴とする、請求項1又は2に記載の装置。

【請求項4】

前記入力信号を印加する手段は、画素制御毎に、制御時間間隔によって区分された3つの段階で構成されるシグナル配列を発生させることを特徴とする、請求項1に記載の装置。

【請求項5】

前記双安定ネマティック液晶マトリクススクリーンを電氣的に制御する前記手段がシーケンスを定義し、

第1の段階において、前記手段が、前記共通行に対応した各々の前記画素の前記トランジスタの前記ゲートに、対応する前記行導体トラックを介して、前記共通行の前記トランジスタをターンオンするためにアドレス信号を印加し、前記アドレス信号と同期して同じ前記トランジスタの前記ソースに印加された前記制御信号が、前記トランジスタの前記ドレイン、それにより、関連付けられた前記駆動画素電極上に現れ、前記制御信号は、前記画素上の前記液晶のアンカリングを破壊するために十分な振幅を有し、

その後、前記共通行の前記トランジスタの前記ゲートに、前記トランジスタをターンオフするためにアドレス信号を印加し、

第1の制御された時間間隔は、前記画素の前記液晶の前記アンカリングを破壊するのに十分であり、前記中間段階において他の幾つかの行がアドレスされ、

10

20

30

40

50

第1のテクスチャ制御段階内で、前記手段が、

前記共通行に対応する前記画素のそれぞれの前記トランジスタの前記ゲートに、再度、前記トランジスタを再度ターンオンするために追加のアドレス信号を印加して、前記トランジスタの前記ソースに印加された前記制御信号が、前記アドレス信号と同期して、前記トランジスタの前記ドレインに現れ、それにより、関連付けられた前記駆動画素電極上に現れ、前記制御信号は最終的な前記双安定液晶テクスチャを選択するために印加され、

その後、前記共通行の前記トランジスタの前記ゲートに、前記トランジスタをターンオフするために、アドレス信号を印加し、

第2の制御された時間間隔で、

第2のテクスチャ制御段階内で、前記手段が、

前記共通行に対応する前記画素のそれぞれの前記トランジスタの前記ゲートに、再度、前記トランジスタを再度ターンオンするために追加のアドレス信号を印加して、前記トランジスタの前記ソースに印加された前記制御信号が、前記アドレス信号と同期して、前記トランジスタの前記ドレインに現れ、それにより、関連付けられた前記駆動画素電極上に現れ、前記制御信号はゼロ信号のリセットに対応し、

その後、前記共通行の前記トランジスタの前記ゲートに、前記トランジスタをターンオフするために、アドレス信号を印加することを備える、請求項1に記載の装置。

【請求項6】

前記第2の段階中に印加される選択信号は、擦れテクスチャを得るためにゼロであるかまたは小さいことを特徴とする、請求項4又は5に記載の装置。

【請求項7】

前記手段は、第1の段階と二つ以上のテクスチャ制御段階を備えるシーケンスを提供し、前記第1の段階及び全ての前記テクスチャ制御段階はそれぞれの中間段階で分離されていることを特徴とする請求項1に記載の装置。

【請求項8】

前記入力信号は、擦れテクスチャを得るために各画素上に方形波型の制御信号を生成するように設計されていることを特徴とする、請求項1乃至7のいずれかに記載の装置。

【請求項9】

前記中間段階は、均一テクスチャを選択する場合、画素制御信号の立ち下がりの変動を制御するように設計されていることを特徴とする、請求項4乃至7のいずれかに記載の装置。

【請求項10】

前記手段が状態を変化させなければならない画素のみに固定破壊信号を印加することを特徴とする、請求項1乃至9のいずれかに記載の装置。

【請求項11】

状態を変化させる必要がない画素に対しては前記制御信号をゼロに維持することを特徴とする、請求項10に記載の装置。

【請求項12】

制御信号を発生させる前記手段は、前記選択信号の振幅を制御してグレーレベルを獲得することを特徴とする、請求項1乃至11のいずれかに記載の装置。

【請求項13】

前記装置は、1つの且つ同一の画素内に双安定テクスチャが制御された比率で共存する混合テクスチャを固定破壊の後に生成することができる制御手段と、これらのテクスチャは体積に関して180°回位線(disclination line)によってまたは一方の表面上の180°再配向壁(reorientation wall)によって区分けされ、表面壁への体積線の遷移および前記表面上でのこれらの壁の不動化によって前記混合テクスチャを長期安定させる手段とを含むことを特徴とする、請求項12に記載の装置。

【請求項14】

行及び列のマトリクス状に設けられた画素を備える双安定ネマティック液晶マトリクススクリーンを電氣的に制御する方法であって、

10

20

30

40

50

前記液晶マトリクススクリーンは、相互に対向する二つの基板間の液晶層を備え、前記基板上にそれぞれ二つの電極のセットが配置され、各々の画素は駆動画素電極と背面画素電極とをそれぞれ構成する二つの電極を有し、前記駆動画素電極は一つの前記基板上で一つの行と一つの列との交点に接続され、前記背面画素電極はもう一つの前記基板上に設けられ、行導電トラック及び列導電トラックのアレイであって、トランジスタのアレイがそれぞれ前記画素のそれぞれの一つと関連付けられ、

前記液晶マトリクススクリーンは、一つの前記基板上に、弱い天頂固定配向(zenithal anchoring orientation)層を含み、前記双安定ネマティック液晶マトリクススクリーンの各画素は、各々の前記トランジスタを介してアドレスされ、各々の前記トランジスタは、ゲート、ソース、ドレインを備え、各々の前記トランジスタは、シーケンシャルに前記双安定ネマティック液晶マトリクススクリーンの前記行導電トラックを走査することで活性化され、各々の前記画素トランジスタの前記ゲートはそれぞれの前記行導電トラックに接続され、前記ゲートはアドレス信号を印加することで前記トランジスタのターンオフあるいはターンオンを制御し、各々の前記画素トランジスタのソースは、それぞれの前記列導電トラックに接続され、前記ソースは制御信号を印加し、前記ドレインは前記駆動画素電極に接続され、

前記双安定ネマティック液晶マトリクススクリーンは、二つの双安定液晶テクスチャを備え、一つの前記テクスチャは、液晶の分子が互いに少なくともほぼ平行である均一なまたはやや捩れたテクスチャであり、他方は第1のテクスチャとおよそ $+180^\circ$ または -180° の捩れで異なるテクスチャであり、前記電氣的制御が、前記二つの双安定液晶テクスチャ間の各々の前記画素のスイッチングを備え、前記方法が、第1の段階と、中間段階と、制御された時間間隔で分離された少なくとも一つのテクスチャ制御段階を時間内に連続的に備え、

前記第1の段階は、

共通行に対応する各々の前記画素の前記トランジスタの前記ゲートに、対応する前記行導電トラックを介して、前記共通行の前記トランジスタをターンオンするために、アドレス信号を印加し、前記アドレス信号と同期して前記制御信号を同じ前記トランジスタの前記ソースに印加させて、前記トランジスタの前記ドレイン、それにより、関連付けられた前記駆動画素電極上に前記制御信号が現れ、前記制御信号は、前記画素上の前記液晶のアンカリングを破壊するために十分な振幅を有し、

その後、前記共通行の前記トランジスタの前記ゲートに、前記トランジスタをターンオフするためにアドレス信号を印加し、

前記中間段階が有する前記制御された時間間隔は、前記画素の前記液晶の前記アンカリングを破壊するのに十分であり、前記中間段階において幾つかの他の行がアドレスされ、

前記テクスチャ制御段階内は、前記共通行に対応する前記画素のそれぞれの前記トランジスタの前記ゲートに、再度、前記トランジスタを再度ターンオンするために追加のアドレス信号を印加して、前記トランジスタの前記ソースに印加された前記制御信号が、前記アドレス信号と同期して、前記トランジスタの前記ドレインに現れ、それにより、関連付けられた前記駆動画素電極上に現れ、前記制御信号は最終的な前記双安定液晶テクスチャを選択するために印加され、

その後、前記共通行の前記トランジスタの前記ゲートに、前記トランジスタをターンオフするために、アドレス信号を印加する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイ装置の分野に関し、より詳細には、双安定ネマチックディスプレイを切替える方法および装置に関するものである。

【0002】

本発明の一般的な目的は、文献[1]に開示されている双安定ディスプレイ装置を改良することである。これらの装置は一般的に“BiNem”装置と呼ばれている。この用語

10

20

30

40

50

を本特許出願の目的に使用する。これらの装置の構造について以下により詳細に説明する。

【背景技術】

【0003】

使用される液晶の物理的性質に応じて、ネマチック装置、コレステリック装置、スメクチック装置、強誘電性装置およびその他の装置を区別する場合がある。本発明の主題を成すネマチックディスプレイにおいて、アキラルネマチックまたは（例えば、キラルドーパントを添加することによってキラル化された）キラル化ネマチックを使用する。このようにして得られるものは、均一なまたはやや擦れた自然テクスチャであり、その螺旋のピッチは数ミクロンよりも大きい。基板との境界の表面の近傍での液晶の配向および固定は、

10

【0004】

これまでに提案および製造された装置のほとんどは単安定である。場が存在しない場合、装置には単一のテクスチャのみが生成される。このテクスチャはセルの全エネルギーの絶対最小値に相当する。場内では、このテクスチャは連続的に変形し、その光学的特性は印加電圧に応じて変化する。場が除去された場合、ネマチックは再度単一の単安定テクスチャに戻る。当業者には、これらのシステムの中で、ネマチックディスプレイにおいて最も広く用いられている動作モード、即ち、擦れネマチック（TN）、超擦れネマチック（STN）、電気制御複屈折（ECB）ネマチック、垂直配向ネマチック（VAN）、面内切替（IPS）ネマチック等が認識されるであろう。

20

【0005】

他のネマチックディスプレイの種類としては、双安定、多安定または準安定ネマチックがある。この場合、場が存在しない場合には安定性または準安定性の少なくとも2つの別個のテクスチャをセル内に生成してもよい。2つの状態間の切替えは、適切な電気信号を印加することによって行われる。一度画像が書き込まれると、場が存在しない場合には双安定性によりその画像は記憶されたままとなる。双安定ディスプレイこの記憶力は多くの用途に非常に魅力的なものである。第1に、それによって（変化させたい場合にのみ）低画像リフレッシュ速度を実現することができ、携帯機器の電力消費を低減させるのに非常に好ましい。第2に、この記憶力は、画質が横列の数に依存することなく、非常に高度な

30

【0006】

BiNemと呼ばれる双安定スクリーンの説明（図1）

新規の双安定ディスプレイが文献[1]に開示されている。

【0007】

このディスプレイは図1に概略的に示されている。

【0008】

これは、少なくとも一方が透明である2つのプレートまたは基板20、30の間のキラル化ネマチック液晶またはコレステリック液晶層10で構成されている。基板20、30にそれぞれ配置されている2つの電極22、32を用いることによって、それらにあるキラル化ネマチック液晶10に電気駆動信号を印加する。電極22、32の上の固定層24、34は、液晶10の分子を所望の方向に配向させる。マスタプレート20上の分子の固定24は強く且つやや傾斜しており、スレーブプレート30上では、弱く且つ平らである。これらの表面22、32上の分子10の固定24、34は単安定である。

40

【0009】

光学系によりこの装置が完成される。

【0010】

より正確には、図1は、それぞれ左側および右側で、液晶分子がとり得るそれぞれ場が存在しない場合に安定する2つの状態を概略的に示しており、同図1の中央には、高電界では安定し、場が存在しない場合には不安定な不揃い状態が示されている。この状態は液

50

晶分子によってディスプレイの駆動プロセス中に一時的にとられるものである。

【 0 0 1 1 】

それぞれ図 1 の左側および右側に示された液晶の 2 つの双安定テクスチャ、U (均一または若干の捩れ) および T (捩れ) は、場の印加がない場合は安定している。マスタプレート 2 0 上の固定方向とスレーブプレート 3 0 上の固定方向との角度は小さいかまたはゼロである。これら 2 つのテクスチャの捩れは絶対値でおよそ 1 8 0 ° 異なる。ネマチックの自然ピッチ p_0 は、U および T テクスチャのエネルギーが本質的に同一となるように、セルの厚さ d の 4 倍近く ($p_0 \approx 4 \cdot d$) に選択されている。場が存在しない場合、エネルギーのより低い他の状態は存在せず、U および T は真の双安定性を示す。

【 0 0 1 2 】

B i N e m 構造の利点の 1 つは、2 つのテクスチャ U および T が平面的であり、それにより補正膜なしで良好な視角を得られることである。反射構成における B i N e m の光学性能特性については、例えば文献 [5] に記載されている。

【 0 0 1 3 】

B i N e m のテクスチャの切替え方法

1 つのテクスチャから他のテクスチャへ切替えるには、低天頂固定エネルギーを有する表面 3 2 / 2 4 上で固定を破壊する必要がある。

【 0 0 1 4 】

物理的原理

2 つの双安定テクスチャ U および T は位相的に別々のものであり、連続的な体積歪みによって一方から他方へ変換することは不可能である。従って、一方の U テクスチャから T テクスチャへの、またはその逆の変換には、強い外部場によって誘引される表面上での固定の破壊、または回位線の移動が必要とされる。第 1 の現象よりも著しく遅いこの第 2 の現象については無視し、以下に詳細に説明しない。

【 0 0 1 5 】

液晶のどのようなアラインメント層も天頂固定エネルギー A_z に特徴付けられる場合がある。このエネルギーは常に有限である。従って、同様の有限閾値電界 E_c (固定破壊閾値) があり、それによって以前の無電界テクスチャがどのようなものであっても表面にホメオトロピックテクスチャ (H) が与えられる。

【 0 0 1 6 】

固定を破壊するには閾値電界 E_c に少なくとも等しい場を印加する必要がある。この場は、表面近傍の液晶の再配向により図 1 の中央に概略的に示されているようなホメオトロピックテクスチャとなるように十分に長い時間印加されなければならない。この最短時間は印加される場の振幅に依存するが、液晶の物理的特性およびアラインメント層にも依存する。

【 0 0 1 7 】

スタティック (数ミリ秒以上印加される場) の場合には、

【 数 1 】

$$E_c \cong A_z / \sqrt{K_{33} \epsilon_0 \Delta \epsilon}$$

【 0 0 1 8 】

となり、この時 A_z は表面の天頂固定エネルギーであり、 K_{33} は液晶の弾性屈曲係数であり、 $\Delta \epsilon$ はその相対誘電異方性であり、 ϵ_0 は自由空間の誘電率である。

【 0 0 1 9 】

V_c は $V_c = E_c \cdot d$ となるように固定破壊電圧と定義され、ここで d は液晶セルの厚さである。B i N e m の場合、 V_c の典型的な値は 1 6 V である。

【 0 0 2 0 】

分子がこの表面の近傍のプレートに対して垂直である時、およびこれらの分子に対して

10

20

30

40

50

表面によって加えられる復元トルクがゼロである時、固定は破壊されると言われている。実際に、分子の配向と表面の法線との差が十分に小さいこと、例えば 0.5° よりも小さいこと、および表面で分子に加えられるトルクが非常に小さいことのみが必要とされる（このような状態は図1の中央に概略的に示されている）。これらの条件が組み合わさった場合、壊れた表面34の近傍のネマチック分子は電場がオフにされた時に不安定な均衡状態となり、それらの初期の配向を再び取るかまたは反対方向に回転し、初期のテクスチャとは 180° 擦れで異なる新たなテクスチャを誘導する場合がある。

【0021】

最終的なテクスチャの制御は印加される電気信号の波形、特にこの場のゼロへの戻り方に依存する。

10

【0022】

パルスの電圧の漸進的な低下によって流量が最小限となる。マスタプレート20に近接する分子は、それらの平衡状態までゆっくりと落ちる。試料の中央の分子との前記分子の弾性結合によってもそれらは同じ方向に傾斜する。この動きはスレーブプレート30に到達するまで広がり、そこで分子は、表面トルクに補助されてさらに同一方向に急速に傾斜する。均一状態Uは図1の左側に概略的に示されているようにセルの中央で漸進的に構築される。

【0023】

場が突然低下した場合、液晶の配向は、 $\gamma_1 L^2 / K$ の表面緩和時間で、まず強い表面（マスタプレート20）の近傍で変化し、ここで $L = K_{33} / A_z$ は強い層の外挿長であり、 γ_1 は液晶の回転粘度である。この時間は通常、およそ10ミリ秒程度である。

20

【0024】

このような短時間で強い表面24を切替えるとこの表面に近接する強い流れが生じ、この流れは1マイクロ秒よりも短い特性時間の後で体積内に拡散し、弱い表面（スレーブプレート30）に到達する。弱い表面（スレーブプレート30）上に生じた剪断はこの表面で分子上に流体力学的トルクを発生させる。このトルクは、マスタプレート20の傾斜によって生じた弾性トルクと逆方向にある。剪断が十分に大きいと、弱い表面34に対する流体力学的トルクが最も強くなり、図1の右側に概略的に示された擦れテクスチャTが促進される。剪断が弱いと、弱い表面34に対する弾性トルクが最も強くなり、図1の左側に概略的に示された均一テクスチャUが誘導される。

30

【0025】

セル内の分子の回転方向は、それぞれ図1に（U状態に切替える）RUおよび（T状態に切替える）RTで参照される2つの矢印で示されている。

【0026】

このようにして $\gamma_1 d^2 / K$ の体積緩和時間 $\tau_{v,1}$ で体積が再配向され、ここで d はセルの厚さである。通常およそ1ミリ秒のこの時間は、強い表面の緩和時間よりもはるかに長い。

【0027】

実施

一般的に、BiNem型液晶画素の切替えは、2つの段階（固定破壊第1段階および選択第2段階）で行われる。

40

【0028】

・第1段階：Cで示される固定破壊段階

段階Cは、スレーブプレート30上で固定を破壊するのに適した電気信号を印加することで構成される。一般的に、段階Cが短いほど印加信号のピーク振幅は大きくなければならない。

【0029】

所定の振幅および所定の持続時間では、固定破壊が行われたものと仮定すると、この信号の波形の詳細（勾配、中間レベル等）は次の段階の実行に目立った影響を与えない。

【0030】

50

・第2段階：Sで示される選択段階

段階S中に印加される電圧は、2つの双安定テクスチャUまたはTのいずれかの選択を可能にしなければならない。上述の影響のために、一方のテクスチャから他方への切替えを決定するのは、各画素の端末に印加される電気パルスの上昇波形である。

【0031】

テクスチャTへ切替えるためには：

段階C：固定破壊

固定破壊段階C中に、スレーブプレート30上の固定を破壊する場よりも大きな場を与えるパルスを印加し、図1の中央に示されているように画素内の分子を持ち上げるのに要する時間待機する必要がある。破壊電界は、液晶材料10の弾性および電気的特性と、セルのスレーブプレート30上に堆積した固定層34とのその相互作用とに依存する。これは1ミクロン毎に数ボルトからおよそ10ボルトに変化する。分子を持ち上げる時間は、回転粘度に比例し、使用される材料10の誘電異方性および印加された場の2乗に反比例する。実際には、この時間は1ミクロン毎に20ボルトの場では数ミリ秒まで下がる場合がある。

10

【0032】

段階S：テクスチャの選択

従って、数ミリ秒、または最大で数十ミリ秒に渡って駆動電圧の突然の降下を発生させることによって場を急速に低下させればよい。値Vに少なくとも等しい振幅のこの突然の電圧降下は、液晶に十分に強い流体力学的影响を生じることができる程度のものである。Tテクスチャを生成するためには、この降下Vは、必ず印加電圧を固定破壊電圧 V_c よりも大きな値からこの電圧を下回る値にしなければならない。

20

【0033】

Tテクスチャへ切替える信号の例としては、振幅 $P_1 > V_c$ および $P_1 \geq V$ の方形波型の信号がある。その持続時間は固定を破壊するのに十分に長くななければならない。 $P_1 \geq V$ の場合に P_1 から0への降下によって、Tの選択が可能となる(図2を参照)。

【0034】

Tテクスチャへ切替える信号の他の例としては、 $P_1 > V_c$ の時に持続時間 τ_1 および振幅 P_1 の固定破壊第1シーケンスと、それに続いて $P_2 \geq V$ 、即ち $P_1 - P_2 \geq V$ となるような持続時間 τ_2 および振幅 P_2 の選択第2シーケンスとを含む2レベル信号がある。印加される場の降下時間は、その持続時間の10分の1よりも短い、または(1msよりも大きな)長いパルスの場合には30マイクロ秒よりも短くななければならない。

30

【0035】

Uテクスチャを得るためには：

段階C：固定破壊

上述の状態Tでの書き込みの場合と同様に、固定破壊段階C中に、分子を持ち上げるのに十分な時間スレーブプレート30上の固定破壊電界よりも大きな場を印加する必要がある。

【0036】

段階S：テクスチャの選択

従って、印加電圧に「遅い降下」を誘発させる必要がある。文献[1]はこの「遅い降下」を実施する2つの方法を提案している。即ち、信号は持続時間 τ_1 および振幅 P_1 でその後持続時間 τ_2 の傾斜が続くパルスであり、その降下時間はパルスの持続時間の3倍よりも大きい(図3)いか、または段階的降下である。

40

【0037】

Uテクスチャへ切替える信号の例としては、持続時間 τ_1 および振幅 P_1 ($P_1 > V_c$)の破壊第1シーケンスと、それに続いて $P_2 < V$ および $P_1 - P_2 < V$ となるような持続時間 τ_2 および振幅 P_2 の選択第2シーケンスとを含む2レベル信号を含む2レベル信号がある。2レベル段階的降下は、デジタル電子機器によってより容易に達成することができる。しかし、2つよりも大きな数のレベルでの降下も当然考えられる。

50

【0038】

従って、画素の端末に単純な2レベル信号を印加することによって、UテクスチャまたはTテクスチャを得ることができる。第1のレベル(P1、 τ_1)は固定破壊段階に対応し、第2のレベル(P2、 τ_2)によってP2の値によるテクスチャの選択が可能になる。この信号は図4に示されている。P2T値はTへ切替える(所定のP1の)P2の値に対応し、P2U値はUテクスチャへ切替える(所定のP1の)P2の値に対応する。

【0039】

典型的な値： $\tau_1 = \tau_2 = 1 \text{ ms}$ の場合 P1 = 20V、P2U = 7から9V

従来の多重化によるBiNemのアドレス指定

従来の多重化の原理および制約

中分解能マトリクススクリーンの場合、各画素を個々に独立駆動電極に接続することは、画素ごとに1つの接続を必要とし、これはスクリーンが複雑になるとすぐに位相的に不可能となるため、論外であることは当業者には知られている。用いられる電気光学的効果が非線形である場合、多重化の技術を採用することによって接続を節約することができ、これは標準的な液晶技術に当てはまる。画素はマトリクスシステムによってそれぞれm画素のnグループにまとめられる。これらは、例えば、マトリクススクリーンの場合にはn横列およびm縦列であり、数字ディスプレイの場合にはn数およびm分の1数である。最もよく用いられる順次アドレス指定モードにおいては、一度に単一の横列が選択され、その後次の横列が選択され、最後の横列まで以下同様に行われる。横列選択時間の間は、横列のすべての画素に縦列信号が同時に印加される。この方法は、横列の数nによって多重化された横列アドレス時間に等しい総時間で画像をアドレス指定することを可能にするものである。この方法では、m×n画素のスクリーンをアドレス指定するのにm+n接続で十分であり、この時mは当該マトリクスのコラムの数である。多重マトリクススクリーンは図5に示されている。

【0040】

画素によって見られた電気信号は横列に印加された信号と縦列に印加された信号との差であり、これと画素が交差する。

【0041】

図5に示されたこのスクリーン原理は「パッシブスクリーン」と呼ばれている。横列電極はこの横列のすべての画素に共通し、縦列電極はこの縦列のすべての画素に共通している。

【0042】

導電電極は透明でなければならない。すべての製造者によって用いられている材料はITO(混合インジウム錫酸化物)である。

【0043】

パッシブスクリーンを多重化する欠点は、画像アドレス時間の間中、画素は縦列信号を感知し、画素の横列の起動の期間中にのみ感知しないことである。即ち、スクリーンの画素は画像書き込み時間中、その全縦列の縦列信号を連続的に受信する。その横列を選択する時間以外に画素に印加される信号については寄生信号と考えてもよく、これは液晶画素の電気光学的応答に作用する。より正確には、標準的な動作条件の下でのTNまたはSTN型パッシブマトリクスまたはそれらの変形のいずれかでは、画素内の液晶の状態はほとんど、画像アドレス時間中にそれに印加される電圧のRMS(2乗平均平方根)値にのみ依存する。従って、液晶分子の最終状態、即ち最後に画素の光透過は、画像アドレス時間中に印加される電圧のRMS値によって決定される。加えて、画像リフレッシュ速度がちらつきに対する目の感度によって課され、通常は50Hzである。RMS値に対する感度および設定速度は、AltおよびPlesko規準(文献[2])によって表されるスクリーンの横列の数を結果的に制限する。従って、パッシブスクリーンの多重化は中分解能LCDに適している。

【0044】

BiNemに適用される多重化

多重化されるためには、画素信号は、すべての画素に共通する横列信号、およびその符号に応じてUテクスチャまたはTテクスチャのいずれかを得ることを可能にする縦列信号に分解されなければならない。図6は、適切な画素信号を生成するための横列および縦列信号の例を示している。

【0045】

横列信号(図6a)は2つのレベルを有し、第1のレベルは時間 t_1 の間電圧A1を供給し、第2のレベルは時間 t_2 の間電圧A2を供給する。振幅Cの縦列信号(U状態に切替える図6bおよびT状態に切替える図6c)は時間 t_2 の間にのみ印加され、これは、画像が消去されるか(即ち、U状態を得るため)または書き込まれるか(即ち、T状態を得るため)に応じて正または負となる。時間 t_3 は2つの横列パルスを分離する。図6dおよび6eは、それぞれ消去された画素の端末(Uへの切替え)および書き込まれた画素の端末(Tへの切替え)に印加された信号を示している。

10

【0046】

これらの信号に満たされる条件は、

$$A1 = P1; A2 - C = P2U; A2 + C = P2T$$

である。

【0047】

上記数値例において、1つの解法は以下のとおりである。

【0048】

$A1 = 2.0V$ 、 $A2 = 1.0.5V$ 、 $C = 2.5V$; 従って $P2U = 8V$ および $P2T = 1.3V$; $t_1 = t_2 = 1ms$ 。

20

【0049】

これらの信号は非常に単純であり、それらのすべてのパラメータをスクリーンの特性に容易に適合させることを可能にする。

【0050】

画素信号の立ち下がりの波形に基づいた切替え原理はBiNemに特有なものである。

【0051】

ある液晶材料の、直流電圧を受けた際の電気分解による劣化の問題を考慮に入れると、ゼロまたはほぼゼロ平均値の信号を画素に印加することが有益である場合が多い。図6の基本信号をゼロ平均値の対称信号に変換する技術が文献[4]に記載されている。

30

【0052】

BiNemの多重化の制約

速度制約

1度に1本の横列を多重アドレス指定する場合、n横列の画像を書き込む時間は1本の横列のアドレス時間のn倍に等しい。

【0053】

上記例において、横列時間は2msであり、即ち160本の横列の場合には320msの画像時間であり、480本の横列の場合には960msの画像時間である。

【0054】

これらの画像書き込み時間は短く、動画の表示には不適合である。

40

【0055】

1度にいくつかの横列をアドレス指定することによって画像書き込み速度を向上させる1つの解決法が文献[3]に記載されている。

【0056】

しかし、この技術は(通常300本の横列を有する)中分解能ディスプレイにおけるおよそ50Hzの速度に到達するには不十分なおよそ2または3の因数によって速度を上げること限定される。

【0057】

この制約はBiNemおよび標準的な液晶に共通している。

【0058】

50

寄生信号に対する感度

多重モードにおいて、画素（ N 、 M ）は、その関係する画素アドレス横列信号および縦列信号を受ける。しかし、この画素は、周期 $T = T_1 + T_2 + T_3$ （図7）で、それが一部を形成する縦列 M の他の画素を対象とする振幅 $+V$ 、 $-V$ の縦列信号も受ける。これらの信号は画像書き込み時間中に画素電圧に影響を与える寄生信号である。これは、ネマチック液晶が、与えられる2乗平均平方根電圧を感知するためである。従って、画像書き込み中にディスプレイの光学的外観が乱される。

【0059】

この影響を低減する1つの解決法が文献[4]に提案されている。縦列信号の持続時間は横列信号の第2のレベルの持続時間に関連して短縮され、それにより寄生信号、従って書き込み中の画像の光学的撓動の低下を可能にする。しかし、この低下はいくつかの要素によって制限され、即ち、動作温度が低くなると、 U と T との間の切替えを続けるためには縦列信号の振幅を大きくする必要がある。さらに、この技術は動作過電圧に空間分散を導入し、これを考慮に入れなければならないので、セルのすべての画素を切替えるためには単一の画素に必要なものよりも大きな振幅 C を選択する必要がある。

【0060】

標準的な液晶は印加電圧のRMS値にも感応するが、所望の光学状態を示すためには常にアドレス指定されなければならないので、この値は画像の書き込み中だけでなく、永久に画素の状態に影響を与える。

【0061】

アドレス指定トラックの電気的および幾何学的特性に対する感度

以上の説明によれば、BINEMの1つの特有の特徴は、Tテクスチャへの切替えというのは急な電圧降下を画素に印加しなければならないことである点である。十分な電圧降下を有する2レベル型の信号は、横列の最後の画素まで全ITO横列に沿って伝搬する。横列の電気的特性（ R_s ）のために、パルスの波形はその伝搬の間に変化する。最後の画素に到達する際にその波形が常にTへの切替えに対応することが根本的に重要である。そこで、典型的な例において、この横列に沿った伝搬の間に横列に印加される信号の降下勾配の変化を調べる。

【0062】

簡略化のため、Tへの切替えのために20V振幅の方形波信号を仮定する。この電圧では、電圧降下（その値の90%から10%への）がおおよそ30 μ sの時間 T_t 未満で行われた場合にTへの切替えが行われると決定されている。

【0063】

長さ L および幅 l （図8参照）の M 縦列および N 横列のディスプレイについて考える。画素の長さは $L/M = p$ である。画素の幅は $l/N = a$ である。横列と縦列を分離する領域は無視し、画素の活性領域は $p \times a$ である。

【0064】

横列の等価回路図が図9に示されている。各画素は、以下のように定義される直列抵抗 R_{px} および並列キャパシタ C_{px} を備える三極に相当する。

【0065】

$R_{px} = p/a \cdot R_s$ 、この時 R_s はITOの表面抵抗である。液晶の抵抗率は無視する。

【0066】

$C_{px} = C_{LC} = \epsilon_0 \epsilon_r a p / e$ 、
ここで、 e は液晶セルの厚さであり、
 ϵ_0 は自由空間の誘電率であり、
 ϵ_r は液晶の比誘電率である。

【0067】

従って、各画素に関連する時定数 $R_{px} \cdot C_{px}$ は
 $R_{px} \cdot C_{px} = R_s (\epsilon_0 \epsilon_r / e) p^2$ となる。

10

20

30

40

50

【 0 0 6 8 】

線に沿った伝搬は拡散方程式によって得られる。線のインピーダンスは分析的に算出される。長さLの横列の最後の特性時間Tdは $Td = R_s (\rho_r / e) L^2$ である。

【 0 0 6 9 】

横列の最初で印加されたステップに対する横列の最後での立ち上がりまたは立ち下がり(90%から10%)時間は $0.9 Td$ である。

【 0 0 7 0 】

図10aは、以下の典型的な数値の場合に、30、60、90、120および150mmの横列長さで画素M(横列の最後の画素)に印加された電気信号の立ち下がりの算出された波形を示している。

【 0 0 7 1 】

$$\rho_r = 8.854 \times 10^{-12} \text{ F/m}; \quad r = 15; \quad e = 1.5 \mu\text{m};$$

$$a = p = 200 \mu\text{m}; \quad R_s = 30; \quad R_{\text{contact}} = 1 \text{ k}.$$

【 0 0 7 2 】

図10aにおいて、120mmの長を超えると、 $30 \mu\text{s}$ よりも長い時間Ttで立ち下がり(90%から10%)が起こることが分かる。従って、T状態への切替えは不可能となる。

【 0 0 7 3 】

1つの解決法としては、ITOの表面抵抗 R_s を低下させることである。図10bは、図10aと同じパラメータを用いているが、 $R_s(\text{ITO}) = 15$ である。2本の曲線を比較することによって、 $R_s = 30$ の場合の120mmの長さと比較すると、およそ150mmの長さでは $30 \mu\text{s}$ 閾値に達することが分かる。2の因数によって R_s を低下させることでは、2の平方根によってしか横列の長さを増すことができない。

【 0 0 7 4 】

しかし、 R_s を低下させることはITOの厚さ、従ってITOのコストを増すことを意味する。 15 は合理的な値であるが、 5 は限界値である。

【 0 0 7 5 】

従って、関係 $0.9 R_s (\rho_r / e) L^2 < 30 \mu\text{s}$ はアドレス指定され得るスクリーンの横列の長さを制限する。この制限は、印加電気信号の波形に感応するBiNemの切替えモードに特有のものである。標準的な液晶(例えば、TNおよびSTN)は、この減衰にあまり影響されない印加電気信号の2乗平均平方根に感応する。

【 0 0 7 6 】

標準的な液晶のアクティブアドレス指定

アクティブアドレス指定の原理

例えば通常はMOS型のTFT(薄膜トランジスタ)を用いた液晶画素をアクティブアドレス指定する原理が図11に示されている。各画素はTFTスイッチ40を介してアドレス指定され、このTFTスイッチ40は各画素をアドレス指定段階(横列時間)中にその縦列45へ接続し、持続段階(フレーム時間または全画像をアドレス指定する時間)中に各画素を外部環境から隔離し、それによってフレーム時間の中にその端末で一定の電圧を維持することが可能となる。スイッチは、(多重アドレス指定の場合と同様に)スクリーンの横列46を順次走査することによって作動し、または(トランジスタをオンにする)閉電圧が対応する横列時間の間に印加され、他の横列をアドレス指定する間には(トランジスタをオフにする)開電圧が印加される。従って、横列46は、トランジスタのオフまたはオンを制御するMOSトランジスタ40のゲート41に接続され、縦列45はソース42に接続され、ドレイン43は液晶画素の駆動電極47に接続される。画素の反対面では、すべての画素に対して後部電極48が共通となっている。

【 0 0 7 7 】

トランジスタがオンおよびオフの場合の画素の等価回路図がそれぞれ図12aおよび12bに示されている。

【 0 0 7 8 】

10

20

30

40

50

液晶の各実際の画素は抵抗 R_{LC} と並列にキャパシタ C_{LC} を備えるセルに連結されていてよい。

【0079】

オン状態においては、図12aに示されているように、電流はトランジスタの抵抗 R_{on} を流れ、前記セル (C_{LC} 、 R_{LC}) を充電する。

【0080】

オフ状態においては、図12bに示されているように、漏れ電流が並列抵抗 R_{LC} を通ってキャパシタ C_{LC} を放電させてもよい。

【0081】

持続段階および寄生画素間結合の間の漏れを最小限にするためには、TFT技術を複雑化することを犠牲にして、液晶のキャパシタ C_{LC} と並列に蓄積容量 C_s が通常付加される。

【0082】

TFTアドレス指定液晶スクリーンにおける重要な電気パラメータは次のとおりである。

【0083】

トランジスタの R_{on} および R_{off} 、

$C_{px} = C_{LC} + C_s$: 画素の全容量、

R_{LC} : LCの抵抗。

【0084】

さらに、電気信号を画素に搬送する横列46および縦列45を形成するトラックは非ゼロ抵抗率を有する。交差するトラック45および46は交差点で寄生キャパシタを形成する。トラックに沿って分配される抵抗および静電容量の結果として、信号の歪みおよび位相シフトが生じる (ITO同上)。以下の用語を定義する。

【0085】

R_{ct} : 画素にデータを搬送する縦列トラックの全抵抗、

C_{ct} : 画素にデータを搬送する縦列トラックの全静電容量。

【0086】

液晶アラインメント層 (図11には示さず) は、多重パッシブLCDと同様に電極47、48の上に堆積されている。

【0087】

アクティブアドレス指定の利点

速度

通常、75Hzは13msのフレーム時間に相当し、1000本の横列をアドレス指定するためには横列毎に13μsが必要とされる。トランジスタがオンの時、液晶のキャパシタを充電するための横列時間はおよそ1から数十μsでなければならない。これによってトランジスタの R_{on} に低い値が課される。この条件が満たされれば、この方法によって高解像度画像に対する高アドレス率が可能になる。

【0088】

解像度

トランジスタがオフの時、全フレーム時間の間中に寄生縦列信号から隔離される画素の端末で電圧が維持される。多重化制限 (AltおよびPlesko規準) が解除され、多数の画素がアドレス指定される場合がある。この制約は、所定のグレーレベルを維持するためには、画素の端末での電圧が所定の値に維持され、2つのグレーレベルの間の電圧差よりも大きく変化しないことである。これを行うためには、画素の漏れ抵抗がある値よりも小さくなければならない、そのためトランジスタの R_{off} および液晶の抵抗 R_{LC} の両方に制限が課される。

【0089】

256グレーレベルの場合、75Hzで1000本の横列をアドレス指定するTFTのいくつかの数字は以下のとおりである。

10

20

30

40

50

【0090】

フレーム時間：13ms、

横列（ゲート開放）時間 T_g ：13 μ s、

画素の端末に対する電圧の印加：この電圧は $T_g = 13\mu$ s においておよそ3Vによって変化しなければならない

初期グレーレベルの維持：画素の端末での電圧は、フレーム時間中（13ms）に10mVよりも小さな変動で維持されなければならない。この制限によって、トランジスタの高い R_{off} および液晶の高い抵抗が課される。

【0091】

いわゆる「標準的な」TFTは薄いアモルファスシリコン（a-Si）層を用い、TN（捻れネマチック）モードに結合されている。付加価値の高い大型スクリーンの場合、TFTはより良い視角を持つIPS（面内切替）またはMVA（マルチドメイン縦配向）モードにより大きく関連する。

【0092】

アクティブアドレス指定の制約：標準的なLCスクリーンの切替え

モバイル用途でのTFTスクリーンの重大な制約は、その相当の電力消費である。例えば、対角線で15インチのTFTマトリクスモニタは現在20W近く消費し、そのおよそ半分はバックライトに用いられている。この状況は、（TN効果を利用する）標準的なTFTスクリーンの非双安定特性だけでなく、TFT技術の低い発光効率を原因とする。この低い効率の主な原因の1つは、低い開口径比が存在することである。このような状況下では、事実上、標準的な光背景にバックライトが必要とされる。電力供給ネットワークに接続されていない際のこのようなTFTスクリーン装置の自給は単に不足するのみである。この傾向はTFT-IPS技術では顕著である。この技術における視角は実際にはBINEMスクリーンの視角に匹敵するものであるが、画素に横方向の場を印加するためのピッチの短い電極のアレイの存在によって、開口径比がさらに低下する。照明システムの電力、従って装置の消費は、画像の同等の明るさに関して従来のTFTよりも大きくなければならない。さらに、IPS装置では従来のTFTスクリーンよりも極めて高い動作電圧が必要とされる。従ってここでもエネルギー収支が低下する。さらに、IPS技術を選択することによって生じる費用負担は、多くの大容量の用途では現実的な障害となる。TFTスクリーンの電力消費が高いだけでなく、その非双安定特性のため、都合の良い場合でも電力消費を低下させることが不可能であることを意味している。

【発明の開示】

【0093】

本発明の目的は、従来技術を改良する新規の手段を提案することである。

【0094】

この目的は、本発明の文脈内において、固定破壊を利用した双安定液晶ネマチックマトリクススクリーンを備えるディスプレイ装置によって達成され、前記ディスプレイ装置は、

オフ状態とオン状態との間で切替え可能な構成要素と、これらの構成要素はそれぞれ各画素に関連する駆動電極と表示状態制御リンクとの間に配置され、

前記各構成要素の入力に対して、前記状態制御リンクを介して、制御された時間間隔によって区分された少なくとも2つの段階を含む入力信号を印加可能な手段とを具備してなることを特徴とし、第1の段階中に、前記入力信号は関連画素上の液晶の固定の破壊を可能にするのに十分な振幅を有し、次に第2の段階中に、前記入力信号の振幅を制御して前記液晶の2つの双安定状態のいずれかを選択し、前記2つの段階の間の時間間隔は、前記第2の入力信号段階が行われる前に前記関連画素上の液晶の固定を破壊するように構成されている。

【0095】

またより正確には、本発明の文脈内において、前記構成要素は、アドレス信号によってオフ状態とオン状態との間で駆動されるスイッチから形成されることが好ましく、且つ各

10

20

30

40

50

画素に関連する駆動電極と表示状態制御リンクとの間にそれぞれ配置され、前記装置は、スイッチを前記オン状態に制御する少なくとも2つのアクティブ段階を含むアドレス信号を定義することが可能な手段をさらに含み、前記段階は制御時間間隔によって区分され、前記手段は、少なくとも2つの段階を含む入力信号を各駆動されたスイッチの入力に対して、前記状態制御リンクを介して前記スイッチを選択的にオンにする前記アドレス信号のアクティブ段階と同期して、印加することが可能であり、第1の段階中に、前記入力信号は関連画素上の液晶の固定の破壊を可能にするのに十分な振幅を有し、次に第2の段階中に、前記入力信号の振幅を制御して前記液晶の2つの双安定状態のいずれかを選択し、前記2つの段階の間の時間間隔は、前記第2の入力信号段階が行われる前に前記関連画素上の液晶の固定を破壊するように構成されている。

10

【0096】

この構造を「アクティブBiNem」と呼ぶ。

【0097】

本発明の目的のため、「マトリクススクリーン」という表現は、横列および縦列の画素の規則的な配列に限定されないものと見なす。これは、m個の関連画素のn個のグループ、例えばそれぞれm個の画素から形成されるn数で形成されるどのような画素配列をも含む。

【0098】

本発明はまた、固定破壊を利用した双安定ネマチック液晶マトリクススクリーンを電気的に制御する方法に関し、前記方法は、

20

オフ状態とオン状態との間で切替え可能な構成要素を設けることを含むことを特徴とし、これらの構成要素はそれぞれ各画素に関連する駆動電極と表示状態制御リンクとの間に配置されることを特徴とし、

前記方法はまた、前記電気的制御のために、

前記各構成要素の入力に対して、前記状態制御リンクを介して、制御された時間間隔によって区分された少なくとも2つの段階を含む入力信号を印加するステップを含むことを特徴とし、第1の段階中に、前記入力信号は関連画素上の液晶の固定の破壊を可能にするのに十分な振幅を有し、次に第2の段階中に、前記入力信号の振幅を制御して前記液晶の2つの双安定状態のいずれかを選択し、前記2つの段階の間の時間間隔は、前記第2の入力信号段階が行われる前に前記関連画素上の液晶の固定を破壊するように構成されている

30

【0099】

本発明の他の有利な特徴によれば、本発明によるスクリーンは2つのテクスチャを用い、その一方は分子が互いに少なくともほぼ平行である均一なまたはやや擦れたテクスチャであり、他方は第1のテクスチャとおおよそ+180°または-180°の擦れで異なるテクスチャである。

【0100】

それぞれの被制御スイッチを介してアクティブアドレス指定を用いることにより、即ち固定破壊を利用した双安定ネマチック液晶を用いることでBiNem型スクリーンの文脈内において多くの利点が提供されるが、当業者は、このような結果を達成させるものを従来技術の文献に見出すことはできなかった。

40

【0101】

これと全く反対に、アクティブアドレス指定で要求される制御信号の波形および持続時間は、これまでBiNem型の操作可能な双安定スクリーンに対応していなかった。

【0102】

さらに、アクティブアドレス指定液晶スクリーンの電力消費は、BiNemスクリーンの文脈において当業者に完全に受け入れ不可能とされていた。

【0103】

最後に、特に各画素に関連するスイッチの存在によるアクティブアドレス指定スクリーンのコストのため、これまで当業者はこのような結果を得ることができなかった。

50

【 0 1 0 4 】

従って、本発明の文脈において提案されているように、制御された時間間隔によって区分された2つの段階にアドレス信号および制御信号を分離することによって大幅な革新が成され、それによって以下に詳細に説明するように従来技術に対して実質的な改良を達成することが可能となる。

【 0 1 0 5 】

本発明の他の特徴、目的および利点は、制限することのない例として与えられた添付図面に基づく以下の詳細な説明を読むことにより明らかとなるであろう。

【 発明を実施するための最良の形態 】

【 0 1 0 6 】

本発明によるスクリーンの全体構造は、図11に示されているような従来のTF Tスクリーンの構造と同一である。

【 0 1 0 7 】

このような従来のTF Tスクリーンとの本質的な違いは次のとおりである。

【 0 1 0 8 】

標準的な配向層の1つがBi N e mに特有の弱い天頂固定配向層34と置き換えられていること、

セルが標準的な技術の場合よりも小さな厚さで作成されていること、

セルが、図1に示されているような2つのテクスチャUおよびT、およびBi N e mモードにおけるセルの動作が得られるようにBi N e mに合わせた液晶がセルに満たされていること、である。

【 0 1 0 9 】

従って、通常、本発明の場合においては、互いに向かい合う2つの電極22、32の間に画定され、且つそれぞれ2つのプレートまたは基板20、30のいずれかの上に配置された画素毎に、スイッチを形成する各トランジスタ40のドレイン41に電極の一方が接続され、このトランジスタのソース42が状態制御トラックまたはリンク、例えば縦列45に接続されて状態制御信号を受信し、前記トランジスタのゲート41が駆動またはアドレストラックまたはリンク、例えば横列46に接続されて駆動またはアドレス信号を受信し、後部電極が共通電位、例えばアースに接続され、これはすべての画素に共通のものである。

【 0 1 1 0 】

m個の素子、例えばm本の縦列のm本の横列のn個のグループの形態でまとめられたn × m個の画素のスクリーンでは、n × m個の非制御スイッチ40が設けられ、n個の導電トラックのアレイは導電トラックのアドレス横列を形成し、m個の導電トラックのアレイはトランジスタを制御する縦列を形成する。

【 0 1 1 1 】

トランジスタ40のゲート41に信号が印加されていない時、これはオフ、即ち非導電状態である。

【 0 1 1 2 】

一方、このトランジスタ40のゲート41に適切な信号が印加された時、これはオンになる。トランジスタのソース42に印加された電圧はその後トランジスタのドレイン43、またその結果としてトランジスタの関連する電極47に現れる。

【 0 1 1 3 】

2つの電極間に配置された液晶によって形成された画素は、トランジスタがオフ状態に切替えられた時に、即ちそのゲートに印加されたアドレス信号が切断された時に、その端末でこの電圧を維持することができるキャパシタを構成する。

【 0 1 1 4 】

新たなアドレス信号および新たな制御信号の印加の前におけるこの電圧のその後の変動は、画素の2つの電極の間に画定されるインピーダンスに依存する。

【 0 1 1 5 】

10

20

30

40

50

以下、それぞれ各画素に関連する前記スイッチトランジスタをTFT（薄膜トランジスタ）と呼ぶ。

【0116】

しかし、本発明を、被制御スイッチを製造するいずれかの技術に限定されるものと考えてはならない。本発明はこのような機能を実行することができるいかなる技術をも包含するものである。例えば、1つ以上のダイオードに基づくシステムを考えてもよい。

【0117】

TFT40は、アドレス指定された横列46に関連する画素以外のスクリーンのすべての画素を隔離することを可能にし、これらの画素はそれぞれこれらの縦列トラック45を介して縦列ドライバに接続されている。

10

【0118】

従来のTFTの標準的なアドレス指定では、各フレームのすべての画素をアドレス指定し且つ制御する必要があるが、BiNemの双安定によれば各画素間で状態が変化した画素のみを選択的に制御することが可能になる。双安定のため、極めて個別的なアドレス指定を行うことができる。この方式を「選択的アドレス指定」と呼ぶ。

【0119】

より正確には、本発明の文脈においては、横列のアドレス指定毎に、状態を変化させなければならない画素は、選択に続いて連続的に固定破壊を行うために、それらの関連するトランジスタのソースで切替え信号を受信しなければならず、その他の画素は、接地されたまま、即ちオン状態にされたそれらのトランジスタを介してゼロ電圧を受ける可能性がある（これは、このようなゼロ電圧は固定を破壊することができず、従って画素の状態を変化させることができないためである）。従って、電力消費は大幅に低下し、変化の遅い画像の場合にはほぼゼロとなる場合がある。この場合にはスクリーンのコントラストおよび輝度が最適となり、中間切替え状態を介した画素の切替えはフレーム毎に現れず、この画素が状態を変化させなければならない時にのみ現れる。従って、画像のちらつきが完全に除去される。

20

【0120】

アクティブBiNemのアドレス指定は、本発明によれば、制御された時間間隔によって区分された少なくとも2つの段階の形態で数回行われる。従って、本発明は標準的なTFTのアドレス指定とは根本的に異なっており、標準的な液晶は単に印加された場の値に従って配向されるためにアドレス指定が行われるのは1回である。

30

【0121】

本発明によるアドレスおよび制御信号の本質的な機能は、まず第1の段階でトランジスタのソースを介して（横列アドレス時間 T_g の間）制御電圧 P_1 を印加し、次に第2の段階で破壊時間と呼ばれる時間 T_c の後に、この場合もトランジスタのソースを介して（ T_g とは異なってもよい横列アドレス時間 T_g' の間）制御電圧 P_2U または P_2T を印加することによって、画素の末端で例えば2つのレベルで正しい信号を生成し、それによってUテクスチャまたはTテクスチャの獲得を可能にすることである。続く第3の段階で、ゼロに近いまたは等しい第3の電圧を印加する必要がある場合もある。

【0122】

UとTとの間で切替える場合の（それぞれ3段階および2段階の）2つのアドレス指定選択肢についてまず説明し、その次にそのアドレス指定概念を、グレーレベルを有するBiNemの構造に拡大する。

40

【0123】

UとTとの間の切替え

選択肢1：3段階アドレス指定

この選択肢は図13のタイミング図に示されている。

【0124】

図13において、フレーム時間はTRAによって示され、即ち、図13aに示されているアドレス信号および図13bに示されている状態制御信号が、反復周期TRA（画素が

50

状態を変化させる際の非選択的なアドレス指定の場合または選択的なアドレス指定の場合)またはTRAの倍数(画素がフレーム毎に状態を変化させない際の選択的なアドレス指定の場合)で反復する。

【0125】

図13aに示されているように、以下のようにアドレス電圧をトランジスタ40のゲート41に連続して3回印加してトランジスタ40をオン状態に切替える。即ち、

第1の段階において、アドレス信号は持続時間 T_g を有し、

第2の段階において、第1の段階に対して立ち上がり時間が T_c だけ遅延したアドレス信号は持続時間 T_g' を有し、

第3の段階において、第2の段階に対して立ち上がり時間が T_c だけ遅延したアドレス信号は持続時間 T_g'' を有する。

10

【0126】

時間 T_g 、 T_g' および T_g'' は同じであっても異なってもよい。

【0127】

時間 T_c は、基板30上の弱い固定34が持続時間 T_g' の選択信号が印加される前に破壊されることを確実にするのに十分なように定義されている。

【0128】

図13bに示されているように、前記持続時間 T_g 、 T_g' および T_g'' のアドレス電圧と同期して、関連するトランジスタ40を介して画素に3つの制御電圧を連続して印加する(これら3つの電圧の立ち上がりも時間 T_c その後 T_s によって区分されている)。即ち、

20

第1の段階(持続時間 T_g):制御電圧 P_1 をトランジスタのソースに印加して破壊を達成し、

第2の段階(時間 T_c の後の持続時間 T_g'):獲得するテクスチャに応じて、制御電圧 P_2T または P_2U をトランジスタのソースに印加する。

【0129】

T状態へ切替えるために、図4に概略的に示されている2つの(高および低)領域を P_2T に用いてもよい。

【0130】

P_2T の低い値が選択されると、この場合は単一の縦列信号Cの符号を用いてTおよびUから選択することを要求する多重化と関連した制限がないため、これをゼロまたは非常に低くなるように選択してもよい。電圧の急上昇が大きくなるので(P_1 と $P_1 - P_2T$ 間とを比較)、Tへの切替えが容易になる。このような信号は図2に示されている方形波型である。

30

【0131】

Uテクスチャへ切替えるためには、図4の電圧 P_2U が適しており、

第3の段階(時間 T_s の後の持続時間 T_g''):ゼロまたは非常に低い電圧 P_0T または P_0U によってゼロへリセットする。

【0132】

上記のように、Tテクスチャの場合の第2の段階 T_g' では、図4に示された2つの(高および低)領域を P_2T に用いてもよい。低い P_2T の場合、Tへ切替えは第2のアドレス指定 T_g' の間に開始される。高い P_2T の場合、Tへ切替えは P_2T と P_0T の間の電圧降下の時点で第3のアドレス指定 T_g'' の間に開始される。

40

【0133】

Uテクスチャの場合、 P_2U の印加の後にゼロへリセットすることによって、新たなアドレス指定シーケンスの前に液晶分子が静止状態に到達することが可能となる。従って、選択時間と呼ばれる時間 T_s の後に、ゼロまたはほとんどゼロの電圧 P_0U が画素の端末に時間 T_g'' (横列が新たに開く)の間印加される。 P_0U は必ずしも P_0T と等しくない。

【0134】

50

段階 $T_{g'}$ の間に低い $P_2 T$ 電圧でトランジスタのドレインでまたその結果として画素で得た結果的な制御信号が図 13c に示されている。 T_g の間に、画素のキャパシタが電圧 P_1 に充電される。 T_g の後で、このキャパシタは並列漏れ抵抗によって放電する可能性がある。 $T_{g'}$ の間に画素の末端での電圧は $P_2 T$ へリセットされる。 $T_{g'}$ の後でキャパシタが放電する可能性がある。最終的に、 T_g の間に画素の末端での電圧はゼロへリセットされる。この信号の結果として T 状態となる。

【0135】

同様に、段階 $T_{g'}$ の間に電圧 $P_2 U$ でトランジスタのドレインでまたその結果として画素で得た結果的な制御信号が図 13d に示されている。 T_g の間に、画素のキャパシタが電圧 P_1 に充電される。 T_g の後で、このキャパシタは並列漏れ抵抗によって放電する可能性がある。 $T_{g'}$ の間に画素の末端での電圧は $P_2 U$ へリセットされる。 $T_{g'}$ の後でキャパシタが放電する可能性がある。最終的に、 T_g の間に画素の末端での電圧はゼロへリセットされる。この信号の結果として U 状態となる。

10

【0136】

一般的に、本発明による上述の原理を、様々な制御信号を様々な T_{s^x} が続く制御時間間隔 T_c によって区分けされたそれぞれ持続時間 T_{g^x} で x 回連続的に印加する場合に拡張してもよい。制御信号の印加段階数を増加することの利点は、 U 状態へ切替える場合に最適な信号により近づくことであり、これは連続的に下がる傾斜になる。4つの遷移でアドレス指定することにより、3つのレベル等の傾斜に近づけることができる。欠点は、全体の横列時間が遷移の数と共に増大することである。従って、同一の状態制御で、各横列は、フレーム周期 T_{RA} (画素が状態を変化させる際の実選択的なアドレス指定の場合または選択的なアドレス指定の場合) または T_{RA} の倍数 (画素がフレーム毎に状態を変化させない際の実選択的なアドレス指定の場合) で x 回アドレス指定される。

20

【0137】

1つの横列のアドレス指定段階 T_{g^x} の間に、他の横列をアドレス指定してもよい。

【0138】

従って、図 13e は、上述のアドレス信号と比較してオフセットされ且つ上述の横列に隣接する第2の横列を制御することができるアドレス信号の例を概略的に示している。

【0139】

選択肢 2 : 2段階アドレス指定

30

この選択肢は、図 15 のタイミング図に示されている。

【0140】

ここでも、図 15 において、フレーム時間は T_{RA} によって示され、即ち、図 15a に示されているアドレス信号および図 15b に示されている状態制御信号が、付加周期 T_{RA} (画素が状態を変化させる際の実選択的なアドレス指定の場合または選択的な場合) または T_{RA} の倍数 (画素がフレーム毎に状態を変化させない際の実選択的なアドレス指定の場合) で反復する。

【0141】

図 15a に示されているように、アドレス電圧をトランジスタ 40 のゲート 41 に連続して2回印加してトランジスタ 40 をオン状態に切替える。即ち、

40

第1の段階において、アドレス信号は持続時間 T_g を有し、

第2の段階において、第1の段階に対して立ち上がり時間が T_c だけ遅延したアドレス信号は持続時間 $T_{g'}$ を有する。

【0142】

時間 T_g および $T_{g'}$ は同一であっても異なってもよい。

【0143】

時間 T_c は、基板 30 上の弱い固定 34 が選択信号 $T_{g'}$ の印加の前に破壊されることを確実にするのに十分なように定義されている。

【0144】

図 15b に示されているように、(破壊時間と呼ばれる時間 T_c によって区分された)

50

前記アドレス電圧 T_g および T_g' と同期して、関連するトランジスタ 40 のドレイン 43 を介して画素に 2 つの制御電圧を連続して印加する。即ち、

第 1 の段階（持続時間 T_g ）：制御電圧 P_1 をトランジスタのソースに印加して破壊を達成し、

第 2 の段階（時間 T_c の後の持続時間 T_g' ）：獲得するテクスチャに応じて、制御電圧 $P_2 T$ または $P_2 U$ をトランジスタのソースに印加する。

【0145】

$P_1 f$ を第 2 の遷移 T_g' の開始時の画素の末端の電圧とする（図 16 を参照）。

【0146】

T テクスチャの場合、 $P_1 f$ と $P_2 T$ の間の電圧の急上昇によって T 状態への切替えが可能になるように $P_2 T$ を十分に低く（理想的には $P_2 T = 0$ ）しなければならない。同様に、 $P_1 f$ と $P_2 T$ の間の電圧の急上昇によって T 状態への切替えが可能になるように電圧 $P_1 f$ を十分に高く維持しなければならない。

【0147】

ゼロ $P_2 T$ の場合には、電圧の急上昇が大きくなるので（ $P_1 f$ と $P_1 f - P_2 T$ 間とを比較）、 T への切替えが容易になる（従って、画素に印加される信号は図 2 に示されている方形波型である）。ゼロ $P_2 T$ の第 2 の利点は、液晶分子が次の切替えの間に静止状態になることである。

【0148】

電圧 $P_2 T$ はゼロに戻ることなく、フレーム時間 T_{RA} の間中印加された状態になるので、ここでは高い $P_2 T$ 値（図 4 を参照）を使用することはできない。

【0149】

U 状態への切替えでは、電圧 $P_2 U$ を電圧 $P_1 f$ に近づけることによって連続的な傾斜の形態の下降を得るようにしてもよい。従って、図 3 に示されているような下降傾斜信号波形を画素の末端に存在する漏れ抵抗において得られた放電電流によって得ることができる。この信号波形は U 状態への切替えに非常に適している。

【0150】

最適な放電時間、即ち U 状態への切替えに十分ではあるがフレーム時間 T_{RA} よりも少ない時間を得るためには、図 14 に示されているように、画素の末端に放電抵抗 R_F を付加する必要がある場合がある。

【0151】

T 状態への切替え：

図 15 c は、持続時間 T_g' の段階の間に低い電圧 $P_2 T$ 電圧で画素に得られた結果的な制御信号を示している。 T_g の間に、画素のキャパシタは電圧 $P_1 i$ に充電される。 T_g の後で、画素のキャパシタは並列漏れ抵抗によって放電する可能性がある。従って、持続時間 T_g' の第 2 のアドレス指定遷移の前では電圧が $P_1 f$ に等しく、この時 $P_1 f < P_1 i$ である。 T_g' の間に画素の末端での電圧は $P_2 T$ へリセットされる。 $P_1 f$ を、 $P_1 f - P_2 T$ 間で T 状態への切替えが可能になるようにしなければならない。 T_g' の後にキャパシタが放電して、フレーム T_{RA} の終了の前にゼロ電圧を得る。この信号の結果として T 状態となる。

【0152】

U 状態への切替え：

同様に、図 15 は、段階 T_g' の間に電圧 $P_2 U$ でトランジスタのドレインでまたその結果として画素で得た結果的な制御信号を示している。 T_g の間に、画素のキャパシタは電圧 $P_1 i$ に充電される。 T_g の後で、このキャパシタは並列漏れ抵抗によって放電する。従って、持続時間 T_g' の第 2 のアドレス指定遷移の前に電圧が $P_1 f$ に等しくなり、この時 $P_1 f < P_1 i$ である。 T_g' の間に画素のキャパシタの末端での電圧は $P_2 U$ へリセットされる。 T_g' の後にキャパシタが放電して、フレーム T_{RA} の終了の前にゼロ電圧を得る。この信号の結果として U 状態となる。

【0153】

10

20

30

40

50

放電抵抗 R_F が存在するため、選択肢 2 の場合では値 $P_{1f} - P_{1i}$ は選択肢 1 の場合よりも大きい。

【0154】

このようにして、同一の状態制御で、各横列はフレーム周期 T_{RA} で 2 回 (T_g および T_g') アドレス指定される。時間 T_c によって区分されたこれらのアドレス指定段階の間に他の横列をアドレス指定してもよい。

【0155】

従ってここでも、図 15e は、上述のアドレス信号と比較してオフセットされ且つ上述の横列に隣接する第 2 の横列を制御することができるアドレス信号の例を概略的に示している。

【0156】

アクティブ $B_i N e m$ で切替えを達成するための条件

図 16 は、 T 状態へ切替える場合の画素の末端での電圧の変動を詳細に示しており、これは (およそ $30 \mu s$ の閾値よりも少ない時間 T_t での急な降下を必要とするため) 最も重要な切替えである。

【0157】

この変動においては 4 つの連続的な段に区別してもよい。

【0158】

1. 持続時間 T_g の $E C$ 段階: 画素の末端での固定破壊電圧の確立

時間 T_g の最後に、即ちトランジスタの導電周期の最後に達しなければならない電圧 P_{1i} は固定破壊電圧 V_c よりも常温で通常 1.5 から $1.8 V$ 大きくなければならない。即ち

$P_{1i} > V_c \quad 1.5 \text{ から } 1.8 V$ となり、

T_g はおよそ $20 \mu s$ 。

【0159】

到達する電圧は正確な値でなくてもよいが、固定の破壊を可能にするためには V_c を超えていなければならない。さらに、 P_1 固定破壊電圧は、 U 状態への切替えの場合と T 状態への切替えの場合で異なってもよい。対照的に、 T_N または他の液晶を有する標準的な TFT の場合には、信頼性のあるグレーレベルを得るためには非常に正確な値を時間 T_g において得なければならない。従って、 $E C$ 段階では、 TFT と本発明によるアクティブ $B_i N e m$ 液晶との組み合わせに対する制約は、標準的な液晶に結合された TFT の場合よりも小さくなる。

【0160】

P_1 に充電する場合に含まれる電気パラメータとしては、トランジスタの抵抗 R_{on} 、画素の静電容量 $C_{px} = C_{LC} + C_S$ 、縦列トラックに沿って伝搬するための時間およびその抵抗があり、これらは R_{ct} および C_{ct} より決定される。

【0161】

2. 持続時間 $T_c - T_g$ の C 段階: 固定破壊

T_g の後の時間 $T_c - T_g$ の間に、トランジスタはオフとなり、固定を破壊するためには電圧 P_1 を V_c 以上に維持しなければならない。 P_{1f} を時間 T_c の最後に画素の末端での電圧とする。即ち、 $P_{1f} > V_c \quad 1.5 \text{ から } 1.8 V$ とする。

【0162】

通常、時間 $T_c - T_g$ の間に数ボルトの低下は許容される。グレーレベルを発生させる標準的な TFT の場合と異なり、電圧 P_1 を正確なレベルに維持する必要はない。従って、 C 段階の場合、 TFT と本発明によるアクティブ $B_i N e m$ 液晶との組み合わせに対する制約は、 TFT および標準的な液晶での制約よりも小さくなる。

【0163】

通常、時間 $T_c - T_g$ は τ_1 より大きいかまたはそれと等しくなければならず (図 4 を参照)、固定を破壊するためにはこの時間の間は V_c よりも大きい電圧を維持しなければならず、通常 $\tau_1 = 1 ms$ である。 $T_g = 20 \mu s$ および $T_c - T_g = \tau_1$ の場合、1 つ

10

20

30

40

50

の横列を破壊する段階中に50本の他の横列をアドレス指定してもよい。

【0164】

P1の持続中に含まれる電気パラメータには、画素の静電容量 $C_{px} = C_{LC} + C_S$ 、画素の抵抗 R_{LC} 、また場合によっては選択肢2に記載されているように漏れ抵抗が加えられれば R_F がある。

【0165】

3. 持続時間 $T_{g'}$ のES段階：テクスチャ選択信号の確立

パッシブ多重化の場合と同様に、時間 T_t における $P1f > V_c$ から $P2T$ への急速な降下が必要とされるため、 T テクスチャへの切替えが最も難しい。通常、 T_t は、およそ $30\mu s$ 、即ちほぼゲート開放時間の程度である。速度を最適化するためには、 $T_{g'} \leq T_t - 30\mu s$ とすれば有利である。ほぼ T_g の時間で電圧が $P1f$ から $P2T$ へ降下するための条件は全体としてはEC段階の場合と同じであり、即ち TFT に対する制約は同様である。ES段階中に含まれる電気パラメータは、EC段階の場合と同じである。

10

【0166】

4. 選択信号のゼロへの降下は、第3の遷移を介してゼロへリセットすること（選択肢1の場合）によって、または画素の端末での電圧漏れ（選択肢2の場合）によって発生する。

【0167】

アクティブBiNemにおけるグレーレベルの生成

大きさおよび密度が制御された T および U テクスチャの微小領域を画素内に形成することによって、本発明によるアクティブBiNemモードにグレーレベルを発生させることができる（文献[6]を参照）。（アドレス指定のS段階の間に）第2のレベルの電圧 $P2$ を正確に制御することによって制御を達成する。

20

【0168】

このようなプロセスを行うには文献[6]を参照するとよい。

【0169】

従って、このプロセスについては以下詳細に説明しない。

【0170】

しかし、ここで想起されることは、グレーレベルを以下の手段によって制御してもよく、即ち、体積に関して 180° 回位線によってまたは一方の表面上の 180° 再配向壁によって区切られている双安定テクスチャが1つの且つ同一の画素内に制御された比率で共存する混合テクスチャを固定破壊の後に生成することができる制御手段と、表面壁への体積線の遷移および表面上でのこれらの壁の不動化によって混合テクスチャを長期安定させる手段とによって制御してもよい。

30

【0171】

ゼロ平均値の獲得

正極性または負極性の信号によってアクティブBiNemを切替えてもよい。

【0172】

さらに、パッシブ多重化の場合と同様に、電気分解によって劣化するある液晶材料の問題が、それらが直流電圧を受ける場合に発生することがある。この問題を改善する1つの解決策として、液晶にゼロ平均値の信号を印加してもよい。フレームからフレームへ縦列に印加される電圧の符号を反転させることによってゼロ平均値の信号を得てもよい。

40

【0173】

本発明による模範的な実施の形態

本発明によるアクティブBiNemスクリーンのアドレス指定の2つの完全なシミュレーション（上記選択肢1および2）を市販のソフトウェアを用いて行い、それによりこれら2つの選択肢によるアドレス指定の重要なステップを検証した。これら2つのシミュレーションに共通するパラメータは以下のとおりである。

【0174】

画素の大きさ：

50

方形画素： $W_{LC} = L_{LC} = 210 \mu\text{m}$ 、

セルの厚さ：

$d = 1.5 \mu\text{m}$ 、

スクリーンの特徴：

速度： 50 Hz 、即ち 20 ms のフレーム時間、

480 本の横列および 640 本の縦列（VGA 解像度） - 利用可能な横列時間： $40 \mu\text{s}$ 、

液晶の特徴：

$C_{LC} = \epsilon_0 \epsilon_{LC} W_{LC} L_{LC} / d$ 、

ϵ_0 ：自由空間の誘電率、

ϵ_{LC} ：液晶の比誘電率。

10

【0175】

液晶の誘電異方性を考慮して、プレーナホメオトロピック間遷移（EC 段階におけるキャパシタの充電）の場合に 5 の ϵ_{LC} 、およびホメオトロピックプレーナ間遷移（ES 段階におけるキャパシタの放電）の場合に 25 の ϵ_{LC} を検討した。

【0176】

液晶の抵抗率は $10^{10} \Omega \cdot \text{cm}$ である。この液晶の質は、抵抗率の点では中程度である（標準的な TFT で用いられる液晶はおよそ 2 オーダーの大きさ、即ち $10^{12} \Omega \cdot \text{cm}$ のより高い抵抗率を有する）。

【0177】

TFT の特徴（現在は従来技術の a-Si で作成された標準的な TFT に対応する）：本発明者のモデルにおいては、TFT は以下のパラメータを特徴とする。

20

【0178】

C_M = 単位面積当たりの絶縁容量： $30 \text{ nF} / \text{cm}^2$ 、

μ_0 = 移動度： $0.4 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、

W = TFT の幅： $20 \mu\text{m}$ 、

L = TFT の長さ： $4 \mu\text{m}$ 、

C_S = 蓄積容量 = $2 C_{LC}$ ($\epsilon_{LC} = 5$ によって定義され、液晶の特徴を参照)。

【0179】

これらのパラメータによってオンモード (R_{on}) のモデリングが可能になる。

30

【0180】

(ゲートに印加される) 横列電圧

$T_g = T_g' = T_g'' = 20 \mu\text{s}$ および $T_c = T_s = 1 \text{ ms}$ の場合、横列電圧は 30 V である。

【0181】

図 17 は、それぞれ持続時間 T_g 、 T_g' および T_g'' の 3 つのパルスを含む選択肢 1 に対応する横列アドレス電圧を示している。

【0182】

図 18 は、それぞれ持続時間 T_g および T_g' の 2 つのパルスを含む選択肢 2 に対応する横列アドレス電圧を示している。

40

【0183】

金属信号搬送トラックの特徴：

R_{ct} (トラック)： 0.1Ω 、幅 = 1_t ： $5 \mu\text{m}$ 。

画素の末端での電圧は、縦列に沿って信号が伝搬する間のすべての寄生カップリングの影響を考慮するように最後の横列から算出される。

【0184】

選択肢 1 による本発明の模範的な実施の形態

この選択肢では、3 つの遷移 T_g 、 T_g' および T_g'' 、即ち $3 \times 20 \mu\text{s} = 60 \mu\text{s}$ の全横列アドレス時間が必要とされる。従って、 50 Hz では、 $20 \mu\text{s}$ のゲート開放時間で 333 本の横列をアドレス指定することができる。横列の数を増やすためには、 T_g

50

s を低下させ、即ち T F T および液晶の性能を上げることによって、より短い時間 T g で P 1 (E C 段階) まで充電し且つより短い時間 T g ' で P 1 (E S 段階) から放電することができる。

【 0 1 8 5 】

縦列電圧：

2 0 μ a s で 2 0 V の選択破壊電圧 P 1 i まで画素を充電することを目的として、横列からの第 1 のアドレスパルスと同期して時間 T g = 2 0 μ s の間、破壊電圧 V c o . 1 = 2 5 V が印加され、

次に、1 m s の時間 T c の後に、横列からの第 2 のアドレスパルスと同期して、以下が印加される。即ち、

T 状態への切替えの場合、2 0 μ s の時間 T g ' の間にゼロ選択電圧が印加される。その目的は電圧 P 1 f から電圧 P 2 T へ移ることであり、この電圧は T t よりも少ない時間 (およそ 3 0 μ s) 、この場合は 2 0 μ s に等しい時間で 5 V より小さくならなければならない (B i N e m の多重化に関連して先に説明したように、P 2 U の場合は 7 から 9 V) 。

【 0 1 8 6 】

U 状態への切替えの場合、2 0 μ s の時間 T g ' の間に例えば 8 V の選択電圧が印加される。その目的は、およそ 2 0 μ s で電圧 P 1 f から電圧 P 2 U 、通常 8 V へ移ることである。

【 0 1 8 7 】

次に時間 T s の後、横列からの第 3 のアドレスパルスと同期して、ゼロリセット電圧がテクスチャに関係なく T g " 2 0 μ s の間印加される。

【 0 1 8 8 】

シミュレーションの結果：

図 1 9 は、T 状態へ切替える場合の画素の末端で算出された信号を示している。生成された信号は、図 2 に示されているような方形波型である。これにより、画素の充電が正確に行われ、2 0 μ s で 2 0 V をやや上回る電圧に達することが分かる。この同じ電圧 (この「標準的な」T F T の場合にはほとんど漏れはない) と 0 V に非常に近い値との間での放電も 2 0 μ s で行われる。従って、この信号は T テクスチャへの切替えに完全に対応する。

【 0 1 8 9 】

図 2 0 は、U 状態への切替えの場合における画素の末端で算出された信号を示している。

【 0 1 9 0 】

3 つのアドレス指定ステップによって、多重化の場合に用いられたものと同じ型の 2 レベル信号を発生させ、U 状態への切替えを可能にする。

【 0 1 9 1 】

T および U 状態へ切替える場合の制御信号は、2 m s の後では 0 V である。従って、次のフレームの間の切替えメカニズムが妨害されることはない。

【 0 1 9 2 】

以下の条件で、この選択肢に漏れの大きい T F T を用いることもできる。即ち、全 C 段階 (通常 1 m s) の間中 P 1 を V c 以上に維持し、R M S 値が閾値電圧またはフレデリック電圧 (F r e d e r i c k s v o l t a g e) (およそ 0 . 5 V) よりも大きい寄生信号は画素に送られない。

【 0 1 9 3 】

選択肢 2 による本発明の模範的な実施の形態

この選択肢では、2 つの遷移 T g および T g ' 、即ち 2 × 2 0 μ s = 4 0 μ s の全横列アドレス時間が必要とされる。T g = T g ' = 2 0 μ s で 4 8 0 本の横列をアドレス指定することができる。

【 0 1 9 4 】

10

20

30

40

50

限定することのない例として、 150M の放電抵抗 R_F が選択され、これは液晶の最大静電容量での 10ms の放電時間に対応している。

【0195】

縦列電圧：

時間 T_g で画素を 23V の選択破壊電圧 P_{1i} まで画素を充電することを目的として、横列からの第1のアドレスパルスと同期して時間 $T_g = 20\mu\text{s}$ の間、破壊電圧 $V_{c.o.1} = 25\text{V}$ が印加され、

次に、 1ms の時間 T_c の後に、横列からの第2のアドレスパルスと同期して、以下が印加される。即ち、

T状態への切替えの場合、 T_g と等しくなるように選択された時間 T_g' の間にゼロ選択電圧が印加される。その目的は電圧 P_{1f} から電圧 P_{2T} へ放電することであり、この電圧は T_t よりも少ない時間（およそ $30\mu\text{s}$ ）、この場合は $20\mu\text{s}$ に等しい時間で 5V より小さくならなければならない。

【0196】

U状態への切替えの場合、時間 $T_g' = 20\mu\text{s}$ の間に例えば 18V の選択電圧が印加される。これは電圧 P_{2U} に対応しており、放電抵抗を介した立ち下がり時間は 20ms のフレーム時間よりも短い。

【0197】

尚、この値によって連続立ち下がり信号の生成が可能になる。

【0198】

パルスがゼロにリセットされないので、画素の末端での漏れによってフレーム時間 T_{RA} の持続時間にゼロへのリセットを可能になければならない。非ゼロ開始電圧が弾性結合および流体力学的結合、またそのために切替えを乱すことがあるため、このゼロへのリセットは次のフレームに必要である。

【0199】

シミュレーションの結果：

図21は、T状態へ切替える場合の画素の末端で算出された信号を示している。

【0200】

生成された信号は、図2に示されているような方形波型である。これにより、画素の充電が正確に行われることが分かる。 $20\mu\text{s}$ で 23V の電圧に達する。放電抵抗によって 1ms で 3V の電圧降下が発生する。従って、電圧 P_{1f} は 20V ($P_{1f} > V_{c.o.1} = 16\text{V}$ となるように固定された限界) である。 20V から 0V に非常に近い電圧への間での放電も $20\mu\text{s}$ で行われる。従って、この信号はT状態への切替えに完全に対応する。

【0201】

図22は、U状態へ切替える場合の画素の末端で算出された信号を示している。

【0202】

生成された信号は、図3に示されているような連続勾配型である。これにより、画素の充電が正確に行われることが分かる。 $20\mu\text{s}$ で 23V の電圧に達する。放電抵抗によって 1ms で 3V の電圧降下が発生する。従って、電圧 P_{1f} は 20V ($P_{1f} > V_{c.o.1} = 16\text{V}$ となるように固定された限界) である (T状態への切替えに同じ)。従って、放電抵抗によって画素の末端での電圧が連続的に低下する。 10ms で 3V までの低下が発生し、フレーム時間に選択された値 20ms で (フレデリック電圧に近い) 0.45V の電圧に達する。

【0203】

TおよびU状態へ切替える場合の制御信号は、それぞれ 2ms および 20ms の後では 0V に非常に近い。従って、次のフレームの間での切替えメカニズムが妨害されることはない。

【0204】

固定画像モードにおける作用：BiNemの双安定性および光学的品質

スクリーンがアドレス指定されず固定画像を表示する場合、画像の特性はBiNemの

10

20

30

40

50

特性である。少なくとも50Hzの周波数で永久的にリフレッシュする必要があるためにスクリーンの電力消費が増大する標準的な液晶とは異なり、双安定性によって、エネルギーを供給することなくこの表示されている画像を持続させることができる。UおよびTテクスチャの平面的な特徴（基板の平面に対して傾斜した分子がない）により、TNまたはMVA効果の場合のように、複屈折補正膜を付加せずに大きな視角で画像の良好な光学的品質（コントラスト、輝度）を実現することができる。

【0205】

選択的アドレス指定の貢献：固定画像の光学的品質が動画において部分的に維持される

2つのフレーム間で状態が変化する画素のみを選択的にアドレス指定する場合、再アドレス指定されない画像のその部分は安定する。これは固定画像に等しい品質を有し、観察者に良好な全体視覚的印象を与える。切替わる画素は、T状態またはU状態に切替わる必要がある時間、即ちおよそ5msの間にのみ乱れる。従って、スクリーンのコントラストおよび輝度は最適となる。中間切替え状態を介する画素の遷移はフレーム毎には現れないが、この画素が状態を変化させる時にのみ現れる。

10

【0206】

選択的アドレス指定の貢献：電力消費の低下

画像が変化するたびに、アドレス指定された横列のすべてのTFTは同時にゲート開放信号を受信するが、状態を変化させなければならない画素のみが関連するTFTのドレインを介して制御信号を受信する。他の画素、即ち状態の変化が望まれない画素の場合、関連するTFTのソースおよびドレインはゼロ電位のままとなる。従って、電力消費は、変化の遅い画像の場合にはゼロまで、大幅に低下する。

20

【0207】

TFTの貢献：画素の隔離

各画素に結合したトランジスタはスイッチとして働き、これはデータを満たす短い時間（およそ10から数十 μ s）の間は閉じ、フレーム時間の残りの間は開いている。従って、各液晶画素は他の画素および縦列トラックに沿って進む縦列データから隔離される。アドレス指定される画素の数に関しては何ら制限なく、画像をアドレス指定する際にちらつき効果が現れることはない。

【0208】

TFTの貢献：アドレス率の上昇

通常およそ1から2msの多重アドレス指定の場合に必要なとされる時間と比較して、アクティブBinemでの横列アドレス時間は、採用される選択肢に応じて、通常数十 μ sであるゲート開放時間 T_g のおよそ2または3倍である。従って、パッシブ多重化と比較して、本発明によるアクティブBinemではおよそ50倍のアクセス可能率の上昇が達成される。従って、TFTによってアドレス指定される標準的な液晶の場合と同様に、本発明によるアクティブBinemモードにおいてはビデオレートで1000本の横列をアドレス指定することができる。

30

【0209】

TFTの貢献：横列に沿った信号伝搬の改善

TFTスクリーンにおいては、幅 1_p の画素間で非常に細い金属トラックによって信号が搬送される。ITOトラックの場合と同様に、これらの横列に沿った伝搬は拡散方程式に従って行われるが、これらのトラックの表面抵抗は 0.1 、即ち100倍低くなる。従って、同一のスクリーンで拡散時間が100分の1減少する。これは、縦列が10倍長いスクリーンの場合にのみ起こる。

40

【0210】

金属縦列トラックは一度に1つの画素のみを充電するが、これは画素よりも幅が狭い。これらの効果は互いを部分的に補正する。金属の伝導率によってトラックの抵抗による充電時間を無視することができる。 $L = 85$ mmの大きさの方形スクリーンの場合、その画素は L/n の辺を有する方形であり、幅 1_p の金属トラックの場合の充電時間 T_c に対する拡散時間 1_d の割合は、 210μ mの辺を有する400個の方形画素では以下のとおり

50

である。

【0211】

$$T_d / T_c = (R_{s(I T O)} / R_{s(m e t a l)}) (n^2 l_p / L) \\ (15 / 0.1) \times (400 \times 400 \times 5 \mu m / 85 mm) = 1400$$

従って、縦列に沿って伝搬中のトラックの R_s による縦列信号の立ち下がりの変形に関しては何の制約もないことが分かる。

【0212】

十分に短い時間で電圧充電および放電する（ECおよびES段階）能力を決定するのはオン状態にあるTF Tの抵抗である。

【0213】

技術的側面：TF Tの仕様

標準的なTF Tの使用は、U状態とT状態の間の2元的な切替えの選択肢1による本発明（時間的に間隔の置かれた3つの連続段階 T_g 、 T_g' および T_g'' の間のアドレスおよび制御信号の印加）に適合することが上記シミュレーションにより分かる。

【0214】

BiNemの切替えは印加信号の波形、および特にその立下りの波形に依存する。従って、トランジスタの抵抗 R_{on} の値によって $30 \mu s$ よりも少ない充電または放電時間を可能にしなければならない。これは標準的な移動度（シミュレーションを参照）によって容易に達成することができる。本発明によるアクティブBiNemスクリーンの解像度および速度を上げるためには、より速い画素電圧の充電および放電を可能にするトランジスタを用いることによってゲート開放時間 T_g 、 T_g' および T_g'' を短縮することができる。これは例えば、 R_{off} は重要ではないので、シミュレーションで選択されたものよりもより大きな移動度 μ_0 のTF Tによって、またはより短いトランジスタ（より短いチャンネル長）によって達成することができる。

【0215】

トランジスタの抵抗 R_{off} に関して、これは、 $R_{off} C_{tx}$ フィルタによって減衰された他の画素からの縦列信号を所定の画素へ伝送する際に関与する。尚、必要とされることは切替え時間以外に画素に対する作用がないように寄生信号がフレデリック電圧（ $0.5 V$ ）を下回ることだけであるので、 R_{off} に対する制約はこの場合には従来のディスプレイのTF Tの場合よりも極めて小さい。破壊時間 T_c の間には、必要とされることはP1をやや上昇させることにより画素の電圧を V_c 以下に降下させるこの寄生信号の危険性をなくすことのみであるので、制約は存在しない。従って、2つの選択肢（時間 T_g 、 T_g' および T_g'' において間隔の置かれた3つの連続段階のアドレスおよび制御信号の印加、または時間 T_g および T_g' において間隔の置かれた2つの連続段階でのアドレスおよび制御信号の印加）に、より低い R_{off} が許容される「質の低い」トランジスタ、即ち漏れの大きいトランジスタを用いることができる。この場合、TF Tパラメータに対する制約のいくつかは解除される。

【0216】

同じ理由で、液晶の抵抗率の許容範囲が、標準的な液晶効果と関連するTF Tの場合よりも大きくなる。本発明によるアクティブBiNemの場合にはより低い液晶抵抗率が許容される。

【0217】

アドレス指定選択肢2（2遷移アドレス指定）を用いる場合には、最適化された動作のためには液晶の末端で放電抵抗 R_f を加えることが薦められる。

【0218】

従来、標準的なTF T内に配置された蓄積キャパシタ C_s を用いて、液晶の末端での電圧の変動を起こす干渉信号を選別していた。本発明によるアクティブBiNemの場合には電圧の維持に対する制約ははるかに小さいので、BiNem用途での最適化されたTF Tの設計においては、この蓄積容量 C_s を減少または除去することも考えられる。

【0219】

10

20

30

40

50

トランジスタが実行するスイッチ機能を、図 2 3 および 2 4 に示されているように、1 つまたは 2 つのダイオードに基づくシステムによって実行してもよい。横列 4 6 および縦列 4 5 は、それぞれセルの一方の側にある（技術仕様）。縦列 4 5 を、第 1 のプレートの上の従来の I T O トラックによって製造してもよい。第 2 のプレートは、画素を画定するように縦列 4 5 の反対側に設置された I T O パッド 4 7 を含む。さらに、第 2 のプレートは、画素ごとに横列 4 6 と関連するパッド 4 7 の間にそれぞれ配置されたダイオード 1 0 0 を備えている。各ダイオード 1 0 0 の方向は横列と縦列の間に印加される信号の極性に依存する。これらのダイオードは、「逆のモード」で動作するように、即ちそれらのツェナー電圧 V_z よりも大きな逆電圧を受信する際に信号電流が流れることを可能にするように配置されている。このツェナー電圧 V_z の絶対値は P 1 の絶対値よりも大きくなるように選択されている。

10

【 0 2 2 0 】

縦列 4 5 に印加される正電圧および横列 4 6 に印加される負電圧のために、ダイオード 1 0 0 は、それらの陽極を横列 4 6 側に、それらの陰極をパッド 4 7 側に、従って縦列 4 5 側に有している。

【 0 2 2 1 】

図 2 3 に関して：

横列 1 (4 6) と縦列 4 5 との交差点に画定される画素を制御するには、横列 1 には電圧 $-V_z$ が印加され、縦列 4 5 には正電圧 P 1 が印加される。対応する画素は、ダイオード 1 0 0 の末端での絶対値 V_z の電圧効果のため、その末端で電圧 P 1 となる。

20

【 0 2 2 2 】

横列 2 (4 6) と同一の縦列 4 5 との交差点に画定される画素は制御されない。これは、横列 2 は 0 ボルトであるため、関連するダイオード 1 0 0 はそのツェナー電圧 V_z 以下の電圧 P 1 となり、オフのままとなる。

【 0 2 2 3 】

ダイオード 1 0 0 の特徴は図 2 5 に示されている。

【 0 2 2 4 】

図 2 4 に示されたような 2 つの背中合わせのダイオード 1 0 0、1 0 2 に基づくシステムによって（図 2 6 の特徴を参照せよ）、両極性切替え信号を用いた同様の動作が可能となる。

30

【 0 2 2 5 】

参考文献：

文献 [1] : 特許 F R 2 7 4 0 8 9 4

文献 [2] : P m A l t a n d P . P l e s h k o , I E E E T r a n s E l e c t r o n D e v i c e s E D - 2 1 , 1 4 6 - 5 5 , 1 9 7 4

文献 [3] : 特許 F R 0 2 0 4 9 4 0

文献 [4] : 特許 F R 0 2 0 1 4 4 8

文献 [5] : C . J o u b e r t , S I D P r o c e e d i n g s , 2 0 0 2 , p a g e s 3 0 - 3 3

文献 [6] : 特許 F R 2 8 2 4 4 0 0

40

【 図面の簡単な説明 】

【 0 2 2 6 】

【 図 1 】 上述の図 1 は、従来技術による B i N e m スクリーンを概略的に示している。

【 図 2 】 上述の図 2 は、このような B i N e m スクリーンの場合に、T 状態に切替える方形波画素信号の例を示している。

【 図 3 】 上述の図 3 は、このような B i N e m スクリーンの場合に、U 状態に切替える漸進的な立下りの画素信号の例を示している。

【 図 4 】 上述の図 4 は、このような B i N e m スクリーンの場合に、画素の末端に印加されるパルスの第 2 のレベルの P 2 値に基づくテクスチャの選択を可能にする 2 レベル画素信号の例を示している。

50

【図5】上述の図5は、多重マトリクススクリーンを概略的に示している。

【図6】上述の図6は、多重モードにおけるBiNemスクリーンの画素に対する横列および縦列信号の例を示している。

【図7】上述の図7は、多重モードにおけるBiNemスクリーンの画素の端末での電気信号を示している。

【図8】上述の図8は、他の多重ディスプレイを示している。

【図9】上述の図9は、多重モードにおけるBiNemスクリーン型の多重液晶ディスプレイの横列の等価回路図を示している。

【図10】上述の図10は、それぞれ図10aでは30、図10bでは15のITO表面抵抗の場合について、横列に沿った伝搬の間に多重モードにおけるBiNem型スクリーンの画素に印加される電圧の立ち下りの波形の変動を示している。

10

【図11】上述の図11は、従来技術によるアクティブアドレス指定の一般原理を概略的に示している。

【図12】上述の図12は、それぞれ図12aではオン状態、図12bではオフ状態において、トランジスタによってアドレス指定される液晶画素の等価回路図を示している。

【図13】図13は、制御信号を印加する3つの連続的な段階または局面を含む第1の実施選択肢による、必要に応じてU状態またはT状態に切替える本発明による「アクティブBiNem」スクリーンのアドレス指定を示しており、より正確には、図13aはトランジスタのゲートに印加されるアドレス信号を示し、図13bはそれぞれUおよびT状態を得るためにトランジスタのソースに印加される状態制御信号の2つの変形例を示し、図13cおよび図13dは、それぞれU状態に切替える場合およびT状態に切替える場合に、トランジスタのドレインでまたその結果として画素で得られる結果的な信号を示し、図13eは、図13aのアドレス信号に基づいてオフセットされ且つディスプレイの第2の横列を対象とする第2のアドレス信号を概略的に示している。

20

【図14】図14は、制御信号を印加する2つの連続的な段階または局面を含む第2の実施選択肢による、例えばTFT型のトランジスタによってアドレス指定されるBiNem型液晶画素の等価回路図を示している。

【図15】図15は、制御信号を印加する2つの連続的な段階または局面を含む第2の実施選択肢による、必要に応じてU状態またはT状態に切替える本発明による「アクティブBiNem」スクリーンのアドレス指定を概略的に示しており、より正確には、図15aはトランジスタのゲートに印加されるアドレス信号を示し、図15bはトランジスタのソースに印加される状態制御信号を示し、図15cおよび図15dは、それぞれT状態に切替える場合およびU状態に切替える場合に、トランジスタのドレインでまたその結果として画素で得られる結果的な信号を示し、図15eは、図15aのアドレス信号に基づいてオフセットされ且つディスプレイの第2の横列を対象とする第2のアドレス信号を概略的に示している。

30

【図16】図16は、T状態に切替える本発明による画素の端末での電圧を概略的に示している。

【図17】図17は、本発明による第1の選択肢の場合におけるトランジスタのゲートに印加される横列アドレス電圧を概略的に示している。

40

【図18】図18は、本発明による第2の選択肢の場合におけるトランジスタのゲートに印加される横列アドレス電圧の例を示している。

【図19】図19は、Tテクスチャに切替える模擬画素信号に関する、3つの連続的な制御電圧印加を含む第1の選択肢によるアクティブBiNemのアドレス指定の例を概略的に示しており、図19bは、図19aの信号の立ち上がりおよび立ち下りの部分拡大図を示している。

【図20】図20は、Uテクスチャに切替える模擬画素信号に関する図19と同様の事例を示している。

【図21】図21は、Tテクスチャに切替える模擬画素信号に関する、2つの連続的な制御電圧印加を含む本発明の第2の選択肢によるアクティブBiNemのアドレス指定を示

50

しており、ここでも同様に図 2 1 b は、図 2 1 a の信号の立ち上がりおよび立ち下がりの拡大した部分図を示している。

【図 2 2】図 2 2 は、U テクスチャに切替える模擬画素信号に関する図 2 1 a と同様の図を示している。

【図 2 3】図 2 3 は、各画素にダイオードの形態の切替え手段を備える本発明による実施の形態を概略的に示している。

【図 2 4】図 2 4 は、各画素に背中合わせのダイオードの形態の切替え手段を備える本発明による他の実施の形態を概略的に示している。

【図 2 5】図 2 5 は、図 2 3 の実施の形態で用いられたダイオードの応答を示している。

【図 2 6】図 2 6 は、図 2 4 の実施の形態の場合に用いられた背中合わせに取り付けられた 2 つのダイオードの応答を示している。

10

【符号の説明】

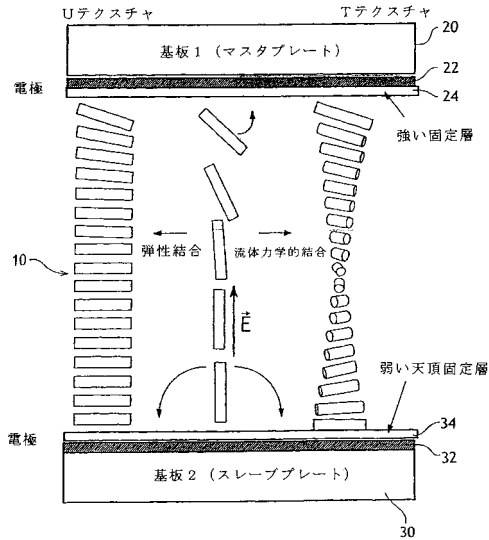
【0227】

- 10 コレステリック液晶層
- 20 基板
- 22 電極
- 24 固定層
- 30 基板
- 32 電極
- 34 固定層
- 40 TFT スイッチ
- 41 ゲート
- 42 ソース
- 43 ドレイン
- 45 縦列
- 46 スクリーンの横列
- 47 駆動電極
- 48 後部電極

20

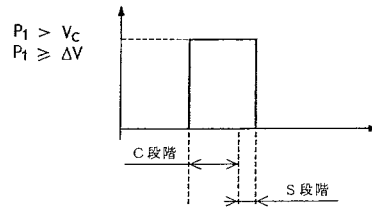
【図1】

BiNemスクリーンの原理



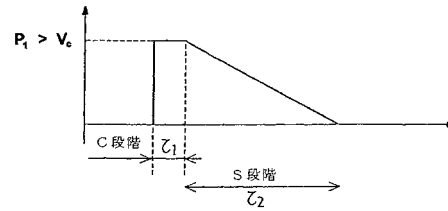
【図2】

T状態に切替える画素信号の例



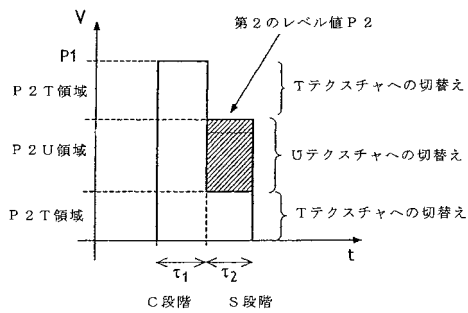
【図3】

U状態に切替える画素信号の例



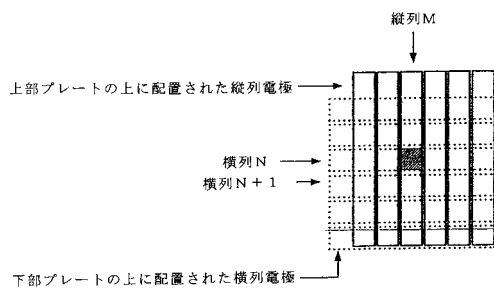
【図4】

2レベル画素信号の例
画素の端末に印加されるパルスの
第2のレベルのP2値に基づくテキストチャ選択



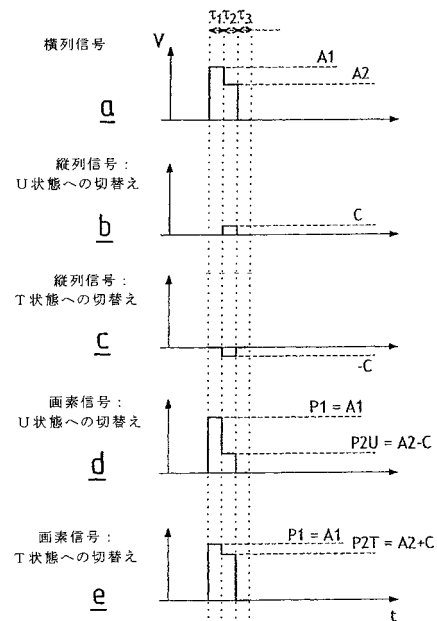
【図5】

多重マトリクススクリーン



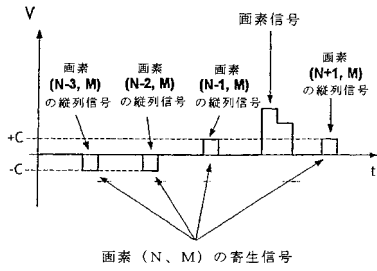
【図6】

多重モードにおける横列、縦列および画素信号の例



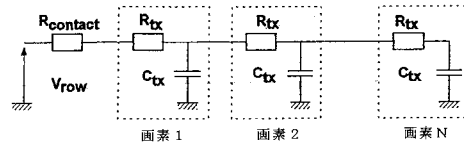
【図7】

画素 (N、M) の端末での電気信号



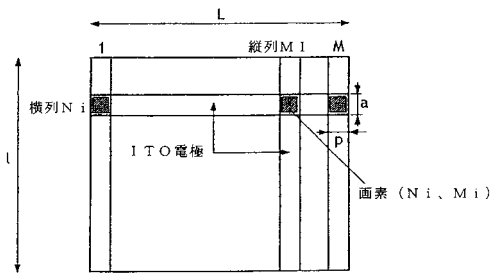
【図9】

多重液晶ディスプレイの横列の等価回路図



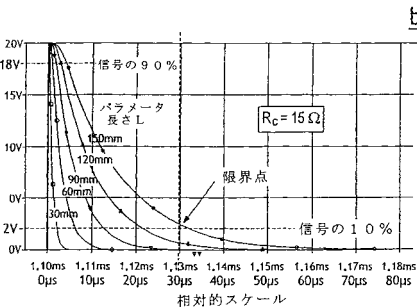
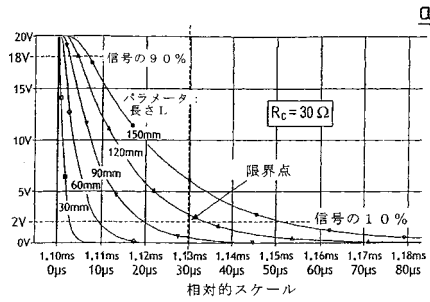
【図8】

多重ディスプレイ



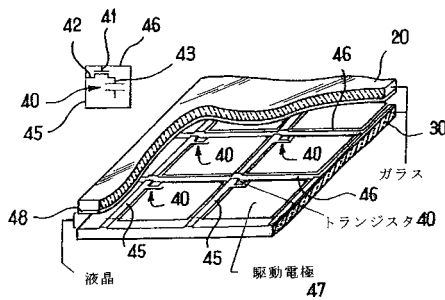
【図10】

横列に沿った伝搬の間に画素に印加される電圧の立ち下りの波形の変動



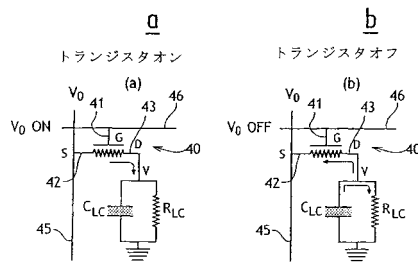
【図11】

アクティブアドレス指定の原理



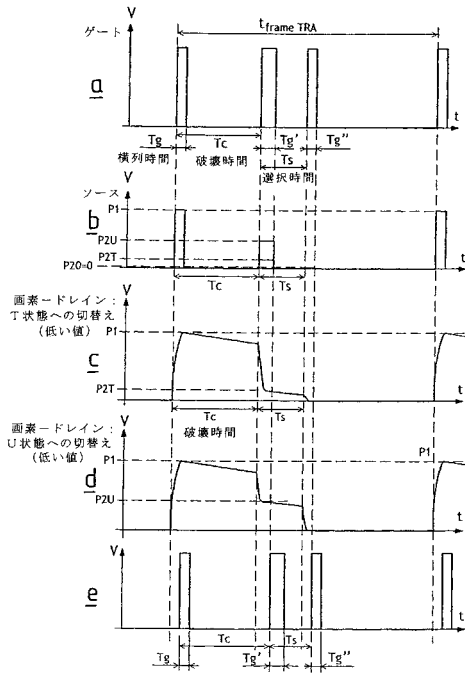
【図12】

TFTによってアドレス指定される液晶画素の等価回路図



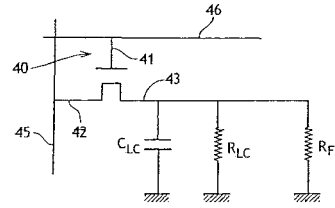
【図13】

アクティブBiNemのアドレス指定：3つの遷移での選択肢1によるUおよびT状態間の切替え



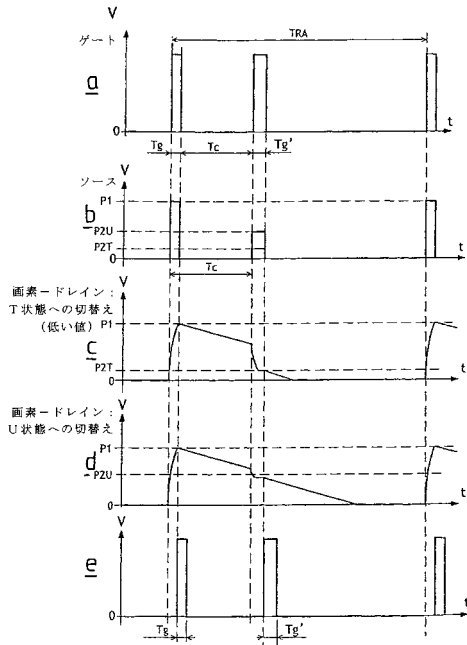
【図14】

二重のアドレス指定に適したTFTによってアドレス指定されるBiNem型の液晶画面の等価回路図



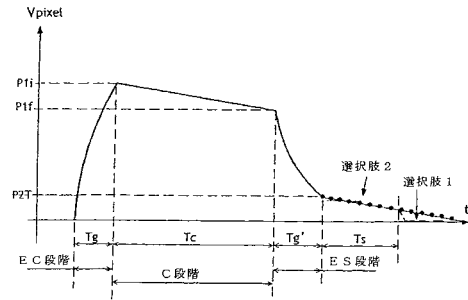
【図15】

アクティブBiNemのアドレス指定：2つの遷移での選択肢2によるUおよびT状態間の切替え



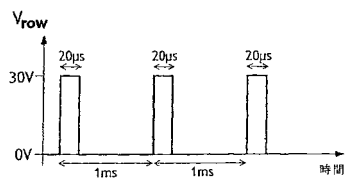
【図16】

T状態に切替える画素の端末での電圧



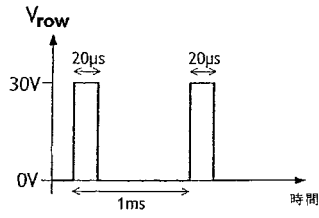
【図17】

TFTのゲートに印加される横列電圧：選択肢1



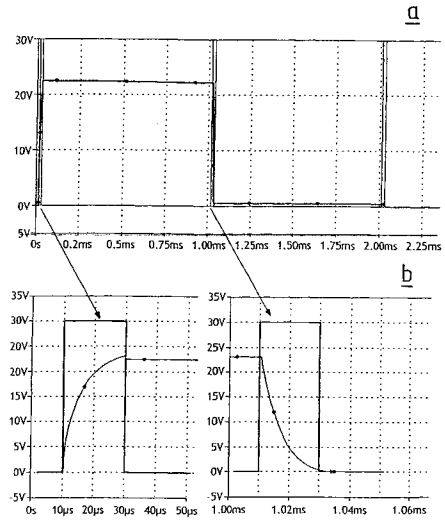
【図18】

TFTのゲートに印加される横列電圧：選択肢2



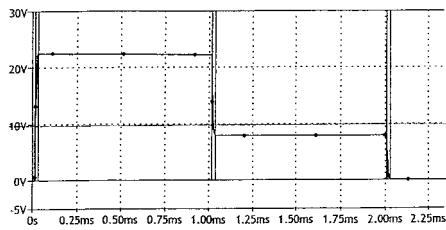
【図19】

3つの遷移での選択肢1によるアクティブBiNmのアドレス指定
Tテキストチャへ切替える模擬画面素信号



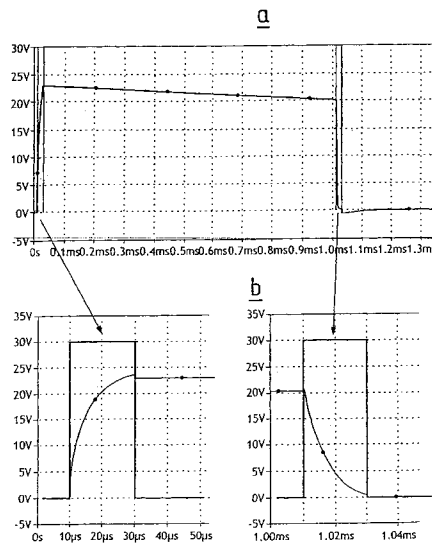
【図20】

3つの遷移での選択肢1によるアクティブBiNmのアドレス指定
Uテキストチャへ切替える模擬画面素信号



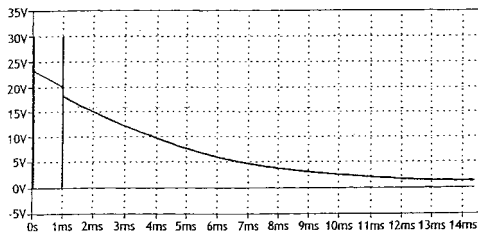
【図21】

2つの遷移での選択肢2によるアクティブBiNmのアドレス指定
Tテキストチャへ切替える模擬画面素信号

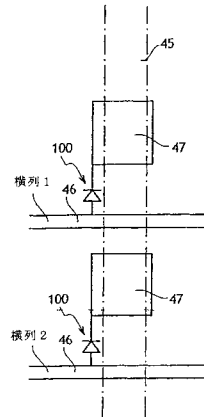


【図 2 2】

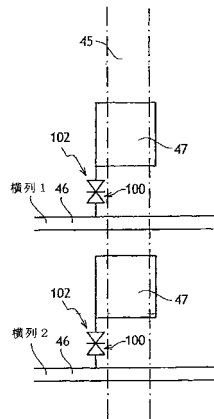
2つの遷移での選択肢2によるアクティブBiNemのアドレス指定
Uアドレスチャへ切替える模擬画像信号



【図 2 3】

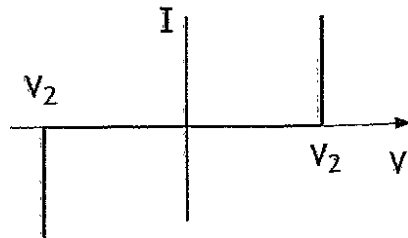


【図 2 4】



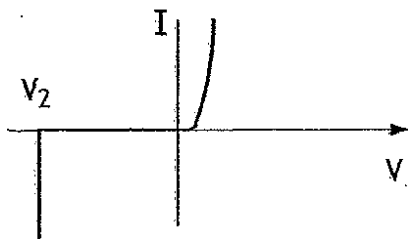
【図 2 6】

FIG.26



【図 2 5】

FIG.25



フロントページの続き

- (51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 2 3 U
G 0 9 G 3/36
- (72)発明者 フィリップ、マルティーノ ラガルド
フランス国マルクシス、アブニュ、マセナ、デロシュ、29テル
- (72)発明者 アラン、ボワシエ
フランス国マルリ ル ロワ、アブニュ、ド、ラミラル、ルモニエ、48
- (72)発明者 ジャック、アンジェル
フランス国マラコフ、リュ、ルイ、ジラール、67
- (72)発明者 フランソワ、ルブラン
フランス国パリ、リュ、マチュラン、レニエ、35

審査官 磯野 光司

- (56)参考文献 特表平11-513809(JP,A)
特開平07-020468(JP,A)
特表2000-504433(JP,A)
特表2003-533716(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133
G02F 1/137

专利名称(译)	双稳向列液晶显示装置及其控制方法		
公开(公告)号	JP5148048B2	公开(公告)日	2013-02-20
申请号	JP2004556412	申请日	2003-11-24
[标]申请(专利权)人(译)	内莫普蒂克公司		
申请(专利权)人(译)	ネモプティック		
当前申请(专利权)人(译)	ネモプティック		
[标]发明人	フィリップマルティノーラガルド アランボワシエ ジャックアンジェル フランソワルブラン		
发明人	フィリップ、マルティノーラガルド アラン、ボワシエ ジャック、アンジェル フランソワ、ルブラン		
IPC分类号	G02F1/133 G02F1/137 G09G3/20 G09G3/36 G02F1/139		
CPC分类号	G02F1/1391		
FI分类号	G02F1/133.560 G02F1/137 G09G3/20.611.A G09G3/20.621.A G09G3/20.622.D G09G3/20.623.D G09G3/20.623.U G09G3/36		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2002014806 2002-11-26 FR		
其他公开文献	JP2006508393A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种显示装置，包括使用固定击穿的双稳态液晶向列矩阵屏，所述显示装置包括：在关闭状态和开启状态之间可切换的元件（40），这些元件中的每一个设置在与每个像素相关联的驱动电极（47）和显示状态控制链路（45）之间，用于将包括至少两级的输入信号经由所述状态控制链路（45）施加到每个所述组件（40）的输入的控制时间间隔的装置在第一阶段期间，输入信号的幅度足以允许相关像素上的液晶的固定破坏，然后在第二阶段期间，控制输入信号的幅度以选择液晶的两个双稳态中的一个，并且在执行第二输入信号步骤之前，两个步骤之间的时间间隔在相关像素上。它被配置为破坏液晶的固定。

【 图 1 】

