

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4808872号
(P4808872)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G02F 1/133 (2006.01)	G02F 1/133	570
G09G 3/20 (2006.01)	G02F 1/133	575
	G09G 3/20	631B
	G09G 3/20	641C
請求項の数 13 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2001-243643 (P2001-243643)	(73) 特許権者	390019839
(22) 出願日	平成13年8月10日(2001.8.10)		三星電子株式会社
(65) 公開番号	特開2002-341841 (P2002-341841A)		Samsung Electronics
(43) 公開日	平成14年11月29日(2002.11.29)		Co., Ltd.
審査請求日	平成20年7月7日(2008.7.7)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2001P25816		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成13年5月11日(2001.5.11)		Gyeonggi-do, Republic of Korea
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100121382
			弁理士 山下 託嗣
		(74) 代理人	100094145
			弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子
最終頁に続く			

(54) 【発明の名称】 液晶表示装置とその駆動装置

(57) 【特許請求の範囲】

【請求項1】

データ階調信号ソースから提供される階調信号を内蔵された一つのフレームメモリに保存し、現在フレームの階調信号と直前フレームの階調信号とを考慮して補正階調信号を出力するデータ階調信号補正部；

前記補正階調信号に対応するデータ電圧に変えて画像信号を出力するデータドライバー部；

走査信号を順次に供給するゲートドライバー部；

前記走査信号を伝達する多数のゲートラインと、前記画像信号を伝達して前記ゲートラインと絶縁されて交差する多数のデータラインと、前記ゲートラインと前記データラインによって囲まれた領域に形成され、各々前記ゲートラインと前記データラインに連結されているスイッチング素子を有するマトリクス形態に配列された多数の画素を含む液晶表示パネル；

を含み、

前記データ階調信号補正部は、

現在フレームのk番目セグメントデータが入力されることによって既に保存された現在フレームの(k-1)番目セグメントデータを出力し、直前フレームの(k+1)番目セグメントデータが入力されることによって既に保存された直前フレームのk番目セグメントデータを出力するバッファメモリ部；

前記バッファメモリ部から現在フレームの(k-1)番目セグメントデータが入力さ

れることによってこれを保存し、直前フレームの (k + 1) 番目セグメントデータを前記バッファメモリ部に出力するフレームメモリ;

前記バッファメモリ部と前記フレームメモリのライトとリード動作を制御するコントローラ;及び

前記データ階調信号ソースから受信される現在フレームの k 番目の階調データと前記バッファメモリ部から受信される直前フレームの k 番目セグメントデータとを考慮して前記補正階調信号を出力するデータ階調信号変換器

を含み、

前記バッファメモリ部は、

現在フレームの k 番目セグメントデータが入力されることによって既に保存された現在フレームの (k - 1) 番目セグメントデータを前記フレームメモリ部に提供するライト用バッファ;

前記フレームメモリ部から直前フレームの (k + 1) 番目セグメントデータが入力されることによって既に保存された直前フレームの k 番目セグメントデータを前記データ階調信号変換器に出力するリード用バッファ;

を含み、

前記ライト用バッファは、第 1 速度でライト - イン動作をする前に前記第 1 速度より高速の第 2 速度でリード - アウト動作を始め、

前記リード用バッファは、前記第 2 速度でライト - イン動作を終了する前に前記第 1 速度でリード - アウト動作を終了する、液晶表示装置。

【請求項 2】

前記フレームメモリ部のバンド幅はセグメントデータが入力されるバンド幅より大きいものであることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ライト用バッファは、

現在フレームの k 番目セグメントデータを保存する第 1 ライト用バッファ;

現在フレームの (k - 1) 番目セグメントデータを保存する第 2 ライト用バッファ;

を含む請求項 1 に記載の液晶表示装置。

【請求項 4】

前記リード用バッファは、

直前フレームの k 番目セグメントデータを保存する第 1 リード用バッファ;

直前フレームの (k + 1) 番目セグメントデータを保存する第 2 リード用バッファ;

を含む請求項 3 に記載の液晶表示装置。

【請求項 5】

前記ライト用バッファは、ライト - イン動作が開始して (i - 1) クロックほど後にリード - アウト動作を始める場合には、 i 個のメモリセルをさらに含み、

第 1 速度でライト - イン動作の後に前記第 1 速度より高速の第 2 速度でリード - アウト動作を始める、

請求項 1 に記載の液晶表示装置。

【請求項 6】

前記リード用バッファは、ライト - イン動作が終了した後 (j - 1) クロックだけ遅延されてリード - アウト動作が終了する場合には、 j 個のメモリセルをさらに含み、

前記第 2 速度でライト - イン終了以降に前記第 1 速度でリード - アウト動作を終了する、

、

請求項 5 に記載の液晶表示装置。

【請求項 7】

前記セグメントデータは一つのフレーム内のデータを所定個数連続されたピクセルからなり、外部の合成器または前記ライト用バッファメモリの大きさのうちのいずれか一つによって分割される、

請求項 1 に記載の液晶表示装置。

10

20

30

40

50

【請求項 8】

走査信号を伝達する多数のゲートラインと、画像信号を伝達し前記ゲートラインと絶縁されて交差する多数のデータラインと、前記ゲートラインと前記データラインによって囲まれた領域に形成され、各々前記ゲートラインと前記データラインに連結されているスイッチング素子を有するマトリクス形態に配列された多数の画素を含む液晶表示パネルを含む液晶表示装置の駆動装置において、

データ階調信号ソースから提供される階調信号を内蔵された一つのフレームメモリに保存し、現在フレームの階調信号と直前フレームの階調信号とを考慮して補正階調信号を出力するデータ階調信号補正部；

前記補正階調信号に対応するデータ電圧に変えて画像信号を前記データラインに出力するデータドライバー部；

走査信号を前記ゲートラインに順次に供給するゲートドライバー部；

を含み、

前記データ階調信号補正部は、

現在フレームの k 番目セグメントデータが入力されることによって既に保存された現在フレームの $(k-1)$ 番目セグメントデータを出力し、直前フレームの $(k+1)$ 番目セグメントデータが入力されることによって既に保存された直前フレームの k 番目セグメントデータを出力するバッファメモリ部；

前記バッファメモリ部から現在フレームの $(k-1)$ 番目セグメントデータが入力されることによってこれを保存し、直前フレームの $(k+1)$ 番目セグメントデータを前記バッファメモリ部に出力するフレームメモリ；

前記バッファメモリ部と前記フレームメモリのライトとリード動作を制御するコントローラ；

前記データ階調信号ソースから受信される現在フレームの階調データと前記バッファメモリ部から受信される直前フレームの k 番目セグメントデータを考慮して前記補正階調信号を出力するデータ階調信号変換器；

を含み、

前記バッファメモリ部は、

現在フレームの k 番目セグメントデータが入力されることによって既に保存された現在フレームの $(k-1)$ 番目セグメントデータを前記フレームメモリ部に提供するライト用バッファ；

前記フレームメモリ部から直前フレームの $(k+1)$ 番目セグメントデータが入力されることによって既に保存された直前フレームの k 番目セグメントデータを前記データ階調信号変換器に出力するリード用バッファ；

を含み、

前記ライト用バッファは、第 1 速度でライト - イン動作をする前に前記第 1 速度より高速の第 2 速度でリード - アウト動作を始め、

前記リード用バッファは、前記第 2 速度でライト - イン動作を終了する前に前記第 1 速度でリード - アウト動作を終了する、液晶表示装置の駆動装置。

【請求項 9】

前記ライト用バッファは、

現在フレームの k 番目セグメントデータを保存する第 1 ライト用バッファ；

現在フレームの $(k-1)$ 番目セグメントデータを保存する第 2 ライト用バッファ；

を含む請求項 8 に記載の液晶表示装置の駆動装置。

【請求項 10】

前記リード用バッファは、

直前フレームの k 番目セグメントデータを保存する第 1 リード用バッファ；

直前フレームの $(k+1)$ 番目セグメントデータを保存する第 2 リード用バッファ；

を含む請求項 9 に記載の液晶表示装置の駆動装置。

【請求項 11】

10

20

30

40

50

前記ライト用バッファは、ライト・イン動作が開始して ($i - 1$) クロックほど後に、リード・アウト動作を始める場合には、 i 個のメモリセルをさらに含み、
第 1 速度でライト・イン動作の後に前記第 1 速度より高速の第 2 速度でリード・アウト動作を始める、

請求項 9 に記載の液晶表示装置の駆動装置。

【請求項 1 2】

前記リード用バッファは、ライト・イン動作が終了した後 ($j - 1$) クロックほど遅延されてリード・アウト動作が終了する場合には j 個のメモリセルをさらに含み、

前記第 2 速度でライト・インの終了後に前記第 1 速度でリード・アウト動作を終了することを特徴とする、請求項 1 1 に記載の液晶表示装置の駆動装置。

10

【請求項 1 3】

前記セグメントデータは一フレーム内のデータを所定の個数の連続されたピクセルで構成され、外部の合成器または前記ライト用バッファメモリの大きさのうちのいずれか一つによって分割される、

請求項 9 に記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は液晶表示装置とその駆動装置に関し、特に動画像の再現に適合するように補償されたデータ電圧が印加される液晶表示装置とその駆動装置に関する。

20

【0 0 0 2】

【従来の技術】

近来、パソコンやテレビなどの軽量、薄形化によってディスプレイ装置も軽量化、薄形化が要求されており、このような要求によって陰極線管の代わりに液晶表示装置のようなフラットパネル形ディスプレイが開発されている。

L C D は二つの基板の間に注入されている異方性誘電率を有する液晶物質に電界を印加し、この電界の強さを調節して基板を透過する光の量を調節することによって所望の画像信号を得る表示装置である。このような L C D は携帯が簡便なフラットパネル形ディスプレイの中で代表的なものであって、この中でも薄膜トランジスタをスイッチング素子として利用した T F T L C D が主に利用されている。

30

【0 0 0 3】

【発明が解決しようとする課題】

最近では T F T L C D がコンピュータのディスプレイ装置だけでなくテレビのディスプレイ装置としても広く用いられるようになり、動画像を再現する必要性が増加するようになった。しかし、従来の T F T L C D は応答速度が遅いために動画像を再現しがたいという短所がある。この現象は、画素電極と液晶により形成される静電容量が、各画素毎の駆動状況と時間により変動することに起因すると考えられている。

【0 0 0 4】

このような応答速度の問題を改善するために従来は応答が速い O C B (O p t i c a l l y C o m p e n s a t e d B a n d) モードを用いたり、強誘電性液晶 (F L C) 物質を用いた T F T L C D を用いた。

40

しかし、このような O C B モードや F L C を用いるためには、従来の T F T L C D パネル構造を変えなければならないという問題点がある。

【0 0 0 5】

本発明の技術と課題はこのような従来の問題点を解決するためのものであって、本発明の目的は T F T L C D のパネル構造を変更しなくても液晶の駆動装置を変更することによって、上記静電容量の変動を電氣的に補償して、実質的に液晶の応答速度を改善させるための液晶表示装置を提供することにある。

また、本発明の他の目的は、前記液晶表示装置の駆動装置を提供することにある。

【0 0 0 6】

50

【課題を解決するための手段】

上記本発明の目的を実現するための手段は過剰駆動（オーバーシュートドライブ）により応答の遅さを補うもので、その一つの特徴による液晶表示装置は、データ階調信号ソースから提供される次回表示されるべき次回フレームの階調信号を内蔵された一つのフレームメモリに保存し、現在表示中の現在フレームの階調信号と直前に表示した直前フレームの階調信号とを考慮して次回フレームを補正するための補正階調信号を出力するデータ階調信号補正部；補正階調信号に対応してデータ電圧を変化させて画像信号を出力するデータドライバー部；走査信号を順次に供給するゲートドライバー部；走査信号を伝達する多数のゲートライン；画像信号を伝達してゲートラインと絶縁されて交差する多数のデータライン；ゲートラインとデータラインによって囲まれた領域に形成されるとともに各々ゲートラインとデータラインに連結されている3端子スイッチング素子を有するマトリクス形態に配列された多数の画素を含む液晶表示パネル；を含んでなる。

10

【0007】

ここで、データ階調信号補正部は、現在フレームのk番目セグメントデータが入力されることによって既に保存されている現在フレームの(k-1)番目セグメントデータを出力し、直前フレームの(k+1)番目セグメントデータが入力されることによって既に保存されている直前フレームのk番目セグメントデータを出力するバッファメモリ部；バッファメモリ部から現在フレームの(k-1)番目セグメントデータを受取ることによってこれを保存し、直前フレームの(k+1)番目セグメントデータをバッファメモリ部に出力するフレームメモリ；バッファメモリ部とフレームメモリのライト及びリード動作を制御するコントローラ；データ階調信号ソースから受取る現在フレームの階調データとk番目のバッファメモリ部から受取る直前フレームのk番目セグメントデータを考慮して補正階調信号を形成し出力するデータ階調信号変換器；を含むことを特徴とする。

20

【0008】

ここで、フレームメモリ部のバンド幅は、セグメントデータが入力されるバンド幅より大きいものである場合がある。

特に、バッファメモリ部は、現在フレームのk番目セグメントデータを受取ることによって既に保存されている現在フレームの(k-1)番目セグメントデータをフレームメモリ部に提供するライト用バッファ；フレームメモリから直前フレームの(k+1)番目セグメントデータを受取ることによって既に保存されている直前フレームのk番目セグメントデータをデータ階調信号変換器に出力するリード用バッファ；を含むことを特徴とする。

30

【0009】

また、ライト用バッファは、現在フレームのk番目セグメントデータを保存する第1ライト用バッファ；現在フレームの(k-1)番目セグメントデータを保存する第2ライト用バッファ；を含む場合がある。

また、リード用バッファは、直前フレームのk番目セグメントデータを保存する第1リード用バッファ；直前フレームの(k+1)番目セグメントデータを保存する第2リード用バッファ；を含む場合がある。

【0010】

また、ライト用バッファは、第1速度でライト・イン動作をする前に第1速度より高速の第2速度でリード・アウト動作を始める場合がある。

また、リード用バッファは、第2速度でライト・イン動作を終了する前に第1速度でリード・アウト動作を終了する場合がある。

また、ライト用バッファは、ライト・イン動作が開始して(i-1)クロックほど後にリード・アウト動作を始める場合には、i個のメモリセルをさらに含み、第1速度でライト・イン動作の後に第1速度より高速の第2速度でリード・アウト動作を始める場合がある。

40

【0011】

また、リード用バッファは、ライト・イン動作が終了した後(j-1)クロックだけ

50

遅延されてリード - アウト動作が終了する場合には、 j 個のメモリセルをさらに含み、第 2 速度でライト - イン終了以降に第 1 速度でリード - アウト動作を終了する場合がある。

また、セグメントデータは、一つのフレーム内のデータを所定個数連続されたピクセルからなり、外部の合成器またはライト用バッファメモリの大きさのうちのいずれか一つによって分割される場合がある。

【 0 0 1 2 】

また、上記本発明の他の目的を実現するための一つの特徴による液晶表示装置の駆動装置は、走査信号を伝達する多数のゲートラインと、画像信号を伝達するためにゲートラインと絶縁されて交差する多数のデータラインと、ゲートラインとデータラインによって囲まれた領域に形成されて各々ゲートラインとデータラインに連結されている 3 端子スイッチング素子を有するマトリクス形態に配列された多数の画素を含む液晶表示パネルを含む液晶表示装置の駆動装置において、データ階調信号ソースから提供される階調信号を内蔵された一つのフレームメモリに保存し、現在フレームの階調信号と直前フレームの階調信号とを考慮して補正階調信号を出力するデータ階調信号補正部；補正階調信号に対応するデータ電圧に変えて画像信号をデータラインに出力するデータドライバー部；走査信号をゲートラインに順次に供給するゲートドライバー部；を含んでなる。

10

【 0 0 1 3 】

また、データ階調信号補正部は、現在フレームの k 番目セグメントデータが入力されることによって既に保存された現在フレームの $(k-1)$ 番目セグメントデータを出力し、直前フレームの $(k+1)$ 番目セグメントデータが入力されることによって既に保存された直前フレームの k 番目セグメントデータを出力するバッファメモリ部；バッファメモリ部から現在フレームの $(k-1)$ 番目セグメントデータが入力されることによってこれを保存し、直前フレームの $(k+1)$ 番目セグメントデータをバッファメモリ部に出力するフレームメモリ；バッファメモリ部とフレームメモリのライトとリード動作を制御するコントローラ；データ階調信号ソースから受信される現在フレームの階調データとバッファメモリ部から受信される直前フレームの k 番目セグメントデータを考慮して補正階調信号を出力するデータ階調信号変換器；を含む場合がある。

20

【 0 0 1 4 】

また、バッファメモリ部は、現在フレームの k 番目セグメントデータが入力されることによって既に保存された現在フレームの $(k-1)$ 番目セグメントデータをフレームメモリ部に提供するライト用バッファ；フレームメモリ部から直前フレームの $(k+1)$ 番目セグメントデータが入力されることによって既に保存された直前フレームの k 番目セグメントデータを前記データ階調信号変換器に出力するリード用バッファ；を含む場合がある。

30

【 0 0 1 5 】

また、ライト用バッファは、現在フレームの k 番目セグメントデータを保存する第 1 ライト用バッファ；現在フレームの $(k-1)$ 番目セグメントデータを保存する第 2 ライト用バッファ；を含む場合がある。

また、リード用バッファは、直前フレームの k 番目セグメントデータを保存する第 1 リード用バッファ；直前フレームの $(k+1)$ 番目セグメントデータを保存する第 2 リード用バッファ；を含む場合がある。

40

【 0 0 1 6 】

また、ライト用バッファは、第 1 速度でライト - イン動作をする前に第 1 速度より高速の第 2 速度でリード - アウト動作を始める場合がある。

また、リード用バッファは、第 2 速度でライト - イン動作を終了する前に第 1 速度でリード - アウト動作を終了する場合がある。

また、ライト用バッファは、ライト - イン動作が開始して $(i-1)$ クロックほど後に、リード - アウト動作を始める場合には、 i 個のメモリセルをさらに含んでおり、第 1 速度でライト - イン動作の後に第 1 速度より高速の第 2 速度でリード - アウト動作を始める場合がある。

50

【 0 0 1 7 】

また、リード用バッファは、ライト - イン動作が終了した後 ($j - 1$) クロックほど遅延されてリード - アウト動作が終了する場合には j 個のメモリセルをさらに含み、第 2 速度でライト - インの終了後に第 1 速度でリード - アウト動作を終了する場合がある。

また、セグメントデータは一フレーム内のデータを所定の個数の連続されたピクセルで構成され、外部の合成器または前記ライト用バッファメモリの大きさのうちのいずれか一つによって分割される場合がある。

【 0 0 1 8 】

このような液晶表示装置とその駆動装置によると、動画像の再現に適合するように直前フレームの階調データと現在フレームの階調データとを考慮して補正されたデータ電圧を出力するデータ階調信号変換器の構成を一つのフレームと四つのバッファメモリで構成することができるので、液晶表示装置の製造原価を節減することができる。

10

【 0 0 1 9 】

【 発明の実施の形態 】

以下、通常の知識を有する者が本発明を容易に実施することができるように実施例について説明する。

一般に LCD は走査信号を伝達する多数のゲートラインと、このゲートラインに交差して形成されてデータ電圧を伝達するデータラインとを含む。また LCD は、これらゲートラインとデータラインとによって囲まれた領域に形成され、各々ゲートライン及びデータラインとスイッチング素子を通じて連結される行列形態の多数の画素を含む。(ただし、反射形の反射板は該領域内にのみあるとは限らない)

20

このような LCD で各画素は液晶を誘電体とするキャパシタ、つまり、液晶キャパシタ (C_1) としてモデリングすることができるが、このような LCD における各画素の等価回路は図 1 の通りである。

【 0 0 2 0 】

図 1 に示したように、液晶表示装置の各画素はデータライン (D_m) とゲートライン (S_n) とに各々ソース電極とゲート電極が連結される TFT 10 と TFT のドレーン電極と共通電圧 (V_{com}) との間に連結される液晶キャパシタ (C_1) と TFT のドレーン電極に連結されるストレージキャパシタ (C_{st}) を含む。

30

【 0 0 2 1 】

図 1 において、ゲートライン (S_n) にゲートオン信号が印加されて TFT 10 がターンオンされると、データラインに供給されたデータ電圧 (V_d) が TFT を通じ各画素電極 (図示せず) に印加される。すると、画素電極に印加される画素電圧 (V_p) と共通電極に印加される共通電圧 (V_{com}) との差に対応する電界が液晶 (図 1 では等価的に液晶キャパシタで示した) に印加されてこの電界の強さに対応する透過率で光が透過するようになる。この時、画素電圧 (V_p) は約 1 フレーム期間中維持する必要がある、このために図 1 のストレージキャパシタ (C_{st}) が画素電極に印加された画素電圧 (V_p) を維持するために補助的に用いられる。

【 0 0 2 2 】

一方、液晶は異方性誘電率を有するので、液晶の方向によって誘電率が変化する特性がある。つまり、電圧が印加されることによって液晶の方向子の向きが変わると所定方向の誘電率も変わり、これにより液晶キャパシタのキャパシタンス (以下、これを ' 液晶キャパシタンス ' という) 値も変わるようになる。まず、TFT がオンになる期間中液晶キャパシタに電荷を供給した後、TFT がオフの状態になるが、 $Q = CV$ であるので液晶キャパシタンスが変わると液晶にかかる画素電圧 (V_p) も変わる。

40

【 0 0 2 3 】

なお、上記の方向子とは液晶分子の分極方向を示す仮定の軸を意味する。

ノーマリーホワイトモード TN - LCD では、例えば、画素に供給される画素電圧が共通電圧と同じ 0 V である場合には液晶分子が基板と平行な方向に配列されているので液晶キャパシタンスは $C(0V) = \frac{\epsilon_0 \epsilon_a}{d}$ となる。ここで、 ϵ_a は液晶分子の方向子 (長

50

軸)が基板と平行な方向に配列された場合、つまり、液晶分子が光の方向に対して垂直に配列された場合の誘電率を示して、 A 及び d は画素電極の面積及び電極間対向距離を示す。また、フルブラック (full black) を再現するための電圧を 5 V とすると、液晶に 5 V が印加される場合ツイスト配列における液晶層の間ではほとんど垂直に近く配列されるので、液晶キャパシタンスは $C(5\text{ V}) = A/d$ となる。TNモードに用いられる液晶の場合には $\epsilon < 0$ であるので液晶に印加される画素電圧が高くなるに従って液晶キャパシタンスが大きくなる。

【0024】

n 番目フレームでフルブラックを作るために TFT が充電しなければならない電荷量は $C(5\text{ V}) \times 5\text{ V}$ である。しかし、その前のフレームである $n-1$ 番目フレームでフルホワイト ($V_{n-1} = 0\text{ V}$) であると仮定すると TFT のターンオン時間の間は液晶が応答 (分子が動く) する前であるから液晶キャパシタンスは $C(0\text{ V})$ となる。従って、フルブラックを作るために n 番目フレームで 5 V のデータ電圧 (V_d) を印加した場合には実際画素に充電される電荷量が $C(0\text{ V}) \times 5\text{ V}$ になり、 $C(0\text{ V}) < C(5\text{ V})$ であるので定常状態の液晶に実際供給される画素電圧 (V_p) は 5 V には達しない電圧 (例えば 3.5 V) となってフルブラックが再現されない。

10

【0025】

また、更に次のフレームである $n+1$ 番目フレームでフルブラックを再現するためにデータ電圧 (V_d) として 5 V を印加した場合には液晶に充電される電荷量は $C(3.5\text{ V}) \times 5\text{ V}$ になり、結局液晶に供給される電圧 (V_p) は大部分の期間 3.5 V と 5 V との間となる。もっとも、このような過程を繰り返せば結局いくつかのフレームの後には、画素電圧 (V_p) が所望の電圧に到達する。

20

【0026】

つまり、これを階調の観点で説明すると、任意の画素に印加される信号 (画素電圧) が低い階調から高い階調に (または高い階調から低い階調に) 変わる場合、現在フレームの階調は直前フレームの階調の影響を受けるために直ちに所望の階調に到達できず、いくつかのフレームが経過した後ようやく所望の階調に到達する。同様に、現在フレームの画素の透過率は直前フレームの画素の透過率の影響を受けていくつのフレームの経過した後所望の透過率を得ることができる。

【0027】

一方、 $n-1$ フレームが既にフルブラック状態であり、つまり、画素電圧 (V_p) が 5 V であって、次の n フレームでもフルブラックを再現するために 5 V のデータ電圧が印加されたとすると、液晶キャパシタンスは $C(5\text{ V})$ であるので画素には $C(5\text{ V}) \times 5\text{ V}$ に該当する電荷量が充電され、これにより液晶の画素電圧 (V_p) は 5 V となる。

30

【0028】

このように、液晶に実際に供給される画素電圧 (V_p) は現在フレームに供給されるデータ電圧だけでなく、直前フレームの画素電圧 (V_p) によっても決定される。

図2は、従来の駆動方式で印加される場合のデータ電圧及び画素電圧を示す図面である。

【0029】

図2に示したように、従来は直前フレームの画素電圧 (V_p) を考慮せず、目標画素電圧 (V_w) に等しいデータ電圧 (V_d) を毎フレームごとに印加した。従って、実際に液晶に印加される画素電圧 (V_p) は前述したように、充電直後は目標電圧であっても、液晶のゆるやかな状態変化により直前フレームの画素電圧に対応する液晶キャパシタンスの値によって、充電完了後の電圧が目標画素電圧より低くなる。従って、いくつかのフレームが過ぎた後、ようやく目標画素電圧に到達する。逆に、直前のフレームの画素電圧が目標画素電圧 (V_w) よりも高い場合は、目標画素電圧 (V_w) に等しいデータ電圧 (V_d) を毎フレームごとに印加しても、いくつかのフレームが通りすぎた後、ようやく目標画素電圧 (V_p) まで低下する。

40

【0030】

50

図3は、従来の駆動方法による液晶表示装置の透過率を示す図面である。

図3に示したように、従来は実際画素電圧が目標画素電圧より低くなるために液晶の応答時間が1フレーム以内である場合にもいくつかのフレームが過ぎた後に、ようやく目標透過率に到達する。

本発明の実施例によると、現在フレームの画像信号(S_n)を直前フレームの画像信号(S_{n-1})と比較して画像信号を補正した画像信号(S_n')を生成した後、補正された画像信号(S_n')を各画素に印加する。ここで、画像信号(S_n)はアナログ駆動方式である場合にはデータ電圧を意味するが、デジタル駆動方式の場合にはデータ電圧を制御するために二進化された階調信号を用いるので実際画素に印加される電圧の補正は階調信号の補正によって行われる。次に、補正手順の概要を記す。

【0031】

第一、現在フレームの画像信号(階調信号またはデータ電圧)が直前フレームの画像信号と同一であれば補正を行わない。

第二、現在フレームの階調信号またはデータ電圧が直前フレームの階調信号(データ電圧)より高い場合には、現在の階調信号(データ電圧)より高い補正された階調信号(データ電圧)を出力し、現在フレームの階調信号(データ電圧)が直前フレームの階調信号(データ電圧)より低い場合には、現在の階調信号(データ電圧)より低い補正された階調信号(データ電圧)を出力する。この時、補正の程度は、液晶特性で変化するが、通常は現在の階調信号(データ電圧)と直前フレームの階調信号(データ電圧)との差に比例するのが好ましい。

【0032】

以下、本発明の実施例によるデータ電圧補正方法を計量的に説明する。

図4は、液晶表示装置の電圧-誘電率間の関係を簡単にモデリングした図面である。

図4において、横軸は画素電圧であり、縦軸は特定画素電圧(v)での誘電率($\epsilon(v)$)と液晶が基板と平行な方向に配列された場合、つまり、液晶が光の透過方向と垂直な場合の誘電率(ϵ_{\perp})の比を示す。

【0033】

図4では、 $\epsilon(v)/\epsilon_{\perp}$ の最大値、つまり、 $\epsilon(v)/\epsilon_{\perp}$ を3であると仮定し、 V_{th} と V_{max} を各々1V、4Vに仮定した。ここで、 V_{th} と V_{max} とは各々フルホワイト及びフルブラック(またはその反対)に対応する画素電圧を示す。

ストレージキャパシタのキャパシタンス(以下、これを「ストレージキャパシタンス」という)が液晶キャパシタンスの平均値(C_{st})と同一であるとし、画素電極の広さ及び基板間距離を各々A及びdであるとすると、ストレージキャパシタンス C_{st} は次の数式1で示すことができる。

【0034】

なお、厳密にdは画素電極と共通電極の対向距離である。

【0035】

【数1】

$$C_{st} = C_{1av} = 1/3(\epsilon_{\parallel} + 2\epsilon_{\perp})(A/d) = (5/3)\epsilon_{\perp}(A/d) = (5/3)C_0$$

ここで、 $C_0 = \epsilon_{\perp}(A/d)$ である。

図4から、 $\epsilon(v)/\epsilon_{\perp}$ は次の数式2に示すことができる。

【0036】

【数2】

$$\begin{aligned} \epsilon(v)/\epsilon_{\perp} &= (1/3)(2V/V_0 + 1) & \text{at } 1 \leq V/V_0 \leq 4 \\ &= 1 & \text{at } V/V_0 \leq 1 \\ &= 3 & \text{at } 4 \leq V/V_0 \end{aligned}$$

ここで、 V_0 = 標準電圧(本例では1ボルト)

10

20

30

40

50

一方、LCDの総キャパシタンス $C(V)$ は液晶キャパシタンスとストレージキャパシタンスの合計であるから、LCDのキャパシタンスは $C(V)$ は数式1及び2から次の数式3で示すことができる。

【0037】

【数3】

$$C(V) = C_1 + C_{st} = \varepsilon(v)(A/d) + (5/3)C_0 = 1/3(2V/V_0 + 1)C_0 + 5/3C_0 = 2/3(V/V_0 + 3)C_0$$

0

画素に印加される電荷量 (Q) は保存されるので、次の数式4が成立する。

【0038】

【数4】

$$Q = C(V_{n-1})V_n = C(V_f)V_f$$

ここで、 V_n は現在フレーム(n 番目のフレーム)を充電するために印加されるデータ電圧(反転駆動方式の場合にはデータ電圧の絶対値)を示し、 $C(V_{n-1})$ は直前フレーム($n-1$ フレーム)の最終画素電圧に対応するキャパシタンスを示し、 $C(V_f)$ は現在フレーム(n フレーム)の実際画素電圧(V_f)に対応するキャパシタンス(時間的に変化する)を示す。

【0039】

数式3及び数式4から次の数式5が誘導できる。

【0040】

【数5】

$$C(V_{n-1})V_n = C(V_f)V_f = (2/3)(V_{n-1}/V_0 + 3)C_0V_f = (2/3)(V_f/V_0 + 3)C_0V_f$$

従って、実際画素電圧 V_f は次の数式6で示すことができる。

【0041】

【数6】

$$V_f = [-3 + \{9 + 4(V_n/V_0)(V_{n-1}/V_0 + 3)\}^{1/2}]V_0/2$$

前記数式6から明確に分かるように、実際画素電圧(V_f)は、現在フレームに印加されたデータ電圧(V_n)と直前フレームに印加された画素電圧(V_{n-1})とによって決定される。

【0042】

一方、 n フレームで画素電圧が目標電圧(V_n)に到達するようにするために印加されるデータ電圧を $V_{n'}$ とすると、 $V_{n'}$ は数式5から下記の数式7で示すことができる。

【0043】

【数7】

$$(V_{n-1} + 3V_0)V_{n'} = (V_n + 3V_0)V_n$$

従って、 $V_{n'}$ は下記の数式8で示すことができる。

【0044】

【数8】

$$V_{n'} = (V_n + 3V_0)V_n / (V_{n-1} + 3V_0) = V_n + (V_n - V_{n-1})V_n / (V_{n-1} + 3V_0)$$

このように、現在フレームの目標画素電圧(V_n)と直前フレームの画素電圧(V_{n-1})を考慮して前記数式8により求められるデータ電圧($V_{n'}$)を印加すると、目標とする画素電圧(V_n)に直ちに到達することができる。

【0045】

前記の数式8は図4に示した図面及びいくつかの基本仮定から誘導された式であり、一般的なLCDで適用されるデータ電圧($V_{n'}$)は次の数式9で示すことができる。

10

20

30

40

50

【 0 0 4 6 】

【 数 9 】

$$|V_n'| = |V_n| + f(|V_n| - |V_{n-1}|)$$

ここで、関数 f は LCD の特性によって決められる。関数 f は基本的に次の性質を有する。

【 0 0 4 7 】

つまり、 $|V_n| = |V_{n-1}|$ のような場合に $f = 0$ になり、 $|V_n|$ が $|V_{n-1}|$ より大きい場合 f は 0 より大きく、 $|V_n|$ が $|V_{n-1}|$ より小さい場合 f は 0 より小さい。

次に、本発明の実施例によるデータ電圧印加方法を説明する。

図 5 は、本発明の一実施例によるデータ電圧印加方法を示す図面である。

【 0 0 4 8 】

図 5 に示したように、本発明の一実施例では現在フレームの目標画素電圧と直前フレームの画素電圧（データ電圧）を考慮して補正されたデータ電圧 V_n' を印加し、画素電圧（ V_p ）が直ちに目標電圧に到達するようにする。つまり、本発明の第 1 実施例では現在フレームの目標電圧と直前フレームの画素電圧とが異なる場合、現在フレームの目標電圧より高い電圧（またはさらに低い電圧）を補正されたデータ電圧として印加して第 1 フレームで直ちに目標電圧レベルに到達するようにした後、その後のフレームでは目標電圧をデータ電圧として印加する。このようにすることによって液晶の応答速度を改善することができる。

【 0 0 4 9 】

この時、補正されたデータ電圧（電荷量）は直前フレームの画素電圧によって決定される液晶キャパシタンスを考慮して決める。つまり、本願発明は直前フレームの画素電圧レベルを考慮して電荷量（ Q ）を供給することによって第 1 フレームで直ちに目標電圧レベルに到達するようにする。

図 6 は、本発明の第 1 実施例によってデータ電圧を印加した場合の液晶表示装置の透過率を示す図面である。図 6 に示したように、本発明の第 1 実施例によると、補正されたデータ電圧を印加するために、現在フレームから直ちに目標透過率に到達する。

【 0 0 5 0 】

一方、本発明の第 2 実施例では目標電圧よりわずかに高いだけの補正された電圧 V_n' を画素電圧に印加する。このように駆動する場合には図 7 に示したように液晶の応答時間の約 $1/2$ 以前では透過率が目標値より小さくなるが、その後では目標値より過度になって（overcompensate）平均的な透過率が目標透過率と同一になる。

【 0 0 5 1 】

以下、本発明の実施例による動画像再現に適合した液晶表示装置を説明する。

図 8 は、本発明の実施例による液晶表示装置を示す図面であって、本発明の実施例による液晶表示装置はデジタル駆動方法を用いる。

図 8 に示したように、本発明の実施例による液晶表示装置は液晶表示装置パネル 100、ゲートドライバー部 200、データドライバー部 300 及びデータ階調信号補正部 400 を含む。

【 0 0 5 2 】

液晶表示装置パネル 100 にはゲートオン信号を伝達するための多数のゲートライン（ S_1 、 S_2 、 S_3 、...、 S_n ）が形成されるとともに、補正されたデータ電圧を伝達するためのデータライン（ D_1 、 D_2 、...、 D_m ）も形成されている。ゲートラインとデータラインとによって囲まれた領域は各々画素を構成し、各画素はゲートラインとデータラインに各々ゲート電極及びソース電極が連結される薄膜トランジスタ 110 と薄膜トランジスタ 110 のドレーン電極に連結される画素キャパシタ（ C_1 ）とストレージキャパシタ（ C_{st} ）を含む。

【 0 0 5 3 】

ゲートドライバー部 200 はゲートラインに順次にゲートオン電圧を印加し、ゲートオ

10

20

30

40

50

ン電圧が印加されたゲートラインにゲート電極が連結されるTFTをターンオンさせる。

データ階調信号補正部400はデータ階調信号ソース、例えば外部のグラフィックコントローラからデータ階調信号(G_n)を受信した後、前述したように現在フレームのデータ階調信号と直前フレームのデータ階調信号とを考慮して補正されたデータ階調信号(G_n')を出力する。この時、データ階調信号補正部400はスタンドアローン(*stand-alone*)ユニットとして存在することもでき、グラフィックカードやLCDモジュールに統合されることもできる。ここで、 G_n の添字 n は任意変数であり、図8に示すゲートライン本数 n とは無関係である。

【0054】

データドライバー部300はデータ階調信号補正部400から受取る補正された階調信号(G_n')をD/A変換により該当階調電圧(データ電圧)に変えて各々データラインに印加する。

図9は、本発明の一実施例によるデータ階調信号補正部を示す図面であって、前記図8のデータ階調信号補正部400を詳細に示すブロック図である。

【0055】

図9に示したように、本発明の一実施例によるデータ階調信号補正部400は合成器410、フレームメモリ部420、コントローラ430、データ階調信号変換器440及び分離器450を含む。

合成器410はデータ階調信号ソースから伝送される階調信号(G_n)を受信し、データ階調信号補正部400が処理できる速度にタストリームの周波数を変換する。例えば、データ階調信号ソースから24ビット(RGB各8ビットを仮定)のデータが65Mbpsクロックに同期して受信されても、データ階調信号補正部400の構成要素等の処理速度の限界が50Mbpsであるとする、合成器410は24ビットの階調信号を画素二つずつ縛って(一体化して)48ビットの階調信号(G_m)に合成してフレームメモリ部420に伝送する。ここで、 G_m の添字 m は任意変数であって、図8に示すデータ線の本数 m とは無関係である。

【0056】

フレームメモリ部420はコントローラ430の制御によって所定アドレスに保存されている直前階調信号(G_{m-1})をデータ階調信号変換器440に出力する直ちに、合成器410から伝送される階調信号(G_m)を前記所定アドレスに保存する。データ階調信号変換器440は合成器から出力される現在フレームの階調信号(G_m)とフレームメモリ部420から出力される直前フレームの階調信号(G_{m-1})を受信し、現在フレームの階調信号と直前フレームの階調信号を考慮(演算)して補正された階調信号(G_m')を生成する。

【0057】

分離器450はデータ階調信号変換器440から出力される48ビットの補正されたデータ階調信号(G_m')を元の二つの画素に分離して24ビットの補正された階調信号(G_n')を出力する。

本発明の実施例ではデータ階調信号に同期するクロック周波数がフレームメモリをアクセスするクロック周波数と異なるために、データ階調信号を合成及び分離する合成器410及び分離器450が必要であったが、データ階調信号に同期するクロック周波数とフレームメモリ部420をアクセスするクロック周波数とが同一である場合には、このような合成器と分離器とは不必要になる。

【0058】

本発明の実施例によるデータ階調信号変換器440としては、前述した数式9を満足するデジタル回路を直接製造して用いることができる。

また、ルックアップテーブル(Look-up table)を作成してROM(read only memory)に保存した後、アクセスして階調信号を補正することもできる。たとえば、信号 G_m と G_{m-1} を夫々Xアドレス、Yアドレスとしてメモリを読み出した時に、読み出された語が $G'm$ であるようにしてもよい。この際にアドレスのXY入れ

10

20

30

40

50

替機能を有しメモリサイズを半減した対称型変換器とすることも可能である。更にアドレスとしてデータの上位ビット、たとえばG mの上位6ビットのみを用いることも可能である。

【0059】

実際に補正データ電圧 (V_n') は単純に直前フレームのデータ電圧 (V_{n-1}) と現在フレームのデータ電圧 (V_n) との差にだけ比例するものでなく、それぞれの絶対値にも依存する複雑な関数であるので、このようにルックアップテーブルを構成すれば演算処理に依存するより回路が非常に簡単で高速になるという長所がある。

【0060】

一方、本発明の実施例によってデータ電圧を補正するためには実際に使われるグレースケール範囲よりさらに広いダイナミックレンジを有しなければならないが、アナログ回路では高電圧IC (integrated circuit) を用いることによって解決することができるとしても、デジタル方式では分解できる階調数が限定されている。例えば、6ビット階調の場合、64個の階調レベルのうちの一部は実際の階調表示ではない変調された電圧のために割当をしなければならない。つまり、一部の階調レベルは電圧補正用として割り当てべきである。従って、表現できる階調の数が減少する。

【0061】

一方、前記図9で提示するフレームメモリ部は現在フレームの階調信号をライト・イン (書込み) しなければならないが、これと同時に直前フレームの階調信号をリード・アウト (読み出し) してデータ階調信号変換器440に出力しなければならない。

しかし、通常のフレームメモリとして用いられるDRAM系列のメモリは入出力ポートがシングルポートであるためにリード・アウトとライト・インを同時に遂行することができないという短所がある。

【0062】

従って、フレームメモリ部に2個のフレームメモリを一組に構成して各フレームごとにそれぞれのフレームメモリがリード・アウト及びライト・イン動作を専担し、フレームが変わるごとにリード・アウトとライト・イン役割を変えて遂行する方法が一般的である。

しかし、フレームメモリは高価であるために液晶表示装置の原価を上昇させる要因として作用する。

【0063】

これに関し、本発明の他の実施例では動画像再現に適合するように補償されたデータ電圧を印加するためのデータ階調信号補正部で構成されるフレームメモリ部を一つのフレームメモリで実現しても前記2個のフレームメモリを用いる場合と同一効果にして原価を削減することができる液晶表示装置を提供する。

図10a乃至図10bは、本発明の他の実施例によるデータ階調信号補正部を説明するための図面であって、前記図9のフレームメモリをより詳細に説明する。

【0064】

図10a乃至図10bを参照すると、本発明の他の実施例による液晶表示装置は2メモリを(422-Wa)(422-Wb)、リード用バッファメモリを(422-Ra)(422-Rb)と各々2個ずつ備えたバッファメモリ部422と一つのフレームメモリを備えるフレームメモリ部424を含んでなる。

【0065】

バッファメモリ部422は現在フレームのk番目セグメントデータが入力されることによって既に保存されていた現在フレームの(k-1)番目セグメントデータを出力し、直前フレームの(k+1)番目セグメントデータが入力されることによって既に保存されていた直前フレームのk番目セグメントデータを出力する。入出力制御はイベントドリブンでもよいが、独立クロックで制御してもよい。

【0066】

また、フレームメモリ部424はバッファメモリ部422から現在フレームの(k-1)番目セグメントデータが入力された時にこれを保存し、直前フレームの(k+1)番

10

20

30

40

50

目セグメントデータを前記バッファメモリ部へ出力する。

ここで説明した図10a、bの実施例による液晶表示装置は前記図9の実施例と比較して4個のバッファメモリを余分に備える必要があるが、バッファメモリの値段はフレームメモリの値段よりはるかに安いために液晶表示装置の製造原価をフレームメモリが削除されただけ節減することができる。

【0067】

図10aは、k番目セグメントのピクセルデータがX MBpsの速度で第1ライト用バッファメモリ(422-Wa)へ入力されるものをその一例として説明し、図10bは(k+1)番目セグメントのピクセルデータがX MBpsの速度で第2ライト用バッファメモリ(422-Wb)へ入力されることをその一例として説明する。

10

【0068】

以下、前記図10a乃至図10bを参照してメモリ制御方式をより詳細に説明する。

まず、一つのフレームのデータをm(ここで、mは正の整数)個の連続されたピクセルらからなるセグメントに分割する。この時セグメント分割は合成器410によって遂行する事もでき、一つのライト用バッファメモリ大きさに連動してセグメントに分割されることも可能である。

【0069】

X MBpsの速度で入力される現在フレームのk番目セグメントデータは第1ライト用バッファメモリ(422-Wa)へ順次に書込まれる。

一方、第1リード用バッファメモリ(422-Ra)には直前フレームのk番目セグメントデータ(k')が保存されているが、直前フレームのk番目セグメントデータ(k')は現在フレームのk番目データ(k)と歩調を合わせてX MBpsの速度でリードアウトされてデータ階調信号変換器440へ入力されて補正值に変わる。

20

【0070】

第2ライト用バッファメモリ(422-Wb)には現在フレームの2番目セグメントデータ(k-1)が保存されており、現在フレームの(k-1)番目セグメントデータ(k-1)はX MBpsの速度でフレームメモリ部424へ出力されて保存される。ここで、は正の整数であり、好ましくは2以上の正の整数である。

【0071】

このようなライト-イン動作の終了後、フレームメモリ部424に保存された直前フレームの(k+1)番目セグメントデータ[(k+1)']がX MBpsの速度でリードアウトされて第2ライト用バッファメモリ(422-Wb)へ使われる。

30

一方、図10bに示したように、外部から現在フレームの(k+1)番目セグメントデータ(k+1)が入れば該当データは第2ライト用バッファメモリ(422-Wb)へ使われ、第2リード用バッファメモリ(422-Rb)へ使われた直前フレームの(k+1)番目セグメントデータ[(k+1)']はデータ階調信号変換器440へ出力されて補正值に変わる。

【0072】

この間、第1ライト用バッファメモリ(422-Wa)へ保存された現在フレームのk番目セグメントデータ(k)はフレームメモリ部424へライト-インし、フレームメモリ部424からは直前フレームの(k+2)番目セグメントデータ((k+2)')がリードアウトされて第1リード用バッファメモリ(422-Ra)へ保存される。

40

【0073】

その後、セグメントデータについても前記読取り/書き出し動作は継続して進行される。

以上では外部から入力されるセグメントデータを先にライト-インし、フレームメモリ部に保存されたセグメントデータをリード-アウトして出力することを説明したが、これとは反対にフレームメモリ部に保存されたセグメントデータを先にリード-アウトし、外部から入力されるセグメントデータをライト-インすることも当業者には容易なことである。

50

【 0 0 7 4 】

以上で説明したように、図 1 0 a、b の実施例によるセグメントデータの読取り/書き出し動作は外部から 1 セグメントのデータが入る間 1 セグメントほどのデータをライト・インし、1 セグメントほどのデータをリード・アウトしなければならないので、フレームメモリのバンド幅はセグメントデータが入るバンド幅より大きくなければならない。つまり、クロック速度がピクセルクロック速度より大きいかまたはメモリとのインターフェース幅が大きくなければならない。

【 0 0 7 5 】

このようなフレームメモリとインターフェースのバンド幅決定は下記の数式 1 0 の通りであって、 α は (フレームとバッファの転送速度) / (データソースとバッファの転送速度) である。

10

【 0 0 7 6 】

【 数 1 0 】

$$\alpha = [2m + FML(2 \text{ or } 3) + DQM(1) + BML(1 \text{ or } 2) + \Delta] / m$$

ここで、 m はセグメントサイズ、 FML (Frame Memory Latency) はフレームメモリ 4 2 4 の遅延クロック数 (例えば 2 乃至 3 クロック)、 BML (Buffer Memory Latency) はバッファメモリ 4 2 2 の遅延クロック数 (例えば、1 乃至 2 クロック)、 Δ はバッファメモリ 4 2 2 からフレームメモリ 4 2 4 までセグメントが移動するのに要する遅延クロックである。また、フレームメモリ 4 2 4 では I/O バス連結を避けるためにリード・アウトとライト・イン動作の間に 1 クロックほどのマスキング (DQM) が必要である。

20

【 0 0 7 7 】

前記数式 1 0 のように、 α は基本的に 2 より大きい値であるか、ディスプレイライン間にはブラック区間が存在するのでこれよりは余裕ある。

【 0 0 7 8 】

【 数 1 1 】

$$\alpha = [2m + FML(2 \text{ or } 3) + DQM(1) + BML(1 \text{ or } 2) + \Delta] / (m + k \cdot m / L)$$

ここで、 m はセグメントサイズ、 FML はフレームメモリ 4 2 4 の遅延クロック、 BML はバッファメモリ 4 2 2 の遅延クロック、 Δ はバッファメモリ 4 2 2 からフレームメモリ 4 2 4 までセグメントが移動するのに要する遅延クロック、 k はブラック区間のクロック数、 L は 1 ラインのピクセル数である。

30

【 0 0 7 9 】

従って、 m 値が十分に大きいとバンド幅は 2 倍にならなくてもよい。

前記数式 1 0 または 1 1 から分かるように、バッファメモリの大きさとフレームメモリとのバンド幅は相反 (trade-off) 関係にある。つまり、 m を大きくするとバンド幅を減らすことができるが、バッファメモリの大きさがの大きくならなければならない、 m が小さくなるとその反対である。

【 0 0 8 0 】

通常 1 ラインを全て保存しても XGA の場合 2 KB に過ぎない反面、バンド幅を大きくするためにはクロック速度が高まって駆動マージンが減ったり EMI などが発生することがあり、インターフェースの数が増えるために m 値が十分に大きいのが好ましい。ここで、 m (セグメントサイズ) が L (1 ラインのピクセル数) より大きいことは意味がない。

40

【 0 0 8 1 】

前記図 1 0 a 乃至図 1 0 b の場合はライト用バッファメモリ (4 2 2 - W a) (4 2 2 - W b) とリード用バッファメモリ (4 2 2 - R a) (4 2 2 - R b) に各々 2 個のバッファメモリ、全部で四つのバッファメモリを必要とするがライト用バッファメモリとリード用バッファメモリを各々一つずつ用いてバッファメモリ間の保存空間を共有することも可能である。

50

【 0 0 8 2 】

以下、一つのフレームメモリを用いるデータ階調信号補正部で全 2 個だけのバッファメモリを用いても、前記全部で四つのバッファメモリを用いる場合と同一効果にして原価を節減することができる液晶表示装置を提供する。

図 1 1 a 乃至図 1 1 d は本発明の他の実施例によるバッファメモリ共有を説明するための図面である。

【 0 0 8 3 】

図 1 1 a はライト - イン動作の前にリード - アウト動作を行うライト用バッファメモリを説明するための図面であり、図 1 1 b はライト - イン動作の後に (i - 1) ピクセル後にリード - アウトを始めるライト用バッファメモリを説明するための図面である。

図 1 1 a に示したように、m ピクセルを有する一つのセグメントが保存されたライト用バッファから逐次的に X M B p s 速度でフレームメモリにリード - アウトしてメモリセルを空けて、空いたメモリセルに X M B p s 速度で m ピクセルを有する一つのセグメントを逐次的にライト - インする。

【 0 0 8 4 】

もちろん、図 1 1 b に示したように、ライト - イン動作を始めて (i - 1) クロック後にリード - アウト動作を始めるとバッファメモリ内のメモリセルを i 個ほどさらに用意しなければならない。

図 1 1 c はライト - イン動作の終了前にリード - アウトを終了するリード用バッファメモリを説明するための図面であり、図 1 1 d はライト - イン動作の終了前で (j - 1) ピクセル以降にリード - アウトを終了するリード用バッファメモリを説明するための図面である。

【 0 0 8 5 】

図 1 1 c に示したように、データ階調信号変換器 4 4 0 へのリード - アウトがフレームメモリ 4 2 4 からのライト - インより早く終わると、一つの m ピクセルブロックのバッファメモリを用いてライト - インとリード動作とを行うことが可能である。

もちろん、図 1 1 d に示したように、リード - アウトがライト - インより (j - 1) クロックほど遅く終わると、バッファメモリ内のメモリセルを j 個ほどさらに用意しなければならない。

【 0 0 8 6 】

以上の本発明の他の実施例で説明したように、ライト用バッファメモリには現在フレームの現在セグメントデータを保存し、現在フレームの直前セグメントデータをフレームメモリ 4 2 4 に出力する動作を同時に遂行することによってバッファメモリ間の保存空間を共有することができる。

また、リード用バッファメモリには直前フレームの現在セグメントデータをフレームメモリ 4 2 4 からリード - アウトして保存し、保存された直前フレームの直前セグメントデータを階調信号変換器 4 4 0 にライト - アウトする機能を同時に遂行することによってバッファメモリ間の保存空間を共有することができる。

【 0 0 8 7 】

ここで、フレームメモリ 4 2 4 へのリード - アウトは現在セグメントデータをライト - インすることより 倍速い速度で遂行されれば可能である。従って、リード - アウトが現在セグメントデータのライト - インより先に開始すると、前記二つの動作は同一バッファメモリを用いても構わない。

しかし、前記ライト用バッファメモリとリード用バッファメモリを各々一つずつ用いる共有はバッファメモリがデュアルポート R A M であれば前記図 1 1 a 乃至図 1 1 d で提示した共有を制限なく使用することができるが、万が一バッファメモリがシングルポート R A M であれば少しの制約が必要である。

【 0 0 8 8 】

つまり、ライト動作とリード動作とを同時に行うことができないので、ライトとリードが一つの客体の R A M に同時に要請されないように二つの動作の間をひろげなければなら

10

20

30

40

50

ない。例えば、図 1 1 a に示したように、ライト速度よりリード速度が 倍ほど速いため
にライト - インが始まった直後のライトとリードとの間隔が最も狭い。この場合、シング
ルポート R A M の大きさが 1 ピクセル以上であれば二つの動作は一つの R A M に重なるし
かない。

【 0 0 8 9 】

しかし、保存空間が h ピクセルであるシングルポート R A M を用いる場合、前記重複を
避けるためにライト - インとリード - アウトとが始まる時二つの動作の間を h ピクセル以
上離れるようにすればよい。

同様に、リード用バッファメモリの場合にもライト - インまたはリード - アウトが終
わる時期がリードとライト動作との間隔が最小限に狭くなる時であるので、この時間隔を
h ピクセルの大きさに維持すればよい。

10

【 0 0 9 0 】

しかし、図 1 1 b や図 1 1 d のように、リード及びライト動作がシングルポート R A M
各客体の第 1 セルから開始するか最後のセルで終わらず途中で始まるか終わる場合には考
慮しなければならない点がある。

以下、下記にシングルポート R A M の各客体でリード及びライト動作がメモリセルの中
間で始まったり終わる場合の問題を解決するための方案を提示する。

【 0 0 9 1 】

図 1 2 a 乃至図 1 2 b は本発明の他の実施例によるデータ階調信号補正部のバッファ
メモリ共有を説明するための図面であって、特に、図 1 2 a は同時にリード - アウト動作
とライト - イン動作が遂行されるシングルポート R A M を有するライト用バッファを説
明するための図面であり、図 1 2 b は同時にリード - アウト動作とライト - イン動作が遂
行されるシングルポート R A M を有するリード用バッファを説明するための図面である
。

20

【 0 0 9 2 】

図 1 2 a に示したライトバッファメモリの場合を例に上げると、ライト - インとリー
ド - アウトが初めて両方とも動作する時、二つの動作が行なわれるセルが h またはその以
上のピクセルほど離隔した互いに異なる R A M 客体に位置するようにする。

次に、リード - アウトが進行して初めて次の R A M 客体に移る時、リード - アウトとラ
イト - インとの差異を h またはその以上のピクセルほど離隔するようにする。

30

【 0 0 9 3 】

また、リード用バッファメモリの場合はライト用バッファメモリとは対称的である
。つまり、図 1 2 b に示したように、リード - アウトとライト - インとが最後に両方とも
動作する時、二つの動作が行なわれるセルが h またはその以上のピクセルほど離隔した互
いに異なる R A M 客体に位置するようにし、ライト - インが進行して最後の R A M 客体
に移る時にライト - インとリード - アウトとの差異が h またはその以上のピクセルほど離隔
するようにする。

【 0 0 9 4 】

以上では本発明の好ましい実施例を参照して説明したが、該当技術分野の熟練者は特許
請求の範囲に記載された本発明の思想及び領域から外れない範囲内でも本発明を多様に修
正及び変更させ得ると理解できるだろう。

40

【 0 0 9 5 】

【 発明の効果 】

以上説明したように、本発明によって動画像再現に適合するように直前フレームの階調
データと現在フレームの階調データを考慮して補正されたデータ電圧を出力するデータ階
調信号変換器の構成において、使用メモリサイズの少量化、たとえば一つのフレームと四
つのバッファメモリとで構成することができるので液晶表示装置の製造原価を節減する
ことができる。

【 0 0 9 6 】

また、前記データ階調信号変換器に構成されるバッファメモリ間の保存空間を共有す

50

ることができてバッファメモリの数を減らすことができるので液晶表示装置の体積や原価を減らすことができる。

【図面の簡単な説明】

【図 1】 液晶表示装置で各画素の等価回路を示す図面である。

【図 2】 従来の駆動方式で印加されるデータ電圧及び画素電圧を示す図面である。

【図 3】 従来の駆動方式による液晶表示装置の透過率を示す図面である。

【図 4】 液晶表示装置の電圧-誘電率間の関係をモデリングした図面である。

【図 5】 本発明の一実施例によるデータ電圧印加方法を示す図面である。

【図 6】 本発明の一実施例によってデータ電圧を印加した場合の液晶表示装置の透過率を示す図面である。

10

【図 7】 本発明の他の実施例によってデータ電圧を印加した場合の液晶表示装置の透過率を示す図面である。

【図 8】 本発明による液晶表示装置を示す図面である。

【図 9】 本発明の一実施例によるデータ階調信号補正部を示す図面である。

【図 10 a】 本発明の他の実施例によるデータ階調信号補正部を説明するための図面であって、前記図 9 のフレームメモリをより詳細に説明する。

【図 10 b】 本発明の他の実施例によるデータ階調信号補正部を説明するための図面であって、前記図 9 のフレームメモリをより詳細に説明する。

【図 11 a】 本発明の他の実施例によるデータ階調信号補正部のバッファメモリ共有を説明するための図面である。

20

【図 11 b】 本発明の他の実施例によるデータ階調信号補正部のバッファメモリ共有を説明するための図面である。

【図 11 c】 本発明の他の実施例によるデータ階調信号補正部のバッファメモリ共有を説明するための図面である。

【図 11 d】 本発明の他の実施例によるデータ階調信号補正部のバッファメモリ共有を説明するための図面である。

【図 12 a】 本発明の他の実施例によるデータ階調信号補正部のバッファメモリ共有を説明するための図面である。

【図 12 b】 本発明の他の実施例によるデータ階調信号補正部のバッファメモリ共有を説明するための図面である。

30

【符号の説明】

100 液晶表示装置パネル

110 薄膜トランジスタ

200 ゲートドライバ部

300 データドライバ部

400 データ階調信号補正部

410 合成器

420、424 フレームメモリ部

422 バッファメモリ部

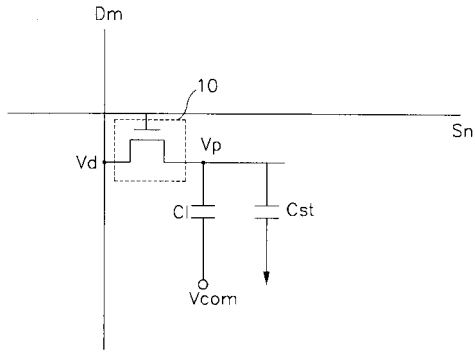
430 コントローラ

440 データ階調信号変換器

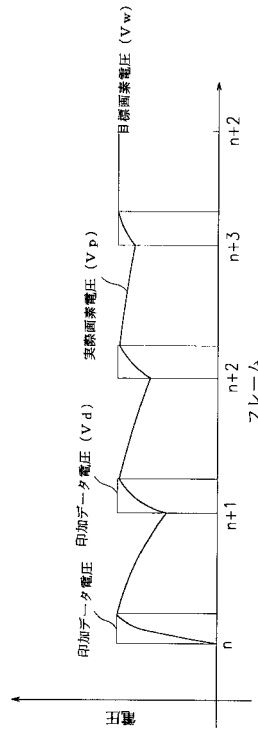
450 分離器

40

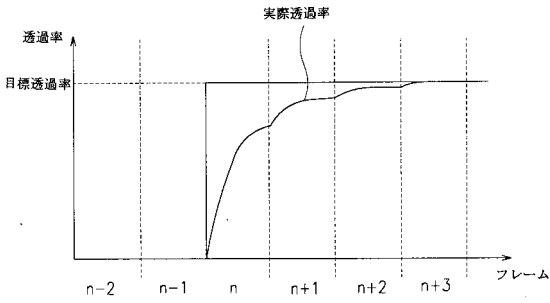
【図1】



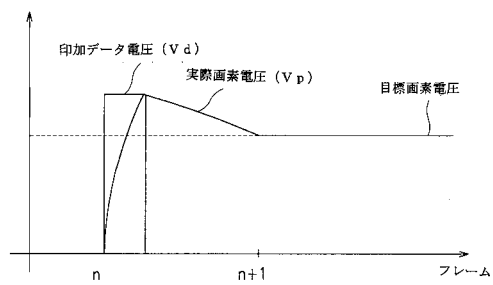
【図2】



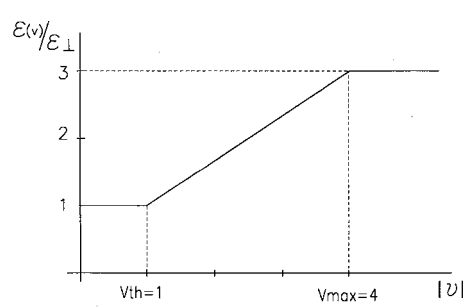
【図3】



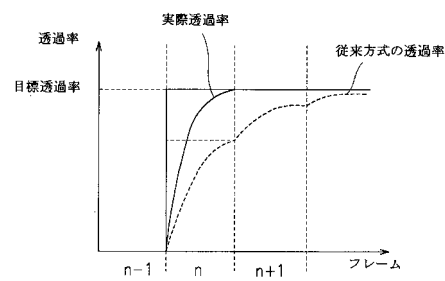
【図5】



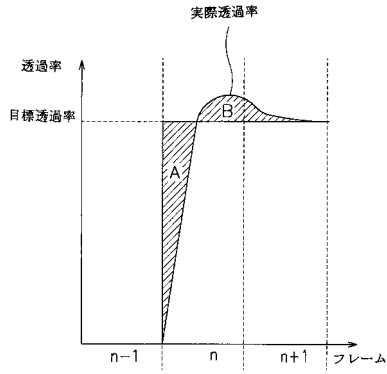
【図4】



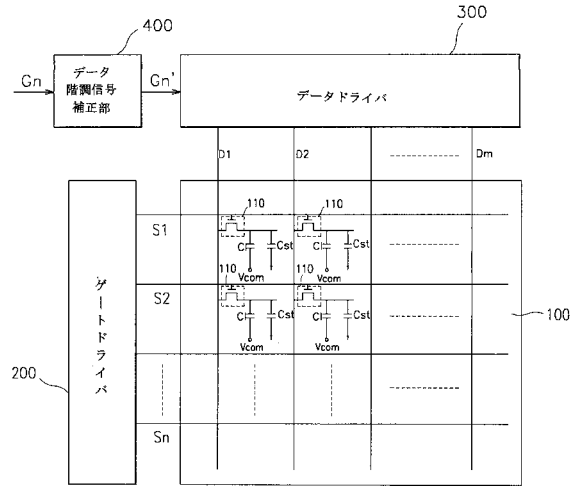
【図6】



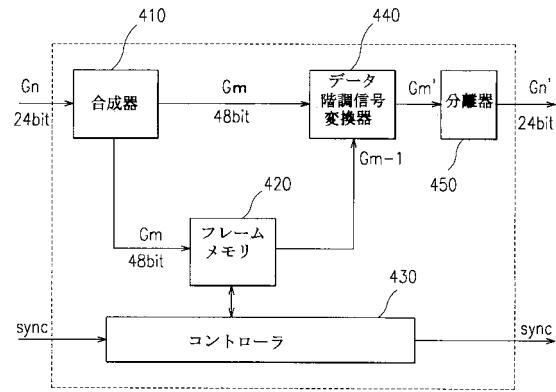
【図7】



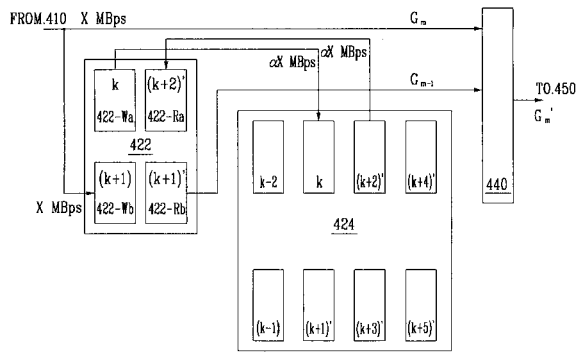
【図8】



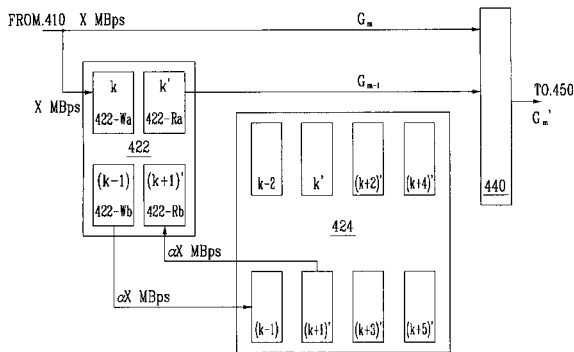
【図9】



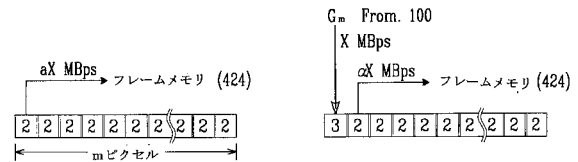
【図10b】



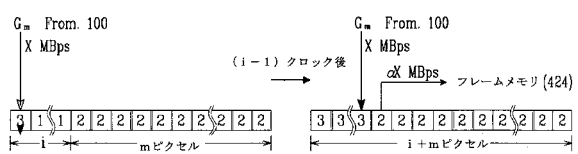
【図10a】



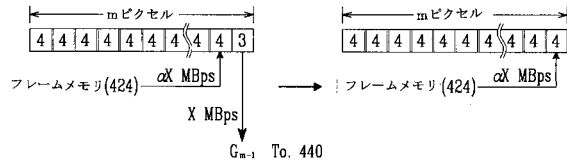
【図11a】



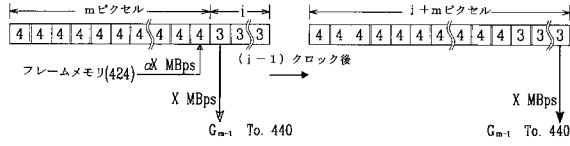
【図11b】



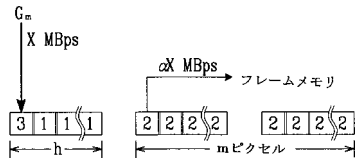
【 図 1 1 c 】



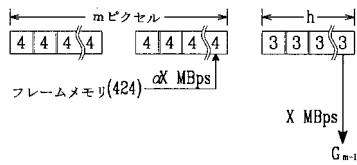
【 図 1 1 d 】



【 図 1 2 a 】



【 図 1 2 b 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 P
G 0 9 G 3/20 6 6 0 V

(72)発明者 李 白 雲
大韓民国京畿道城南市盆唐区野塔洞 3 3 1 番地 東部アパート 1 1 0 棟 8 0 2 号

審査官 西島 篤宏

(56)参考文献 特開平 0 3 - 1 7 4 1 8 6 (J P , A)
特開平 0 9 - 0 8 1 0 8 3 (J P , A)
特開平 0 8 - 3 2 8 9 4 1 (J P , A)
特開平 0 6 - 0 2 2 2 8 4 (J P , A)
特開平 1 1 - 1 3 3 9 1 7 (J P , A)
国際公開第 0 0 / 0 0 0 8 9 3 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G09G 3/00 - 3/38
G02F 1/133 505-580

专利名称(译)	液晶显示装置及其驱动装置		
公开(公告)号	JP4808872B2	公开(公告)日	2011-11-02
申请号	JP2001243643	申请日	2001-08-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李白雲		
发明人	李白雲		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/393 G09G5/395		
CPC分类号	G09G3/2011 G09G3/3648 G09G5/393 G09G5/395 G09G5/399 G09G2320/0261 G09G2360/126		
FI分类号	G09G3/36 G02F1/133.570 G02F1/133.575 G09G3/20.631.B G09G3/20.641.C G09G3/20.641.P G09G3/20.660.V		
F-TERM分类号	2H093/NA51 2H093/NC29 2H093/NC62 2H093/ND06 2H093/ND32 2H193/ZD21 2H193/ZE01 5C006/AA16 5C006/AF46 5C006/BB16 5C006/BC16 5C006/BF02 5C006/FA14 5C006/FA44 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD22 5C080/DD27 5C080/EE19 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	山下大沽嗣		
优先权	2001P25816 2001-05-11 KR		
其他公开文献	JP2002341841A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高液晶显示装置的响应速度。解决方案：液晶显示装置具有数据灰度信号校正部分，其保留从数据灰度信号源呈现的灰度信号，并考虑当前帧的灰度信号和前一帧的灰度信号，以输出校正的灰度信号数据驱动器部分，其将电压改变为与校正的灰度信号对应的数据电压以输出图像信号，并且数据灰度信号校正部分设置有四个缓冲存储器（421-Wa，421-Wb，422Wa，和422Wb）和一帧存储器424。

【图3】

