

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4642700号
(P4642700)

(45) 発行日 平成23年3月2日 (2011.3.2)

(24) 登録日 平成22年12月10日 (2010.12.10)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/13 (2006.01)

G O 2 F 1/13 1 O 1

請求項の数 14 (全 14 頁)

(21) 出願番号	特願2006-147194 (P2006-147194)	(73) 特許権者	502352807
(22) 出願日	平成18年5月26日 (2006.5.26)		中華映管股▲ふん▼有限公司
(65) 公開番号	特開2007-279648 (P2007-279648A)		台湾桃園縣八德市大楠里和平路1127號
(43) 公開日	平成19年10月25日 (2007.10.25)	(74) 代理人	100108453
審査請求日	平成18年5月26日 (2006.5.26)		弁理士 村山 靖彦
(31) 優先権主張番号	11/308,553	(74) 代理人	100064908
(32) 優先日	平成18年4月6日 (2006.4.6)		弁理士 志賀 正武
(33) 優先権主張国	米国 (US)	(74) 代理人	100089037
前置審査			弁理士 渡邊 隆
		(74) 代理人	100110364
			弁理士 実広 信哉
		(72) 発明者	王 明宗
			台湾基隆市七堵區東新街6巷81之2號
		(72) 発明者	張 明▲シャン▼
			台湾桃園縣桃園市天祥六街15號12樓
			最終頁に続く

(54) 【発明の名称】 画素構造体とその修理方法

(57) 【特許請求の範囲】

【請求項1】

走査線と、

前記走査線に電氣的に接続され、第1切欠部を有するゲートと、

前記走査線及び前記ゲートを覆う第1誘電体層と、

前記ゲートを覆う第1誘電体層上に配置され、前記第1切欠部を露出しているチャンネル層と、

前記チャンネル層上に配置されるソースとドレインであって、前記ドレインの一部が前記第1切欠部上に配置されるところのソース及びドレインと、

前記第1誘電体層上に配置され、前記ソースに電氣的に接続されるデータ線と、

前記ソース、ドレイン及びデータ線を覆う第2誘電体層と、

前記第2誘電体層上に配置され、前記ドレインに電氣的に接続される画素電極と、

を含み、

前記チャンネル層は、前記第1切欠部上に配置される第2切欠部を有し、前記第1切欠部は、前記第2切欠部によって露出される画素構造体。

【請求項2】

共通電圧に電氣的に接続するために相応しい共通線をさらに含み、前記共通線の一部は前記画素電極の下部に配置され、前記共通線の他部はデータ線の下部に配置される請求項1に記載の画素構造体。

【請求項3】

10

20

走査線と、
前記走査線に電氣的に接続され、第 1 開口部を有するゲートと、
前記走査線及びゲートを覆う第 1 誘電体層と、
前記ゲートを覆う第 1 誘電体層上に配置され、前記第 1 開口部を露出しているチャンネル層と、
前記チャンネル層上に配置されるソースとドレインであって、前記ドレインの一部が前記第 1 開口部上に位置されるところのソース及びドレインと、
前記第 1 誘電体層上に配置され、前記ソースに電氣的に接続されるデータ線と、
前記ソース、ドレイン及びデータ線を覆う第 2 誘電体層と、
前記第 2 誘電体層上に配置され、前記ドレインに電氣的に接続される画素電極と、
を含み、
前記チャンネル層は、前記第 1 開口部上に配置される第 2 開口部を有し、前記第 1 開口部は、前記第 2 開口部によって露出され、
前記データ線と前記ソースとの間に電氣的に接続される補助線をさらに含み、前記補助線、データ線及びソースは、第 3 開口部を形成する画素構造体。

10

【請求項 4】

共通電圧に電氣的に接続するために相応しい共通線をさらに含み、前記共通線の一部は前記画素電極の下に配置され、前記共通線の他部はデータ線の下に配置される請求項 3 に記載の画素構造体。

【請求項 5】

20

前記ソースは、前記第 1 開口部上に配置される第 3 切欠部を有し、前記ドレインの一端は、前記第 3 切欠部内に配置される請求項 3 に記載の画素構造体。

【請求項 6】

前記走査線の一部は、前記第 3 開口部内に配置される請求項 3 に記載の画素構造体。

【請求項 7】

請求項 2 に記載の画素構造体を修理するために相応しい画素構造体の修理方法であり、前記画素電極が前記ゲートと前記ソースとから電氣的に絶縁されるように、前記第 1 切欠部と前記画素電極との間の前記ドレインを切断し、

前記データ線に前記共通線を接続し、

前記画素電極に前記共通線を接続し、

30

前記データ線と前記画素電極とが前記共通電圧から電氣的に絶縁されるように、前記共通線を切断することを含む画素構造体の修理方法。

【請求項 8】

前記ドレインを切断する方法は、レーザー切断工程を含む請求項 7 に記載の修理方法。

【請求項 9】

前記共通線と前記データ線とを接続する方法は、レーザー核融合工程を含む請求項 7 に記載の修理方法。

【請求項 10】

前記共通線と前記画素電極とを接続する方法は、レーザー核融合工程を含む請求項 7 に記載の修理方法。

40

【請求項 11】

前記共通線を切断する方法は、レーザー切断工程を含む請求項 7 に記載の修理方法。

【請求項 12】

請求項 4 に記載の画素構造体を修理するために相応しい画素構造体の修理方法であり、前記画素電極が前記ゲートと前記ソースとから電氣的に絶縁されるように、前記ゲートと前記画素電極との間の前記ドレインを切断し、

前記データ線に前記共通線を接続し、

前記画素電極に前記共通線を接続し、

前記データ線と前記画素電極とが前記共通電圧から電氣的に絶縁されるように、前記共通線を切断することを含む画素構造体の修理方法。

50

【請求項 1 3】

請求項 6 に記載の画素構造体を修理するために相応しい画素構造体の修理方法であり、前記データ線が補助線を通して前記ソースに伝導されるように、前記走査線の両側上の前記データ線を切断することを含む画素構造体の修理方法。

【請求項 1 4】

前記走査線の両側上の前記データ線を切断する方法は、レーザー切断工程を含む請求項 1 3 に記載の修理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素構造体とその修理方法に関する。特に、本発明は、液晶表示パネルの表示品質を改善することができる画素構造体とその修理方法に関する。

【背景技術】

【0002】

最近、マルチメディア技術の開発は、主として半導体素子または表示装置の改良に帰されることができる。表示装置において、薄膜トランジスタ液晶表示装置 (TFT-LCD) は、高画質、高い空間利用性、低電力消費、低い放射強度などのような利点で、次第に市場において主流製品になっている。

【0003】

典型的な TFT-LCD は、主として薄膜トランジスタアレイ基板、対向基板及びそれらの 2 つの基板の間に配置された液晶層を含む。ここで、薄膜トランジスタアレイ基板は、主に基板、アレイの基板上に配列された薄膜トランジスタ、画素電極、走査線及びデータ線を含む。一般に、走査線とデータ線は、対応する画素構造に信号を伝達することができる。

【0004】

図 1 A は、従来の画素構造体の部分的な概略図であり、図 1 B は、ライン A - A' に沿った図 1 A の断面概略図である。図 1 A と図 1 B を同時に参照して下さい。従来の画素構造体 120 は、基板 110 上に作製される。画素構造体 120 は、主に薄膜トランジスタ 122、画素電極 124、走査線 126 及びデータ線 128 を含む。ここで、薄膜トランジスタ 122 は、画素電極 124 に電氣的に接続され、薄膜トランジスタ 122 は、ボトムゲートを有する。図 1 B に示されるように、薄膜トランジスタ 122 は、基板 110 上に配置されているが、主にゲート 122a、チャネル層 122b、ソース 122c 及びドレイン 122d を含み、薄膜トランジスタ 122 のドレイン 122d は、コンタクトホール H を通して画素電極 124 に電氣的に接続される。図 1 に示されるように、適当な電圧は、走査線 126 とデータ線 128 によって薄膜トランジスタ 122 に伝達されることができ、その電圧は、薄膜トランジスタ 122 を通して画素電極 124 に伝達される。

【0005】

ゲート 122a とドレイン 122d が部分的に重畳されるので、寄生容量 C_{gd} がゲート 122a とドレイン 122d との間に生成されるかもしれないことは注目すべきことである。図 1 A において、参照番号 10 は、ドレイン 122d とゲート 122a との間の重畳領域を印づけている。さらに、寄生容量 C_{gd} の静電容量値は、重畳領域 10 の面積に比例する。寄生容量 C_{gd} は、RC 遅延を引き起こすかもしれない、そのため、荷電された画素電極 124 のフィードスルー電圧は、所定の電圧に達することができない。すなわち、荷電された画素電極 124 のフィードスルー電圧は、寄生容量 C_{gd} の静電容量値に従って変化するかもしれない。

【0006】

画素構造体 120 の製造において、それぞれのゲート 122a とドレイン 122d の重畳領域は、等しくあるべきである。しかしながら、薄膜トランジスタアレイ基板の製造において、フォトマスクの調整誤差または機械の振動などのために、それぞれのフォトマスクのフォトリソグラフィ工程において、いわゆるオーバーレイシフトがありえ、そのオー

10

20

30

40

50

パーレイシフトは、大きなパネルの製造においてより深刻であるかもしれない。さらに、部分的にゲート 1 2 2 a とドレイン 1 2 2 d との間のオーバーレイシフトが大きくなり過ぎると、その領域の寄生容量 C_{gd} の静電容量値と他の領域の寄生容量 C_{gd} の静電容量値との差が大きくなり、その結果、それぞれの領域において、フィードスルー電圧のムラをもたらす。したがって、荷電された画素電極 1 2 4 のフィードスルー電圧は、所定の電圧に達しないので、画素構造体 1 2 0 を用いた液晶表示パネルで表示ムラが生じる。

【 0 0 0 7 】

さらに、薄膜トランジスタアレイ基板の製造工程において、画素構造体 1 2 0 の一部は、必然的に欠陥を有し、正常に動作することができない。画像を表示すると、その欠陥は、液晶表示パネルに輝点または輝線を生じさせるかもしれない。

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明は、液晶表示パネルの表示品質を改善することができる画素構造体を提供することを目的とする。また、本発明は、画素構造体を修理するために適当な画素構造体の修理方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

したがって、本発明は、液晶表示パネルの表示品質を改善することができる画素構造体を提供することを目的とする。

20

【 0 0 1 0 】

本発明の他の態様によれば、画素構造体の修理方法は、欠陥を有する画素構造体を修理するために提供される。

【 0 0 1 1 】

本発明の他の態様によれば、液晶表示パネルの表示品質を改善することができる他の画素構造体が提供される。

【 0 0 1 2 】

本発明の他の態様によれば、液晶表示パネル上の輝点を避けるための上述の他の画素構造体を修理するために、画素構造体の修理方法が提供される。

30

【 0 0 1 3 】

本発明の他の態様によれば、液晶表示パネル上の輝線を避けるために、上述の他の画素構造体を修理する画素構造体の修理方法が提供される。

【 0 0 1 4 】

上記及び他の目的を達成するために、本発明は、走査線、ゲート、第 1 誘電体層、チャンネル層、ソース、ドレイン、データ線、第 2 誘電体層及び画素電極を含む画素構造体を提供する。ここで、ゲートは走査線に電氣的に接続されていて、第 1 切欠部を有する。第 1 誘電体層は、走査線とゲートを覆う。チャンネル層は、ゲート上の第 1 誘電体層上に配置され、第 1 切欠部によって露出される。ソースとドレインは、チャンネル層上に配置される。ドレインの一部は、第 1 切欠部上に位置する。データ線は、第 1 誘電体層上に配置され、ソースに電氣的に接続される。第 2 誘電体層は、ソース、ドレイン及びデータ線を覆う。画素電極は、第 2 誘電体層上に配置され、ドレインに電氣的に接続される。

40

【 0 0 1 5 】

本発明の一実施形態によれば、チャンネル層は、第 1 切欠部上に第 2 切欠部を有していてもよく、第 1 切欠部は第 2 切欠部によって露出される。

【 0 0 1 6 】

本発明の一実施形態によれば、画素構造体は、共通電圧に電氣的に接続されるために相応しい共通線をさらに含み、ここで、共通線の一部は、画素電極の下に配置され、共通線の他部は、データ線の下に配置される。

【 0 0 1 7 】

本発明は、上述の画素構造体を修理するために相応しい画素構造体の修理方法を提供す

50

る。画素構造の修理方法は、次のステップを含む。第1に、画素構造体がソースから電氣的に絶縁されるように、第1切欠部と画素電極との間のドレインが切断される。次に、共通線はデータ線に接続される。次に、共通線は画素電極に接続される。それから、データ線と画素電極とが共通電圧から電氣的に絶縁されるように、共通線は切断される。

【0018】

本発明の一実施形態によれば、ドレインを切断する方法は、レーザー切断工程を含んでもよい。

【0019】

本発明の一実施形態によれば、共通線とデータ線とを接続する方法は、レーザー核融合工程を含んでもよい。

10

【0020】

本発明の一実施形態によれば、共通線と画素電極とを接続する方法は、レーザー核融合工程を含んでもよい。

【0021】

本発明の一実施形態によれば、共通線を切断する方法は、レーザー切断工程を含んでもよい。

【0022】

本発明は、画素構造体をさらに提供する。その画素構造体は、走査線、ゲート、第1誘電体層、チャネル層、ソース、ドレイン、データ線、第2誘電体層及び画素電極を含む。ここで、ゲートは走査線に電氣的に接続され、第1開口部を有する。第1誘電体層は、走査線とゲートとを覆う。チャネル層は、ゲート上の第1誘電体層上に配置され、第1開口部によって露出される。ソースとドレインは、チャネル層上に配置され、ここで、ドレインの一部は、第1開口部上に位置する。データ線は、第1誘電体層上に配置され、ソースに電氣的に接続される。第2誘電体層は、ソース、ドレイン及びデータ線を覆う。画素電極は、第2誘電体層上に配置され、ドレインに電氣的に接続される。

20

【0023】

本発明の一実施形態によれば、画素構造体は、共通電圧に電氣的に接続されるために相応しい共通線をさらに含んでもよく、共通線の一部は、画素電極の下に配置され、共通線の他部は、データ線の下に配置される。

【0024】

本発明の一実施形態によれば、ソースは第1開口部上の第3切欠部を有してもよく、ドレインの一端は、第3切欠部内に配置される。

30

【0025】

本発明の一実施形態によれば、画素構造体は、データ線とソースとの間に電氣的に接続される補助線をさらに含み、その補助線、データ線及びソースは、第3開口部を形成する。さらに、走査線の一部は、第3開口部内に配置される。

【0026】

本発明の一実施形態によれば、チャネル層は、第1開口部上に第2開口部を有してもよく、第1開口部は、第2開口部によって露出される。

【0027】

本発明は、上述の画素構造体を修理するために相応しい画素構造体の修理方法をさらに提供する。画素構造体の修理方法は、次のステップを含む。第1に、画素電極がゲートとソースとから電氣的に絶縁されるように、ゲートと画素電極との間のドレインは切断される。次に、共通線は、データ線に接続される。次に、共通線は、画素電極に接続される。それから、データ線と画素電極とが共通電圧から電氣的に絶縁されるように、共通線は切断される。

40

【0028】

本発明の一実施形態によれば、ドレインを切断する方法は、レーザー切断工程を含んでもよい。

【0029】

50

本発明の一実施形態によれば、共通線とデータ線とを接続する方法は、レーザー核融合工程を含んでもよい。

【 0 0 3 0 】

本発明の一実施形態によれば、共通線と画素電極とを接続する方法は、レーザー核融合工程を含んでもよい。

【 0 0 3 1 】

本発明の一実施形態によれば、共通線を切断する方法は、レーザー切断工程を含んでもよい。

【 0 0 3 2 】

本発明は、上述の他の画素構造体を修理するために適当な画素構造体の修理方法をさらに提供する。画素構造体の修理方法は、次のステップを含む。データ線が補助線を通してソースに伝導されるように、データ線は、走査線の両側で切断される。ここで、走査線の両側上のデータ線を切断する方法は、レーザー切断工程を含んでもよい。

【 0 0 3 3 】

要約すれば、本発明の画素構造体において、ゲートが切欠部または開口部を有し、ドレインの一部がそのゲートの切欠部または開口部内に配置されるので、オーバーレイシフトを引き起こすフォトマスクの調整誤差がある場合、ドレインとゲートとの間の重畳領域は、同様に残っている。すなわち、オーバーレイシフトがある場合は、ドレインとその下に配置されるゲートとの間の寄生容量は、依然として同じ静電容量値のままである。画素構造体が液晶表示パネルに加工されるとき、液晶表示パネルの表示ムラは避けることができ、良い画像品質を得ることができる。さらに、画素構造体の修理方法は、液晶表示パネルの上の輝点または輝線を避けるために欠陥を有する画素構造体を修理することもできる。

【 0 0 3 4 】

本発明の範囲にある、前述の目的または他の目的、特徴、利点を達成するために、図面を用いた好ましい実施形態は、以下に詳細に記述される。

【 0 0 3 5 】

前述の概略的な説明と以下の詳細な説明は共に例示的なものであって、特許請求の範囲に記載された発明のさらなる説明のために提供されるものであることは理解されるはずである。

【発明を実施するための最良の形態】

【 0 0 3 6 】

添付した図面は、本発明のさらなる理解のために提供されるものであり、本明細書に組み込まれ、その一部を構成する。図面は、詳細な説明と共に本発明の実施形態を例示し、本発明の原理を説明するのに役立つ。図 1 A は、従来の画素構造体の部分的な概略図である。図 1 B は、ライン A - A ' に沿った図 1 A の断面概略図である。図 2 A は、本発明の第 1 実施形態による画素構造体の部分的な拡大図である。図 2 B は、ライン B - B ' に沿った図 2 A の断面概略図である。図 3 A は、本発明の第 2 実施形態による画素構造体の部分的な拡大図である。図 3 B は、ライン C - C ' に沿った図 3 A の断面概略図である。図 4 A は、本発明の第 3 実施形態による画素構造体の部分的な拡大図である。図 4 B は、ライン D - D ' に沿った図 4 A の断面概略図である。図 5 A は、本発明の第 4 実施形態による画素構造体の部分的な拡大図である。図 5 B は、ライン E - E ' に沿った図 5 A の断面概略図である。

【 0 0 3 7 】

(第 1 実施形態)

図 2 A は、本発明の第 1 実施形態による画素構造体の部分的な拡大図であり、図 2 B は、ライン B - B ' に沿った図 2 A の断面概略図である。図 2 A と図 2 B を同時に参照して、本実施形態の画素構造体 2 0 0 は基板 1 1 0 の上に作製される。その基板 1 1 0 は、ガラス基板、石英基板、あるいは適当な材料の他の基板であり得る。その画素構造体 2 0 0 は、走査線 2 1 0、ゲート 2 2 0、第 1 誘電体層 2 3 0、チャネル層 2 4 0、ソース 2 5 0、ドレイン 2 6 0、データ線 2 7 0、第 2 誘電体層 2 8 0 及び画素電極 2 9 0 を含む。

それらの部材の位置関係は、以下に記述されるだろう。

【0038】

ゲート220は、走査線210に電氣的に接続され、第1切欠部(ノッチ)220aを有する。第1誘電体層230は、走査線210とゲート220を覆う。チャンネル層240は、ゲート220上の第1誘電体層230上に配置され、第1切欠部230によって露出される。ソース250とドレイン260は、チャンネル層240上に配置される。ドレイン260の一部は、第1切欠部220aの上に位置する。データ線270は、第1誘電体層230上に配置され、ソース250に電氣的に接続される。第2誘電体層280は、ソース250、ドレイン260及びデータ線270を覆う。画素電極290は、第2誘電体層280上に配置され、ドレイン260に電氣的に接続される。

10

【0039】

上述の通り、画素構造体200の走査線210は、アルミニウム合金の導線、または適当な導電材料からなる他の導線であり得る。ゲート220は、クロム電極、アルミニウム合金電極、または他の適当な導電材料からなる電極であり得る。第1誘電体層230の材料は、窒化珪素、窒化酸化珪素、または他の適当な材料であり得る。チャンネル層240は、アモルファスシリコン、ポリシリコン、または他の適当な材料からなるフィルム層であり得る。ソース250とドレイン260は、アルミニウム合金電極、または他の適当な導電材料からなる電極であり得る。データ線270は、アルミニウム合金の導線、または適当な導電材料からなる他の導線であり得る。第2誘電体層280の材料は、窒化珪素、窒化酸化珪素、または他の適当な材料であり得る。画素電極290は、透過電極、反射電極または透過反射電極でありえ、画素電極290の材料は、インジウムスズ酸化物(ITO)、インジウム亜鉛酸化物(IZO)、金属、または他の導電材料であってもよい。

20

【0040】

本実施形態において、画素構造体200のチャンネル層240は、第1切欠部220a上に第2切欠部240aを有しており、第1切欠部220aは、第2切欠部240aによって露出される。本実施形態において、画素構造体200は、オーミック接触層m1を含んでもよく、オーミック接触層m1は、N型ドーピングされたアモルファスシリコン、または他の適当な材料からなるフィルム層であり得る。オーミック接触層m1は、チャンネル層240、ソース250及びドレイン260の間に配置される。さらに、画素構造体200は、共通線Csをさらに含んでもよく、共通電圧(図示略)は共通線Csに印加され、共通線Csは、アルミニウム合金の導線、または適当な導電材料からなる他の導線であり得る。共通線Csの一部は、画素電極290の下に配置され、共通線Csの他部はデータ線270の下に配置される。

30

【0041】

図2Aに示されるように、ドレイン260は、ゲート220に部分的に重畳しており、その重畳領域は、参考番号S10とS20で印を付けられている。ドレイン260とゲート220が部分的に重畳されるので、寄生容量 C_{gd} がドレイン260とゲート220との間に生じるかもしれない。さらに、寄生容量 C_{gd} の静電容量値は、重畳領域S10とS20の面積の合計に比例する。画素構造体200の製造工程において、ドレイン260の一部がゲート220の第1切欠部220a内に配置されるので、画素構造体200の製造工程において、幾らかの機械の調整誤差または振動があり、それは、ドレイン260とゲート220との間に若干の重畳変化をもたらす。しかしながら、重畳領域S10とS20の合計は、同じようにそのまま残っている。すなわち、ドレイン260とその下に配置されるゲート220との間の寄生容量 C_{gd} は、依然として同じ静電容量値を保持する。したがって、それぞれの領域のRC遅延は類似しているので、荷電された画素電極290のフィードスルー電圧は、互いにほぼ等しい。その薄膜トランジスタアレイ基板がさらに液晶表示ディスプレイパネルに加工される場合、ディスプレイのムラは改善されるであろう。換言すれば、画素構造体200を有する液晶表示ディスプレイパネルは、良い表示品質を有しているであろう。

40

【0042】

50

画素構造体の製造工程において、画素構造体 200 が幾らかの欠陥を有し、正常に動作することができない場合には、画素構造体 200 を有する液晶ディスプレイパネル上に輝点（ブライトスポット）が生じるのであるであろう。この時、欠陥を有する画素構造体 200 は修理されることができる。

【0043】

図 2 A を参照し続けると、画素構造体 200 の修理方法は、以下のステップを含む。第 1 に、第 1 切欠部 220 a と画素電極 290 との間に配置されるドレイン 260 は、切断され（すなわち、ドレイン 260 は、切断線 L1 に沿って切断される）、それによって、画素電極 290 は、ゲート 220 とソース 250 とから電氣的に絶縁される。次に、共通線 Cs は、それぞれ溶融点 W1 と W2 において、データ線 270 と画素電極 290 に接続される。それから、共通線 Cs は、切断される（すなわち、共通線 Cs が切断線 L2 に沿って切断される）ので、共通電圧は、データ線 270 と画素電極 290 とに影響を与えないであろう。

10

【0044】

画素構造体 200 の修理方法において、ドレイン 260 と共通線 Cs とを切断する方法は、レーザー切断工程または他の適当な方法を含み、共通線 Cs とデータ線 270 とを接続する方法と、共通線 Cs と画素電極 290 とを接続する方法は、レーザー核融合工程または他の適当な方法を含むことは注意すべきことである。

【0045】

（第 2 実施形態）

20

図 3 A は、本発明の第 2 実施形態による画素構造体の部分的な拡大図であり、図 3 B は、ライン C - C' に沿った図 3 A の断面概略図である。図 3 A と図 3 B を同時に参照して、本発明の画素構造体 300 は、走査線 210、ゲート 320、第 1 誘電体層 230、チャンネル層 340、ソース 350、ドレイン 360、データ線 270、第 2 誘電体層 280 及び画素電極 290 を含む。ここで、走査線 210、第 1 誘電体層 230、データ線 270、第 2 誘電体層 280 及び画素電極 290 は、第 1 実施形態に記載されたものと同じものである。ゲート 320 は、走査線 210 に電氣的に接続されており、第 1 開口部 320 a を有する。チャンネル層 340 は、ゲート 320 上の第 1 誘電体層 230 上に配置され、第 1 開口部 320 a によって露出される。ソース 350 とドレイン 360 は、チャンネル層 340 上に配置される。ドレイン 360 の一部が、第 1 開口部 320 a 上に位置している。

30

【0046】

本実施形態において、ソース 350 は、第 1 開口部 320 a 上に配置される第 3 切欠部 350 a を有し、ドレイン 360 の一端は、第 3 切欠部 350 a 内に配置される。チャンネル層 240 は、第 1 開口部 320 a 上に配置される第 2 開口部 340 a を有し、第 1 開口部 320 a は、第 2 開口部 340 a によって露出される。さらに詳細には、第 3 切欠部 350 a は、第 2 開口部 340 a 上に配置される。さらに、画素構造体 300 は、オーミック接触層 m2 をさらに含み、オーミック接触層 m2 は、例えば、N 型ドーピングされたアモルファスシリコンまたは他の適当な材料からなるフィルム層である。オーミック接触層 m2 は、チャンネル層 340、ソース 350 及びドレイン 360 の間に配置される。

40

【0047】

画素構造体 300 が共通線 Cs を含んでもよく、共通電圧が共通線 Cs に印加されるということは注意すべきことである。共通線 Cs の一部は、画素電極 290 の下に配置され、共通線 Cs の他部は、データ線 270 の下に配置される。

【0048】

第 1 実施形態と同様に、ドレイン 360 とゲート 320 は部分的に重畳されるので、寄生容量 C_{gd} は、ドレイン 360 とゲート 320 との間に形成されるかもしれない。画素構造体 300 の製造工程において、ドレイン 360 とゲート 220 との間にオーバーレイシフトがある場合、ドレイン 360 の一部は、ゲート 320 の第 1 開口部 320 a 内に配置されるので、重畳領域 S30 は同じようにそのまま残っている。寄生容量の静電容量値

50

C_{gd} は、重畳領域 530 の面積に比例するので、ドレイン 360 とゲート 320 との間の寄生容量 C_{gd} は、ドレイン 360 とゲート 220 との間にオーバーレイシフトがあるという状況下で、そのまま残っている。画素構造体 300 を有している薄膜トランジスタアレイ基板がさらに液晶表示ディスプレイパネルに加工されるとき、ディスプレイムラは十分に改善されることができる。換言すれば、画素構造体 300 からなる液晶表示ディスプレイパネルは、良い表示品質を有する。

【0049】

画素構造体 300 の修理方法は、画素構造体 200 の修理方法と同様である。図 3A を参照し続けると、画素構造体 300 の修理方法は、以下のステップを含む。第 1 に、ゲート 320 と画素電極 290 との間のドレイン 360 は、切断され（すなわち、ドレイン 360 は、切断線 L3 に沿って切断される）、画素電極 290 は、ゲート 320 とソース 350 から電氣的に絶縁される。次に、共通線 Cs は、それぞれ溶融点 W3 と W4 において、データ線 270 と画素電極 290 に接続される。それから、共通線 Cs は、切断される（すなわち、共通線 Cs が切断線 L4 に沿って切断される）ので、共通電圧（図示略）は、データ線 270 と画素電極 290 とに印加されないであろう。換言すれば、共通電圧は、データ線 270 と画素電極 290 とに影響を与えないであろう。

【0050】

画素構造体 200 の修理方法と同様に、画素構造体 300 の修理方法において、ドレイン 360 と共通線 Cs とを切断する方法は、レーザー切断工程または他の適当な方法を含み、共通線 Cs とデータ線 270 とを接続する方法と、共通線 Cs と画素電極 290 とを接続する方法は、レーザー核融合工程または他の適当な方法を含む。

【0051】

（第 3 実施形態）

図 4A は、本発明の第 3 実施形態による画素構造体の部分的な拡大図であり、図 4B は、ライン D - D' に沿った図 4A の断面概略図である。図 4A と図 4B を同時に参照して、本発明の画素構造体 400 は、画素構造体 300 の変形例である。その差異は、画素構造体 400 が補助線 410 をさらに含み、その補助線 410 は、データ線 270 とソース 350 との間に電氣的に接続されるということである。補助線 410 の材料は、データ線 270 とソース 350 の材料と同じものであり得る。補助線 410、データ線 270 及びソース 350 は、第 3 開口部 410a を形成する。さらに、走査線 210 の一部は、第 3 開口部 410a 内に配置される。

【0052】

本実施形態の画素構造体 400 とその修理方法の利点は、第 2 実施形態に記述されたものと同様である。詳細は、ここでは繰り返されない。しかしながら、画素構造体 400 において、本発明は、データ線 270 の走査線 210 上の破断部（ブレイクライン）と、データ線 270 と走査線 210 との間の短絡とを修理するための他の修理方法をさらに提供する。その修理方法は、以下に記述されるであろう。

【0053】

一般に、急勾配のために走査線上の位置に橋渡しされた際にデータ線 270 は破壊されるかもしれない。破壊されたデータ線 270 は、ゲート線のテーパー部上で生じたオープンソースラインと呼ばれる。さらに、画素構造体 400 の製造工程において、幾らかの異物がデータ線 270 と走査線 210 に入り、短絡をもたらすかもしれない。ゲート線のテーパー部上で生じるオープンソースライン、または、データ線 270 と走査線との間の短絡が発生すると、データ線 270 が補助線 410 とソース 350 を通って伝導されることができるよう、データ線 270 は走査線 210 の両側で切断される（すなわち、データ線 270 は、切断線 L5、L6 に沿って切断される）。さらに、走査線 210 の両側にあるデータ線 270 を切断する方法は、レーザー切断工程または他の適当な方法を含んでもよい。

【0054】

（第 4 実施形態）

図 5 A は、本発明の第 4 実施形態による画素構造体の部分的な拡大図であり、図 5 B は、ライン E - E' に沿った図 5 A の断面概略図である。図 5 A と図 5 B を同時に参照して、本実施形態の画素構造体 500 は、画素構造体 300 の変形例である。差異は、ソース 550 の一部がゲート 510 を覆っていないということである。画素構造体 500 が動作されたとき、そのような設計は、ソース 550 とゲート 510 との間の寄生容量 C_{sd} と符号ひずみを減らすことができる。

【0055】

本実施形態の画素構造体 500 とその修理方法の利点は、第 2 実施形態に記述されたものと同様であるので、詳細は、ここでは繰り返されない。

【0056】

要約すれば、本発明の画素構造体とその修理方法は、少なくとも以下の利点を有する。

【0057】

第 1 に、画素構造体の製造工程において、ドレインの一部は、第 1 切欠部または開口部に配置されるので、幾らかの機械の調整誤差または振動は、ドレインとゲートとの間にオーバーレイシフトをもたらすかもしれないけれども、ドレインとゲートとの間の重畳領域は、依然として同じままで残っていることができる。すなわち、ドレインとその下に配置されるゲートとの間の寄生容量 C_{gd} は、依然として同じ静電容量値を保持することができる。したがって、それぞれの領域の RC 遅延は同様であるので、荷電された画素電極のフィードスルー電圧は、互いにほぼ等しい。

【0058】

第 2 に、本発明の画素構造体の修理方法は、液晶ディスプレイパネル上の輝点または輝線を形成することを避けるために、欠陥を有する画素構造体を修理することができる。したがって、液晶ディスプレイパネルのゼロ - グレア比 (zero-glare ratio) は、改善されることができ、液晶ディスプレイパネルの製造コストをさらに減少させることができる。

【0059】

第 3 に、この画素構造体の製造またはその修理方法は、現在の製造処理に互換性がある。そのため、フォトマスクの設計の変更を除いては、追加的な製造装置は必要ではない。

【0060】

本発明の範囲や精神から逸脱されることなく種々の修正や変形が本発明の構造体に対してなされる得ることは、当業者にとって明らかであろう。前述において、本発明は、添付された特許請求の範囲及びその同等物の範囲内で、提供されたこの発明の修正または変形を含むことを意図する。

【図面の簡単な説明】

【0061】

【図 1 A】図 1 A は、従来の画素構造体の部分的な概略図である。

【図 1 B】図 1 B は、ライン A - A' に沿った図 1 A の断面概略図である。

【図 2 A】図 2 A は、本発明の第 1 形態による画素構造体の部分的な拡大図である。

【図 2 B】図 2 B は、ライン B - B' に沿った図 2 A の断面概略図である。

【図 3 A】図 3 A は、本発明の第 2 形態による画素構造体の部分的な拡大図である。

【図 3 B】図 3 B は、ライン C - C' に沿った図 3 A の断面概略図である。

【図 4 A】図 4 A は、本発明の第 3 形態による画素構造体の部分的な拡大図である。

【図 4 B】図 4 B は、ライン D - D' に沿った図 4 A の断面概略図である。

【図 5 A】図 5 A は、本発明の第 4 形態による画素構造体の部分的な拡大図である。

【図 5 B】図 5 B は、ライン E - E' に沿った図 5 A の断面概略図である。

【符号の説明】

【0062】

10 重畳領域

110 基板

120、200、300、400、500 画素構造体

122 薄膜トランジスタ

10

20

30

40

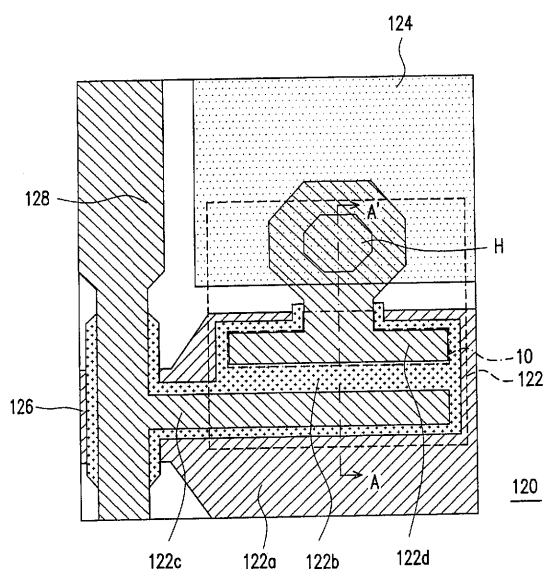
50

1 2 2 a、	2 2 0、	3 2 0、	5 2 0	ゲート
1 2 2 b、	2 4 0、	3 4 0、	5 4 0	チャンネル層
1 2 2 c、	2 5 0、	3 5 0、	5 5 0	ソース
1 2 2 d、	2 6 0、	3 6 0	ドレイン	
1 2 4、	2 9 0	画素電極		
1 2 6、	2 0 1	走査線		
1 2 8、	2 7 0	データ線		
2 2 0 a	第 1 切欠部			
2 3 0	第 1 誘電体層			
2 4 0 a	第 2 切欠部			
2 8 0	第 2 誘電体層			
3 2 0 a	第 1 開口部			
3 4 0 a	第 2 開口部			
3 5 0 a	第 3 切欠部			
4 1 0	補助線			
4 1 0 a	第 3 開口部			
C s	共通線			
H	コンタクトホール			
m 1、m 2	オーミック接触層			
S 1 0、S 2 0、S 3 0	重畳領域			
W 1、W 2	溶融点			

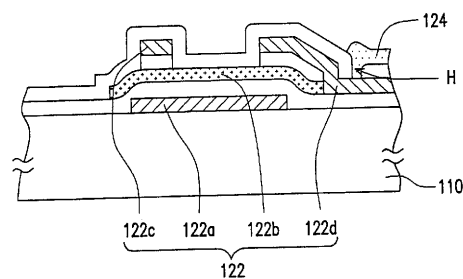
10

20

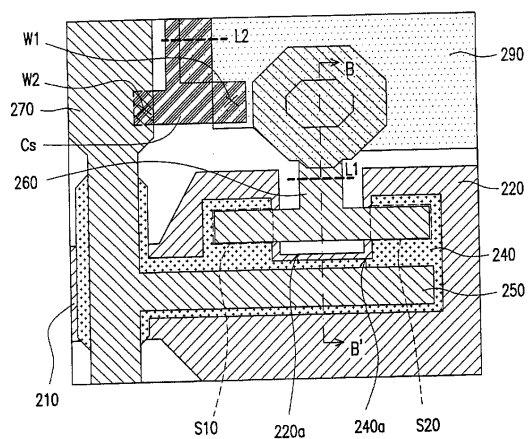
【 ㊦ 1 A 】



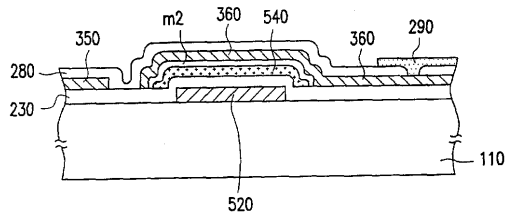
【 叉 1 B 】



【 図 2 A 】



【図 5 B】



フロントページの続き

- (72)発明者 柳 智忠
台湾彰化縣社頭▲郷▼舊社村南勢巷2號之4
- (72)発明者 戴 孟杰
台湾宜蘭縣羅東鎮杏林街19號

審査官 奥田 雄介

- (56)参考文献 特開平03-121422(JP,A)
特開2002-057347(JP,A)
特開平10-260429(JP,A)
特開昭62-268161(JP,A)
特開2005-57232(JP,A)
特開2000-12869(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1368

专利名称(译)	像素结构及其修复方法		
公开(公告)号	JP4642700B2	公开(公告)日	2011-03-02
申请号	JP2006147194	申请日	2006-05-26
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
当前申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
[标]发明人	王明宗 張明シヤン 柳智忠 戴孟杰		
发明人	王 明宗 張 明▲シヤン▼ 柳 智忠 戴 孟杰		
IPC分类号	G02F1/1368 G02F1/13		
CPC分类号	G02F1/1343 G02F1/136259 G02F2201/508		
FI分类号	G02F1/1368 G02F1/13.101 H01L29/78.617.K		
F-TERM分类号	2H088/FA07 2H088/FA14 2H088/HA08 2H088/MA16 2H092/JA26 2H092/JA38 2H092/JA42 2H092/JA47 2H092/JB69 2H092/JB73 2H092/MA27 2H092/MA47 2H092/NA01 2H092/NA29 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CB46 2H192/CC04 2H192/CC17 2H192/CC57 2H192/DA12 2H192/DA72 2H192/HB46 2H192/HB63 5F110/AA27 5F110/BB01 5F110/CC07 5F110/DD02 5F110/DD03 5F110/EE03 5F110/EE06 5F110/EE24 5F110/FF03 5F110/FF04 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG23 5F110/HK03 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HL02 5F110/HL07 5F110/NN02 5F110/NN22 5F110/NN24 5F110/NN72		
代理人(译)	村山彦 渡边 隆		
优先权	11/308553 2006-04-06 US		
其他公开文献	JP2007279648A		
外部链接	Espacenet		

摘要(译)

提供像素结构。像素结构包括扫描线，栅极，第一介电层，沟道层，源极，漏极，数据线，第二介电层和像素电极。栅极电连接到扫描线并具有第一凹口。第一介电层覆盖扫描线和栅极。沟道层设置在栅极上方的第一介电层上并且由第一凹槽暴露。源极和漏极设置在沟道层上。漏极的一部分位于第一凹口之上。数据线设置在第一介电层上并电连接到源极。第二介电层覆盖源极，漏极和数据线。像素电极设置在第二介电层上并电连接到漏极。

【 図 1 A 】

