

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4630570号
(P4630570)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/133 (2006.01)

GO2F 1/1345 (2006.01)

GO2F 1/1368 (2006.01)

HO1L 29/786 (2006.01)

GO2F 1/1343

GO2F 1/133 505

GO2F 1/133 550

GO2F 1/1345

GO2F 1/1368

請求項の数 12 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2004-137754 (P2004-137754)	(73) 特許権者	390019839
(22) 出願日	平成16年5月6日(2004.5.6)		三星電子株式会社
(65) 公開番号	特開2004-334216 (P2004-334216A)		SAMSUNG ELECTRONICS
(43) 公開日	平成16年11月25日(2004.11.25)		CO., LTD.
審査請求日	平成19年5月1日(2007.5.1)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2003-028650		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成15年5月6日(2003.5.6)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
		(74) 代理人	100094145
			弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1ゲートラインと、前記第1ゲートラインと隣接した第2ゲートライン及び第1データラインに連結された第1画素と、前記第1ゲートラインと前記第1データラインに連結された第2画素と、前記第1データラインと隣接する第2データラインと前記第1ゲートラインに連結された第3画素と、を含み、前記第2データラインは第2画素と第3画素との間に形成され、前記第1データラインは前記第1画素及び前記第2画素に共通に連結され、前記第2データラインは前記第3画素のみに連結される、多数の画素群が具備された表示パネルと、

前記第1ゲートラインに第1ゲート駆動信号を提供するための第1ゲート駆動部と、
前記第2ゲートラインに第2ゲート駆動信号を提供するための第2ゲート駆動部と、
映像信号を発生して前記第1データライン及び第2データラインに提供するためのデータ駆動部と、
を含むことを特徴とする表示装置。

【請求項 2】

前記第1画素は、
第1画素電極と、
前記第2ゲートラインに連結されたゲート電極、前記第1データラインに連結されたソース電極、及びドレーン電極を有する第1トランジスタと、
前記第1ゲートラインに連結されたゲート電極、前記第1トランジスタのドレーン電極

10

20

に連結されたソース電極、及び前記第 1 画素電極と結合されたドレーン電極を有する第 2 トランジスタと、

を含むことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記第 1 ゲート駆動信号は、前記第 1 ゲートラインに連結された以前端の前記第 1 画素及び第 2 画素を駆動するための第 1 区間、前記第 1 ゲートラインに連結された現在端の前記第 1 画素乃至第 3 画素を駆動するための第 2 区間を有し、

前記第 2 ゲート駆動信号は、前記第 2 ゲートラインに連結された以前端の前記第 1 画素及び第 2 画素を駆動するための第 3 区間、及び前記第 2 ゲートラインに連結された現在端の前記第 1 画素乃至第 3 画素を駆動するための第 4 区間を有することを特徴とする請求項 2 記載の表示装置。

10

【請求項 4】

前記第 2 画素は、

第 2 画素電極と、

前記第 1 ゲートラインに連結されたゲート電極、前記第 1 データラインに連結されたソース電極、及びドレーン電極を有する第 3 トランジスタと、

前記第 1 ゲートラインに連結されたゲート電極、前記第 3 トランジスタのドレーン電極に連結されたソース電極、及び前記第 2 画素電極と結合されたドレーン電極を有する第 4 トランジスタと、を含むことを特徴とする請求項 2 記載の表示装置。

20

【請求項 5】

前記第 1 区間及び第 3 区間は、前記第 1 トランジスタをターンオンさせて前記第 1 画素電極に前記映像信号を出力するための第 5 区間、及び前記第 1 トランジスタをターンオフさせて前記第 2 画素電極に前記映像信号を出力するための第 6 区間で構成されることを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記第 3 画素は、

第 3 画素電極と、

前記第 1 ゲートラインに連結されたゲート電極、前記第 2 データラインに連結されたソース電極、及びドレーン電極を有する第 5 トランジスタと、

前記第 1 ゲートラインに連結されたゲート電極、前記第 5 トランジスタのドレーン電極に連結されたソース電極、及び前記第 3 画素電極と結合されたドレーン電極を有する第 6 トランジスタと、

30

を含むことを特徴とする請求項 2 記載の表示装置。

【請求項 7】

前記表示パネルは、前記第 1 画素乃至第 3 画素にそれぞれ対応する R (R e d)、G (G r e e n)、B (B l u e) 色画素を更に含むことを特徴とする請求項 1 記載の表示装置。

【請求項 8】

前記第 1 ゲート駆動部は、

第 1 クロック信号の入力を受けるクロック信号端子と、前記第 1 クロック信号を前記第 1 ゲート駆動信号として出力する第 1 出力端子と、前記第 1 クロック信号を第 1 ステージ駆動信号として出力する第 2 出力端子と、以前端の第 2 出力端子から出力された前記第 1 ステージ駆動信号の入力を受ける入力端子と、次端の第 2 出力端子から出力された前記第 1 ステージ駆動信号の入力を受ける制御端子と、を含んで構成された各ステージが従属的に連結された複数のシフトレジスタから構成されることを特徴とする請求項 1 記載の表示装置。

40

【請求項 9】

前記第 2 ゲート駆動部は、

第 2 クロック信号の入力を受けるクロック信号端子と、前記第 2 クロック信号を前記第 1 ゲート駆動信号として出力する第 1 出力端子と、前記第 2 クロック信号を第 2 ステージ

50

駆動信号として出力する第 2 出力端子と、以前端の第 2 出力端子から出力された前記第 2 ステージ駆動信号の入力を受ける入力端子と、次端の第 2 出力端子から出力された前記第 1 ステージ駆動信号の入力を受ける制御端子と、を含んで構成された各ステージが従属的に連結された複数のシフトレジスタで構成されることを特徴とする請求項 1 記載の表示装置。

【請求項 10】

前記第 1 ゲート駆動部は、

前記第 1 出力端子に、前記 1 クロック信号を前記第 1 ゲート駆動信号として出力するための第 1 プルアップ手段と、

前記第 2 出力端子に、前記第 1 クロック信号を前記第 1 ステージ駆動信号として出力するための第 2 プルアップ手段と、をさらに具備し、

前記第 2 プルアップ手段を構成するトランジスタのチャネル幅は、前記第 1 プルアップ手段を構成するトランジスタのチャネル幅よりも小さい請求項 8 に記載の表示装置。

10

【請求項 11】

前記第 2 ゲート駆動部は、

前記第 1 出力端子に、前記第 2 クロック信号を前記第 2 ゲート駆動信号として出力するための第 1 プルアップ手段と、

前記第 2 出力端子に、前記第 2 クロック信号を前記第 2 ステージ駆動信号として出力するための第 2 プルアップ手段と、をさらに具備し、

前記第 2 プルアップ手段を構成するトランジスタのチャネル幅は、前記第 1 プルアップ手段を構成するトランジスタのチャネル幅よりも小さい請求項 9 に記載の表示装置。

20

【請求項 12】

前記表示パネルは、表示領域と、

前記表示領域の周辺に形成された第 1、第 2 及び第 3 周辺領域と、を含み、

前記第 1 ゲート駆動部は前記第 1 周辺領域に集積されて形成され、

前記第 2 ゲート駆動部は前記第 2 周辺領域に集積されて形成されることを特徴とする請求項 1 記載の表示装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は表示装置に関し、より詳細には表示特性を向上させることができ、データラインの数を減少させることができる表示装置に関する。

【背景技術】

【0002】

一般に、液晶表示装置は映像を表示するための液晶表示パネルを具備する。液晶表示パネルは、表示領域と、表示領域の周辺に形成された第 1 乃至第 3 周辺領域とで構成される。表示領域には、第 1 方向に延伸された複数のゲートラインと、第 1 方向と直交する第 2 方向に延伸された複数のデータラインと、が具備される。それぞれのゲートライン及びデータラインには薄膜トランジスタが連結される。

40

【0003】

最近、液晶表示パネルのサイズが漸次増加することにより、表示領域に形成されるデータライン及びゲートラインの数も漸次増加される。このように、ゲートラインの数が増加することにより、液晶表示装置の前記第 1 及び第 2 周辺領域にそれぞれ第 1 及び第 2 ゲート駆動部を具備する構造が採用されている。即ち、前記第 1 ゲート駆動部は複数のゲートラインのうち奇数番目ゲートラインに第 1 ゲート駆動信号を順次出力し、前記第 2 ゲート駆動部は複数のゲートラインのうち偶数番目のゲートラインに第 2 ゲート駆動信号を順次出力する。

このように、液晶表示装置は、前記複数のゲートラインを駆動するために第 1 及び第 2 ゲート駆動部を第 1 及び第 2 周辺領域にそれぞれ設けることで、ゲートラインに印加され

50

る信号が遅延する現象を防止することができる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

一方、第3周辺領域には、複数のデータラインに映像信号を出力するためのデータ駆動チップが実装される。このとき、前記データ駆動チップに連結された複数のデータラインの数が増加されるに従い、前記データ駆動チップに掛かる負荷が増加して映像信号が遅延する現象が発生する。このような信号遅延現象は、液晶表示装置の表示特性を低下させる要因として作用する。

【0005】

従って、本発明は表示特性を向上させるための表示装置を提供する。

【課題を解決するための手段】

【0006】

本発明による表示装置は第1ゲートライン、前記第1ゲートラインと隣接する第2ゲートライン及び第1データラインに連結された第1画素、前記第1ゲートラインと前記第1データラインに連結された第2画素及び前記第1データラインと隣接する第2データラインと前記第1ゲートラインに連結された第3画素を含み、前記第2データラインは第2画素と第3画素との間に形成され、前記第1データラインは前記第1画素及び前記第2画素に共通に連結され、前記第2データラインは前記第3画素のみに連結される、複数の画素群が具備された表示パネルを含む。

【0007】

第1ゲート駆動部は前記第1ゲートラインに第1ゲート駆動信号を出力し、第2ゲート駆動部は前記第2ゲートラインに第2ゲート駆動信号を出力する。データ駆動部は映像信号を発生して前記第1及び第2データラインに提供する。

【0008】

このような表示装置によると、前記表示パネルには複数の画素群が具備され、前記複数の画素群はR、G、B色画素パターン通りに反復できるように第1乃至第3画素からなる。また、前記第1及び第2画素は一つのデータラインに共通的に連結される。従って、表示装置の表示特性を向上させるだけでなく、表示パネルに形成されたデータラインの数を減少させることができる。

【0009】

前記第1画素は、以下の要素を含むことが好ましい。

- ・第1画素電極、
- ・前記第2ゲートラインに連結されたゲート電極、前記第1データラインに連結されたソース電極、及びドレイン電極を有する第1トランジスタ、
- ・前記第1ゲートラインに連結されたゲート電極、前記第1トランジスタのドレイン電極に連結されたソース電極、及び前記第1画素電極と結合されたドレイン電極を有する第2トランジスタ。

【0010】

前記第1ゲート駆動信号は、前記第1ゲートラインに連結された以前端の前記第1画素及び第2画素を駆動するための第1区間、前記第1ゲートラインに連結された現在端の前記第1画素乃至第3画素を駆動するための第2区間を有していることが好適である。同様に、前記第2ゲート駆動信号は、前記第2ゲートラインに連結された以前端の前記第1画素及び第2画素を駆動するための第3区間、及び前記第2ゲートラインに連結された現在端の前記第1画素乃至第3画素を駆動するための第4区間を有することが好適である。

【0011】

前記第2画素は、以下の要素を含むことが好ましい。

- ・第2画素電極、
- ・前記第1ゲートラインに連結されたゲート電極、前記第1データラインに連結されたソース電極、及びドレイン電極を有する第3トランジスタ、

・前記第 1 ゲートラインに連結されたゲート電極、前記第 3 トランジスタのドレーン電極に連結されたソース電極、及び前記第 2 画素電極と結合されたドレーン電極を有する第 4 トランジスタ。

【 0 0 1 2 】

前記第 1 区間及び第 3 区間は、前記第 1 トランジスタをターンオンさせて前記第 1 画素電極に前記映像信号を出力するための第 5 区間、及び前記第 1 トランジスタをターンオフさせて前記第 2 画素電極に前記映像信号を出力するための第 6 区間で構成されることが好適である。

【 0 0 1 3 】

前記第 3 画素は、以下の要素を含むことが好ましい。

10

- ・第 3 画素電極、
- ・前記第 1 ゲートラインに連結されたゲート電極、前記第 2 データラインに連結されたソース電極、及びドレーン電極を有する第 5 トランジスタ、
- ・前記第 1 ゲートラインに連結されたゲート電極、前記第 5 トランジスタのドレーン電極に連結されたソース電極、及び前記第 3 画素電極と結合されたドレーン電極を有する第 6 トランジスタ。

【 0 0 1 4 】

前記表示パネルは、前記第 1 画素乃至第 3 画素にそれぞれ対応する R (R e d)、G (G r e e n)、B (B l u e) 色画素を更に含むことが好適である。

【 0 0 1 5 】

20

前記第 1 ゲート駆動部は、好ましくは以下の要素を含んで構成された複数のステージが従属的に連結されたシフトレジストで構成される。

- ・第 1 クロック信号の入力を受けるクロック信号端子、
- ・前記第 1 クロック信号を前記第 1 ゲート駆動信号として出力する第 1 出力端子、
- ・前記第 1 クロック信号を第 1 ステージ駆動信号として出力する第 2 出力端子、
- ・以前端の第 2 出力端子から出力された前記第 1 ステージ駆動信号の入力を受ける入力端子、
- ・次端の第 2 出力端子から出力された前記第 1 ステージ駆動信号の入力を受ける制御端子。

ここで、各ステージが従属的に連結された複数個のシフトレジストから構成される。

30

【 0 0 1 6 】

同様に、前記第 2 ゲート駆動部は、以下の要素を含む各ステージが従属的に連結された複数個のシフトレジストことが好ましい。

- ・第 2 クロック信号の入力を受けるクロック信号端子、
- ・前記第 2 クロック信号を第 2 ステージ駆動信号として出力する第 2 出力端子、
- ・前記第 1 クロック信号を第 1 ステージ駆動信号として出力する第 2 出力端子、
- ・以前端の第 2 出力端子から出力された前記第 2 ステージ駆動信号の入力を受ける入力端子、
- ・次端の第 2 出力端子から出力された前記第 1 ステージ駆動信号の入力を受ける制御端子。

40

ここで、前記第 1 ゲート駆動部は、

前記第 1 出力端子に、前記 1 クロック信号を前記第 1 ゲート駆動信号として出力するための第 1 ブルアップ手段と、

前記第 2 出力端子に、前記第 1 クロック信号を前記第 1 ステージ駆動信号として出力するための第 2 ブルアップ手段と、をさらに具備し、

前記第 2 ブルアップ手段を構成するトランジスタのチャネル幅は、前記第 1 ブルアップ手段を構成するトランジスタのチャネル幅よりも小さい。

ここで、前記第 2 ゲート駆動部は、

前記第 1 出力端子に、前記第 2 クロック信号を前記第 2 ゲート駆動信号として出力するための第 1 ブルアップ手段と、

50

前記第 2 出力端子に、前記第 2 クロック信号を前記第 2 ステージ駆動信号として出力するための第 2 ブルアップ手段と、をさらに具備し、

前記第 2 ブルアップ手段を構成するトランジスタのチャネル幅は、
前記第 1 ブルアップ手段を構成するトランジスタのチャネル幅よりも小さい。

【 0 0 1 7 】

前記表示パネルは、表示領域と、前記表示領域の周辺に形成された第 1、第 2 及び第 3 周辺領域と、を含んでいるとよい。このとき、前記第 1 ゲート駆動部は前記第 1 周辺領域に集積されて形成され、前記第 2 ゲート駆動部は前記第 2 周辺領域に集積されて形成されることが好ましい。

【発明を実施するための最良の形態】

10

【 0 0 1 8 】

以下、図面を参照して本発明の望ましい一実施例をより詳細に説明する。

【 0 0 1 9 】

図 1 は本発明の一実施例による液晶表示装置を示す平面図である。

【 0 0 2 0 】

図 1 に示すように、本発明の一実施例による液晶表示装置 6 0 0 は映像を表示するための表示領域 D A、前記表示領域 D A の周辺に形成された第 1 乃至第 3 周辺領域 P A 1、P A 2、P A 3 を有する液晶表示パネル 1 0 0 を含む。第 1 ゲート駆動部 2 0 0 は前記第 1 周辺領域 P A 1 に具備され、第 2 ゲート駆動部 3 0 0 は前記第 2 周辺領域 P A 2 に具備される。一方、前記第 3 周辺領域 P A 3 には統合チップ 4 0 0 が実装される。

20

【 0 0 2 1 】

前記液晶表示パネル 1 0 0 の前記第 3 周辺領域 P A 3 にはフレキシブル回路基板 5 0 0 が付着されている。前記フレキシブル回路基板 5 0 0 は、前記液晶表示パネル 1 0 0 の外部に具備される装置から各種信号の入力を受けて前記統合チップ 4 0 0 に提供する。前記統合チップ 4 0 0 は前記各種信号を変換して前記第 1 及び第 2 ゲート駆動部 2 0 0、3 0 0 の駆動を制御するための第 1 及び第 2 制御信号 G C 1、G C 2 を出力する。前記第 1 ゲート駆動部 2 0 0 は、前記第 1 制御信号 G C 1 により駆動され、前記表示領域 D A に複数の第 1 ゲート駆動信号を出力する。前記第 2 ゲート駆動部 3 0 0 は、前記第 2 制御信号 G C 2 によって駆動され、前記表示領域 D A に複数の第 2 ゲート駆動信号を出力する。また、前記統合チップ 4 0 0 は前記表示領域 D A に映像信号を出力する。

30

図 2 は図 1 に示された表示領域の内部構成を具体的に示す図面である。図 3 は図 1 に示された第 1 及び第 2 ゲート駆動部の内部構成を具体的に示す図面である。図 4 は図 2 に示された表示領域の構成を具体的に示すレイアウト図面である。表示領域 D A には複数の画素群 P G 1、P G 2、P G 3、P G 4、P G 5、P G 6・・・が形成される。ここで、前記複数の画素群 P G 1、P G 2、P G 3、P G 4、P G 5、P G 6・・・のそれぞれは同一の構造を有する。従って、前記複数の画素群 P G 1、P G 2、P G 3、P G 4、P G 5、P G 6・・・のうちの一つである第 1 画素群 P G 1 に対して説明することで、複数の画素群 P G 1、P G 2、P G 3、P G 4、P G 5、P G 6・・・に対する説明に代る。

図 2 及び図 4 に示すように、第 1 画素群 P G 1 は第 1 及び第 2 ゲートライン (G 1、G 2)、第 1 及び第 2 データライン (D 1、D 2)、第 1 乃至第 3 画素 (P 1、P 2、P 3) を含む。前記第 1 ゲートライン G 1 は第 1 方向 A 1 に延伸され、前記第 2 ゲートライン G 2 は前記第 1 ゲートライン G 1 と絶縁された状態で前記第 1 方向 A 1 に延伸される。前記第 1 データライン D 1 は前記第 1 方向 A 1 と直交する第 2 方向 A 2 に延伸され、前記第 2 データライン D 2 は前記第 1 データライン D 1 と絶縁された状態で前記第 2 方向 A 2 に延伸される。

40

前記第 1 乃至第 3 画素 P 1 ~ P 3 はレッド、グリーン、ブルー色画素にそれぞれ対応する。前記第 1 画素 P 1 は、前記第 1 データライン D 1、前記第 1 及び第 2 ゲートライン G 1、G 2 に連結されている。前記第 2 画素 P 2 は、前記第 1 ゲートライン G 1 及び第 1 データライン D 1 に連結されている。前記第 3 画素 P 3 は、前記第 1 ゲートライン G 1 及び第 2 データライン D 2 に連結される。

50

【 0 0 2 2 】

前記第 1 画素 P 1 は、第 1 薄膜トランジスタ（以下、T F T と称する）（T r 1）、第 2 T F T（T r 2）及び第 1 画素電極 P E 1 で構成される。前記第 2 T F T（T r 2）は、前記第 2 ゲートライン G 2 に連結されたゲート電極、前記第 1 データライン D 1 に連結されたソース電極及び前記第 1 T F T（T r 1）に連結されたドレーン電極を有する。また、前記第 1 T F T（T r 1）は、前記第 1 ゲートライン G 1 に連結されたゲート電極、前記第 2 T F T（T r 2）のドレーン電極と連結されたソース電極及び前記第 1 画素電極 P E 1 に結合されたドレーン電極を有する。

一方、前記第 2 画素 P 2 は、第 3 T F T（T r 3）、第 4 T F T（T r 4）及び第 2 画素電極 P E 2 で構成される。前記第 3 T F T（T r 3）は、前記第 1 ゲートライン G 1 に連結されたゲート電極、前記第 1 データライン D 1 に連結されたソース電極及び前記第 4 T F T（T r 4）に連結されたドレーン電極を有する。また、前記第 4 T F T（T r 4）は、前記第 1 ゲートライン G 1 に連結されたゲート電極、前記第 3 T F T（T r 3）のドレーン電極に連結されたソース電極及び前記第 2 画素電極 P E 2 に結合されたドレーン電極を有する。

【 0 0 2 3 】

前記第 3 画素 P 3 は、第 5 T F T（T r 5）、第 6 T F T（T r 6）及び第 3 画素電極 P E 3 で構成される。前記第 5 T F T（T r 5）は、前記第 1 ゲートライン G 1 に連結されたゲート電極、前記第 2 データライン D 2 に連結されたソース電極及び前記第 6 T F T（T r 6）に連結されたドレーン電極を有する。また、前記第 6 T F T（T r 6）は、前記第 1 ゲートライン G 1 に連結されたゲート電極、前記第 5 T F T（T r 5）のドレーン電極に連結されたソース電極及び前記第 3 画素電極 P E 3 に結合されたドレーン電極を有する。

前述した構造を有する第 1 画素群 P G 1 が前記表示領域 D A 内に複数で形成されることで、前記表示領域 D A には複数のゲートライン及び複数のデータラインが具備される。しかし、前記第 1 画素群 P G 1 が含む第 1 乃至第 3 画素 P 1 ~ P 3 それぞれに前記データラインが連結される従来の技術とは違って、図 2 に提示された本発明の一実施例では前記第 1 及び第 2 画素 P 1、P 2 に前記第 1 データライン D 1 が共通的に連結される。従って、前記第 1 画素群 P G 1 内には 2 つのデータラインが具備される。それによって、前記表示領域 D A 内に具備される全体的な複数のデータラインの数を節減することができる。

図 3 に示すように、第 1 ゲート駆動部 2 0 0 は、前記表示領域 D A 内に具備される複数のゲートラインのうち奇数番目ゲートライン G 1、G 3、G 5、G 7 の第 1 端部に連結されて複数の第 1 ゲート駆動信号を提供する。第 2 ゲート駆動部 3 0 0 は、前記複数のゲートラインのうち偶数番目ゲートライン G 2、G 4、G 6 の第 2 端部に連結されて複数の第 2 ゲート駆動信号を提供する。

【 0 0 2 4 】

前記第 1 ゲート駆動部 2 0 0 は、互いに従属的に連結された複数のステージ S R C O 1 ~ S R C O 4 で構成された第 1 シフトレジスタを含む。前記第 1 シフトレジスタの各ステージは、入力端子 I N、第 1 出力端子 S O U T、第 2 出力端子 S O U T、制御端子 C T、第 1 クロック信号端子 C K 1、駆動電源電圧端子 V D D、アース電圧端子 V S S を具備する。

前記第 1 出力端子 G O U T は、前記奇数番目ゲートライン G 1、G 3、G 5、G 7 . . . の第 1 端部に連結されて前記奇数番目ゲートライン G 1、G 3、G 5、G 7 . . . に順次前記複数の第 1 ゲート駆動信号を出力する。前記第 2 出力端子 S O U T は、以前ステージの制御端子 C T 及び次ステージの入力端子 I N にそれぞれ連結され、前記第 1 ゲート駆動信号と同一の位相を有する第 1 ステージの駆動信号を出力する。一方、前記複数のステージのうち一番目のステージ S R C O 1 の入力端子 I N には第 1 開示信号 S T O が提供される。

【 0 0 2 5 】

前記第 1 クロック信号端子 C K 1 には、第 1 クロック信号 C K O または前記第 1 クロ

10

20

30

40

50

ク信号CKOと異なる位相を有する第2クロック信号CKBOが提供される。例えば、第2クロック信号CKBOは、第1クロック信号CKOと反転された位相を有する。即ち、前記第1クロック信号CKOは前記複数のステージのうち偶数番目ステージSRCO2、SRCO4に提供され、前記第2クロック信号CKBOは前記複数のステージのうち奇数番目ステージSRCO1、SRCO3に提供される。前記駆動電圧端子VDD及びアース電圧端子VSSにはそれぞれ駆動電圧及びアース電圧が提供される。

前記第2ゲート駆動部300は、互いに従属的に連結された複数のステージSRCE1～SRCE4で構成された第2シフトレジスタを含む。前記第2シフトレジスタの各ステージは、入力端子IN、第1出力端子GOUT、第2出力端子SOUT、制御端子CT、第2クロック信号端子CK2、駆動電源電圧端子VDD、アース電圧端子VSSを具備する。

10

前記第1出力端子GOUTは、前記偶数番目ゲートラインG2、G4、G6・・・の第2端部に連結され、前記偶数番目ゲートラインG2、G4、G6・・・に前記複数の第2ゲート駆動信号を順次出力する。前記第2出力端子SOUTは、以前ステージの制御端子CT及び次ステージの入力端子INにそれぞれ連結され、前記第2ゲート駆動信号と同一の位相を有する第2ステージ駆動信号を出力する。一方、前記複数のステージのうち一番目のステージSRCE1の入力端子には、第2開示信号STEが提供される。

【0026】

前記第2クロック信号端子CK2には、第3クロック信号CKEまたは前記第3クロック信号CKEと異なる位相を有する第4クロック信号が提供される。例えば、第4クロック信号CKBEは、第3クロック信号CKEと反転された位相を有する。即ち、前記第3クロック信号CKEは、前記複数のステージのうち奇数番目ステージSRCE1、SRCE3に提供され、前記第4クロック信号CKBEは、前記複数のステージのうち偶数番目ステージSRCE2、SRCE4に提供される。前記駆動電圧端子VDD及びアース電圧端子VSSにはそれぞれ前記駆動電圧及びアース電圧が提供される。

20

図5は、図3に提示された各ステージの内部構成を具体的に示す回路図である。但し、第1シフトレジスタの各ステージの内部構成を説明することで、これと類似する構成を有する第2シフトレジスタの各ステージの内部構成に対する説明を省略する。

【0027】

図3及び図5に示すように、各ステージは第1プルアップ部210、第2プルアップ部220、第1プルダウン部230、第2プルダウン部240、プルアップ駆動部250及びプルダウン駆動部260を含む。

30

【0028】

前記第1プルアップ部210は第1クロック信号端子CK1に提供される第1または第2クロック信号CKO、CKBOをゲート駆動信号として前記第1出力端子GOUTに出力し、前記第2プルアップ部220は前記第1クロック信号端子CK1に提供される第1または第2クロック信号CKO、CKBOをステージ駆動信号として前記第2出力端子SOUTに出力する。

前記第1プルアップ部210は、ゲート電極が第1ノードN1に連結され、ソース電極が前記第1クロック信号端子CK1に連結され、ドレイン電極が前記第1出力端子GOUTに連結された第1NMOSトランジスタT1で構成される。前記第2プルアップ部220は、ゲート電極が第1ノードN1に連結され、ソース電極が前記第1クロック信号端子CK1に連結され、ドレイン電極が前記第2出力端子SOUTに連結された第2NMOSトランジスタT2で構成される。

40

【0029】

例えば、前記第1及び第2NMOSトランジスタT1、T2のチャンネル長さは3.5μmで固定される。例えば、前記第1NMOSトランジスタT1のチャンネル幅は1110μmで、前記第2NMOSトランジスタT2のチャンネル幅は前記第1NMOSトランジスタT1のチャンネル幅より約1/10倍小さい100μmである。

前記第1プルダウン部230は第1プルアップ部210がターンオフされて前記第1出

50

力端子GOUTから出力される前記第1または第2クロック信号を放電させ、前記第2プルダウン部240は前記プルアップ部220がターンオフされた後にターンオンされて前記第2出力端子SOUTから出力される前記第1及び第2クロック信号CKO、CKBOを放電させる。

【0030】

前記第1プルダウン部230はゲート電極が第2ノードN2に連結され、ドレーン電極が前記第1出力端子GOUTに連結され、ソース電極がアース電圧端子VSSに連結された第3NMOSトランジスタT3で構成される。前記第2プルダウン部240はゲート電極が前記第2ノードN2に連結され、ドレーン電極が前記第2出力端子SOUTに連結され、ソース電極が前記アース電圧端子VSSに連結された第4NMOSトランジスタT4

10

で構成される。
例えば、前記第3及び第4NMOSトランジスタT3、T4のチャンネル長さは3.5μmで固定される。例えば、前記第3NMOSトランジスタT3のチャンネル幅は2035μmで、前記第4NMOSトランジスタT4のチャンネル幅は前記第3NMOSトランジスタT3のチャンネル幅より約1/20倍小さい100μmである。

【0031】

前記プルアップ駆動部250第5乃至第7NMOSトランジスタT5、T6、T7で構成されて前記第1及び第2プルアップ部351、352はターンオンさせるように制御する。

【0032】

20

前記第5NMOSトランジスタT5は、ゲート電極が前記入力端子INに連結され、ドレーン電極が駆動電圧端子VDDに連結され、ソース電極が第1ノードN1に連結される。前記第6NMOSトランジスタT6は、前記ゲート電極とドレーン電極が前記駆動電圧端子VDDに連結され、ソース電極が第3ノードN3に連結される。前記第7NMOSトランジスタT7はゲート電極が前記第1ノードN1に連結され、ドレーン電極が第3ノードN3に連結され、ソース電極がアース電圧端子VSSに連結される。

例えば、前記第5乃至第7NMOSトランジスタT5~T7のチャンネル長さは3.5μmで同一である。例えば、前記第5NMOSトランジスタT5のチャンネル幅は300μmであり、前記第6及び第7NMOSトランジスタT6、T7のチャンネル幅は50μmで互いに同一である。

30

【0033】

前記プルダウン駆動部260は、第8及び第12NMOSトランジスタT8、T9、T10、T11、T12で構成されて前記第1及び第2プルアップ部210、220をターンオフさせ前記第1及び第2プルダウン部230、240をターンオンさせるように制御する。

【0034】

前記第8NMOSトランジスタT8はゲート電極が前記第3ノードN3に連結され、ドレーン電極が前記駆動電圧端子VDDに連結され、ソース電極が前記第2ノードN2に連結される。前記第9NMOSトランジスタT9はゲート電極が前記第1ノードN1に連結され、ドレーン電極が前記第2ノードN2に連結され、ソース電極が前記アース電圧端子VSSに連結される。前記第10NMOSトランジスタT10はゲート電極が前記入力端子INに連結され、ドレーン電極が前記第2ノードN2に連結され、ソース電極が前記アース電圧端子VSSに連結される。

40

前記第11NMOSトランジスタT11はゲート電極が前記第2ノードN2に連結され、ドレーン電極が前記第1ノードN1に連結され、ソース電極が前記アース電圧端子VSSに連結される。前記第12NMOSトランジスタT12は、ゲート電極が前記制御端子CTに連結され、ドレーン電極が前記第1ノードN1に連結され、ソース電極が前記アース電圧端子VSSに連結される。

【0035】

例えば、前記第8乃至第12NMOSトランジスタT8~T12のチャンネル長さは3

50

、5 μm で互いに同一である。例えば、前記第8及び第10 NMOSトランジスタ(T8、T10)のチャンネル幅は100 μm で互いに同一で、前記第9 NMOSトランジスタT9のチャンネル幅は150 μm である。また、前記第11 NMOSトランジスタT11のチャンネル幅は100 μm で、前記第12 NMOSトランジスタT12のチャンネル幅は150 μm である。

【0036】

前記入力端子INに、以前ステージの第2出力端子SOUTから出力された第1ステージ駆動信号が提供されると、前記第5 NMOSトランジスタT5がターンオンされて前記第1ノードN1の電位が漸次上昇する。前記第1ノードN1の電位が上昇されることにより、前記第1 NMOSトランジスタT1及び第2 NMOSトランジスタT2がターンオンされて前記第1及び第2出力端子GOUT、SOUTには、第1ゲート駆動信号及び第1ステージ駆動信号がそれぞれ出力される。

10

一方、前記第6 NMOSトランジスタT6は、常にターンオン状態を維持している状態で、前記第1ノードN1の電位が上昇されることにより、前記第7 NMOSトランジスタT7がターンオンされると、前記第3ノードN3の電位が下落される。

【0037】

前記第3ノードN3の電位が下落されることにより、前記第8 NMOSトランジスタT8は、ターンオフ状態を維持する。従って、前記第2ノードN2には、前記駆動電圧VDDが提供されない。又、前記第9 NMOSトランジスタT9は、前記第1ノードN1の電位が上昇する時にターンオンされて、前記第2ノードN2の電位を前記アース電圧VSSに維持させることにより、前記第3及び第4 NMOSトランジスタT3、T4をターンオフさせる。

20

【0038】

以後、前記制御端子CTを通じて次端のステージの第2出力端子SOUTから出力された第1ステージ駆動信号が提供されると、前記第2 NMOSトランジスタT12がターンオンされて、前記第1ノードN1の電位を前記アース電圧VSSに放電させる。前記第1ノードN1の電位が下落することにより、前記第7及び第9 NMOSトランジスタT7、T9がターンオフされる。

【0039】

従って、前記第2ノードN2の電位が漸次上昇され、これにより、前記第3及び第4 NMOSトランジスタT3、T4がターンオンされて、前記第1及び第2出力端子GOUT、SOUTから出力された前記第1ゲート駆動信号をアース電圧VSSに放電させる。

30

【0040】

この際、前記第10及び第11 NMOSトランジスタT10、T11は、前記第2ノードN2の電位が上昇されるにつれターンオンさせることにより、前記第1ノードN1の電位を早く放電させる。このような過程を繰り返しながら、前記各ステージは、所定の区間の間、ハイ状態を維持する第1ゲート駆動信号及び第1ステージ駆動信号を出力する。

図6は、図3に図示された第1及び第2ゲート駆動部の出力波形図である。

【0041】

図2乃至図6を参照すると、第1ゲート駆動部200の各ステージのうち、一番目ステージSRCO1の入力端子INに第1開示信号STOが提供されると、前記各ステージSRCO1～SRCO4には、第1又は第2クロック信号CKO、CKBO、駆動電圧VDD、及びアース電圧VSSが印加される。

40

【0042】

従って、前記入力端子INに、前記第1開示信号STOが提供された後に、前記一番目ステージSRCO1がターンオンされながら、前記一番目ステージSRCO1の第1及び第2出力端子GOUT、SOUTには、前記第1クロック信号CKOが出力される。前記第1クロック信号CKOは、第1ゲートラインG1に第1ゲート駆動信号として印加される。

【0043】

50

その後、前記一番目ステージ S R C O 1 がターンオフされる時点で、二番目ステージ S R C O 2 がターンオンされて、前記二番目ステージ S R C O 2 の第 1 及び第 2 出力端子 G O U T、S O U T では、前記第 2 クロック信号 C K B O が出力される。前記第 2 クロック信号 C K B O は、第 3 ゲートライン G 3 に前記第 1 ゲート駆動信号として印加される。

【 0 0 4 4 】

次に、前記二番目ステージ S R C O 2 がターンオフされる時点で三番目ステージ S R C O 3 がターンオンされて、前記三番目ステージ S R C O 3 の第 1 及び第 2 出力端子 G O U T、S O U T では、前記第 1 クロック信号 C K O が出力される。前記第 1 クロック信号 C K O は、第 5 ゲートライン G 5 に前記第 1 ゲート駆動信号として印加される。

従って、前記第 1 ゲート駆動部 2 0 0 は、多数のゲートラインのうち、奇数番目ゲートライン G 1、G 3、G 5 に順次前記第 1 ゲート駆動信号を出力することができる。

【 0 0 4 5 】

一方、第 2 ゲート駆動部 3 0 0 の各ステージのうち、一番目ステージ S R C E 1 の入力端子 I N に第 2 開示信号 S T E が提供されると、前記各ステージ S R C E 1 ~ S R C E 4 には、第 3 又は第 4 クロック信号 C K E、C K B E、駆動電圧 V D D、及びアース電圧 V S S が印加される。

【 0 0 4 6 】

従って、前記入力端子 I N に前記第 2 開示信号 S T E が提供された以後に、前記一番目ステージ S R C E 1 がターンオンされながら、前記一番目ステージ S R C E 1 の第 1 及び第 2 出力端子 G O U T、S O U T には、前記第 3 クロック信号 C K E が出力される。前記第 3 クロック信号 C K E は、第 2 ゲートライン G 2 に第 2 ゲート駆動信号として提供される。

【 0 0 4 7 】

その後、前記一番目ステージ S R C E 1 がターンオフされる時点で、二番目ステージ S R C E 2 がターンオンされ、前記二番目ステージ S R C E 2 の第 1 及び第 2 出力端子 G O U T、S O U T では、前記第 4 クロック信号 C K B E が出力される。前記第 4 クロック信号 C K B E は、第 4 ゲートライン G 4 に前記第 2 ゲート駆動信号として提供される。

【 0 0 4 8 】

次に、前記二番目ステージ S R C E 2 がターンオフされる時点で三番目ステージ S R C E 3 がターンオンされ、前記三番目ステージ S R C E 3 の第 1 及び第 2 出力端子 G O U T、S O U T では、前記第 3 クロック信号 C K E が出力される。前記第 3 クロック信号 C K E は、前記第 6 ゲートライン G 6 に前記第 2 ゲート駆動信号として提供される。

【 0 0 4 9 】

従って、前記第 2 ゲート駆動部 3 0 0 は、多数のゲートラインのうち、偶数番目ゲートライン G 2、G 4、G 6 に順次前記第 2 ゲート駆動信号を出力することができる。

ここで、前記第 3 クロック信号 C K E は、前記第 1 クロック信号 C K O より 1 / 4 周期だけ遅延された位相を有し、前記第 4 クロック信号 C K B E は、前記第 2 クロック信号 C K B O より 1 / 4 周期だけ遅延された位相を有する。従って、前記奇数番目ゲートライン G 1、G 3、G 5 に印加される前記第 1 ゲート駆動信号も、前記偶数番目ゲートライン G 2、G 4、G 6 に印加される前記第 2 ゲート駆動信号と 1 / 4 周期だけ位相差が発生する。即ち、第 2 ゲートライン G 2 に印加される前記第 2 ゲート駆動信号が第 1 ゲートライン G 1 に印加される前記第 1 ゲート駆動信号より 1 / 4 周期だけ遅延される。

【 0 0 5 0 】

前記第 1 画素 P 1 は、前記第 1 ゲートライン G 1 に連結された第 1 T F T (T r 1)、第 2 ゲートライン G 2 に連結された第 2 T F T (T r 2)、第 1 データライン D 1 及び前記第 1 T F T (T r 1) に連結された第 1 画素電極 P E 1 で構成される。前記第 1 及び第 2 T F T (T r 1、T r 2) が共にターンオンされる時、前記第 1 データライン D 1 から出力された映像信号が前記第 1 画素電極 P E 1 に印加されることができる。この際、前記第 1 及び第 2 T F T (T r 1、T r 2) は、前記第 1 ゲートライン G 1 に印加された前記第 1 ゲート駆動信号と前記第 2 ゲートライン G 2 に印加される前記第 2 ゲート駆動信号と

がそれぞれハイ状態を維持する時にターンオンされる。

【 0 0 5 1 】

ここで、前記第 1 ゲート駆動信号は、前記奇数番目ゲートライン G 1、G 3、G 5 に連結された以前端の前記第 2 T F T (T r 2) を駆動するための第 1 区間 t 1、及び前記奇数番目ゲートライン G 1、G 3、G 5 に連結された現在端の前記第 1 T F T (T r 1) を駆動するための第 2 区間 t 2 を有して発生される。又、前記第 2 ゲート駆動信号は、前記第 2 ゲートライン G 2 に連結された以前端の前記第 2 T F T (T r 2) を駆動するための第 3 区間 t 3 及び前記第 2 ゲートライン G 2 に連結された現在端に前記第 1 T F T (T r 1) を駆動するための第 4 区間 t 4 を有して発生される。

図 6 に示したように、前記第 1 ゲート駆動信号と前記第 2 ゲート駆動信号は、前記第 2 区間 t 2 と前記第 3 区間 t 3 が、互いにオーバーラップされるように発生される。前述したように、前記第 1 ゲート駆動信号は、前記第 2 区間 t 2 で前記第 1 T F T (T r 1) をターンオンさせて、前記第 2 ゲート駆動信号は、前記第 3 区間 t 3 で前記第 2 T F T (T r 2) をターンオンさせる。従って、前記第 1 データライン D 1 から出力された映像信号は、前記第 1 及び第 2 T F T (T r 1、T r 2) を通過した後、前記第 1 画素電極 P E 1 に印加される。

【 0 0 5 2 】

前記第 2 区間 t 2 は、前記第 1 データライン D 1 が前記第 1 画素 P 1 の前記第 1 画素電極 P E 1 に映像信号を出力する第 5 区間 t 5、及び前記第 1 データライン D 1 が前記第 2 画素 P 2 の第 2 画素電極 P E 2 に映像信号を出力する第 6 区間 t 6 に区分される。即ち、前記第 5 区間 t 5 で前記第 1 T F T (T r 1) がターンオンされるが、前記第 6 区間 t 6 では、前記第 2 ゲート駆動信号によって前記第 1 T F T (T r 1) がターンオフ状態に変換される。従って、前記第 6 区間 t 6 で前記映像信号は、前記第 1 画素電極 P E 1 に提供されず、前記第 3 及び第 4 T F T (T r 3、T r 4) を通過した後、前記第 2 画素電極 P E 2 に提供される。

【 0 0 5 3 】

このように、前記第 1 データライン D 1 に前記第 1 及び第 2 画素 P 1、P 2 が共通的に連結されても、前記第 1 データライン D 1 は、与えられた時間内に前記第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 にそれぞれ映像信号を出力することができる。

【 0 0 5 4 】

これにより、前記奇数番目ゲートライン G 1、G 3、G 5 に連結された画素群と、偶数番目ゲートライン G 2、G 4、G 6 に連結された画素群が、互いに交互に駆動されることができる。

図 7 は、図 1 に図示された通合チップと、第 1 及び第 2 ゲート駆動部の連結関係を具体的に示した図であり、図 8 は、図 7 に図示された通合チップの内部ブロック図である。

【 0 0 5 5 】

図 7 を参照すると、表示領域 D A には多数の画素群が具備され、第 1 及び第 2 周辺領域 P A 1、P A 2 には第 1 及び第 2 ゲート駆動部 2 0 0、3 0 0 がそれぞれ具備され、第 3 周辺領域 P A 3 には通合チップ 4 0 0 が実装される。前記通合チップ 4 0 0 は、外部から各種信号の入力を受ける入力端子 I T、前記表示領域 D A に具備された多数のデータラインに映像信号を出力するためのチャンネル端子 C H、前記第 1 ゲート駆動部 2 0 0 に第 1 制御信号 G C 1 を出力する第 1 出力端子 O T 1、及び前記第 2 ゲート駆動部 3 0 0 に第 2 制御信号 G C 2 を出力する第 2 出力端子 O T 2 で構成される。

図 7 及び図 8 に示したように、前記通合チップ 4 0 0 は、タイミングコントローラ 4 1 0、メモリ部 4 2 0、ソース駆動部 4 3 0、共通電圧 V c o m 発生部 4 4 0、第 1 及び第 2 レベルシフト部 4 5 0、4 6 0 を含む。前記入力端子 I T を通じて各種信号が前記タイミングコントローラ 4 1 0 に提供される。ここで、前記タイミングコントローラ 4 1 0 は、外部映像信号及び外部制御信号の入力を受け、前記外部映像信号を前記メモリ部 4 2 0 に貯蔵する。一方、前記外部制御信号は、水平及び垂直同期信号、メインクロック信号、データイネイブル信号及びモード選択信号を含む。

【0056】

又、前記タイミングコントローラ410は、前記第1レベルシフト部450に第1制御信号GC1を提供し、前記第2レベルシフト部460に第2制御信号GC2を提供する。この際、前記第1制御信号GC1は、第1開示信号STO、第1クロック信号CKO、第2クロック信号CKBO、電源電圧VSS、及び駆動電圧VDDを含む。又、前記第2制御信号GC2は、第2開示信号STE、第3クロック信号CKE、第4クロック信号CKBE、前記電源電圧VSS、及び駆動電圧VDDを含む。

前記タイミングコントローラ410は、前記メモリ部420に貯蔵された前記外部映像信号をブロック単位に出力して前記ソース駆動部430に提供する。

【0057】

10

前記メモリ部420は、前記タイミングコントローラ410から提供された前記外部映像信号を一時的に貯蔵する。この際、前記メモリ部420は、前記外部映像信号をフレーム(frame)又はライン(line)単位に貯蔵する。

【0058】

前記ソース駆動部430は、前記メモリ部420から読出されたブロック単位の前記外部映像信号の入力を受けて、アナログ信号に変換した後、ブロック単位に出力する。この際、前記ソース駆動部430の出力端子、即ち、前記チャンネル端子CHは、複数のデータラインと連結され、前記多数のデータラインに前記アナログ映像信号を提供する。

【0059】

20

前記第1レベルシフト部450は、前記タイミングコントローラ410から提供された前記第1制御信号GC1の電圧レベルをシフティングして出力し、前記第2レベルシフト部460は、前記タイミングコントローラ410から提供された前記第2制御信号GC2の電圧レベルをシフティングして出力する。従って、前記第1レベルシフト部450は、レベルがシフティングされた第1開示信号STO、第1クロック信号CKO、第2クロック信号CKBO、アース電圧VSS、及び駆動電圧VDDを出力する。又、前記第2レベルシフト部460は、レベルがシフティングされた第2開示信号STE、第3クロック信号CKE、第4クロック信号CKBE、アース電圧VSS、及び駆動電圧VDDを出力する。

【0060】

30

前記第1ゲート駆動部200は、レベルシフティングされた前記第1制御信号GC1に応答して前記奇数番目ゲートラインG1、G3、G5に第1ゲート駆動信号を順次出力し、前記第2ゲート駆動部300は、レベルシフティングされた前記第2制御信号GC2に応答して、前記偶数番目ゲートラインG2、G4に第2ゲート駆動信号を順次出力する。

【0061】

前記共通電圧発生部440は、前記液晶層の電圧維持率を高めるために、液晶層と並列に形成された共通電極ライン(図示せず)に共通電圧Vcomを印加する。

【産業上の利用可能性】

【0062】

このような液晶表示装置によると、前記液晶表示パネルには多数の画素群が具備され、前記多数の画素群はR、G、B色画素パターンが反復されるように、第1乃至第3画素で構成される。従って、液晶表示装置の表示特性を向上させることができる。

40

【0063】

又、前記第1及び第2画素は、一つのデータラインに共通的に連結される。従って、前記データラインは、前記第1及び第2画素に連結されたゲートラインにゲート駆動信号が印加される時間を分割して前記第1画素及び第2画素に順次映像信号を出力する。その結果、液晶表示パネルに形成されたデータラインの数を減少させることができる。

【0064】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

50

【図面の簡単な説明】

【 0 0 6 5 】

【図 1】本発明の一実施例による液晶表示装置を示す平面図である。

【図 2】図 1 に示された表示領域の内部構成を具体的に示す図である。

【図 3】図 1 に示された第 1 及び第 2 ゲート駆動部の内部構成を具体的に示す図面である。

。

【図 4】図 2 に示された表示領域の構成を具体的に示すレイアウト図面である。

【図 5】図 3 に提示された各ステージの内部構成を具体的に示す回路図である。

【図 6】図 3 に示された第 1 及び第 2 ゲート駆動部の出力波形図である。

【図 7】図 1 に示された統合チップと第 1 と第 2 ゲート駆動部との連結関係を具体的に示す図面である。 10

【図 8】図 7 に示された統合チップの内部ブロック図である。

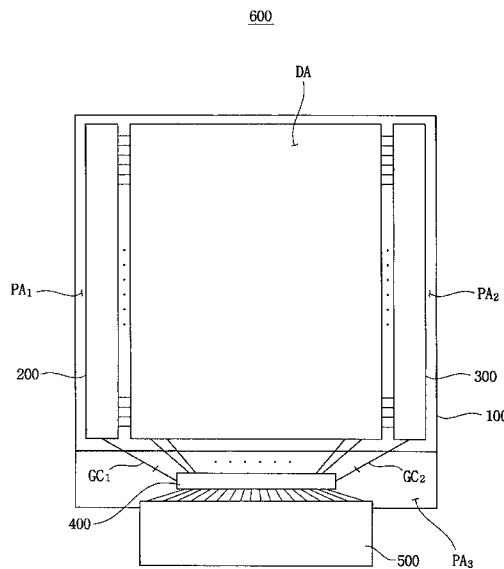
【符号の説明】

【 0 0 6 6 】

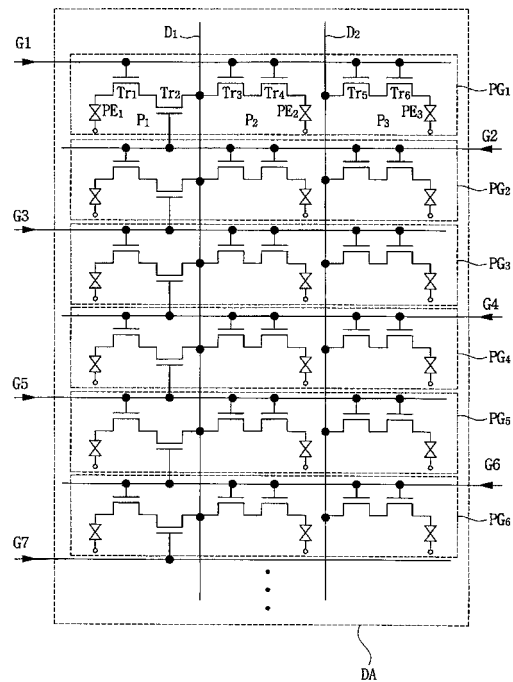
1 0 0	液晶表示パネル
2 0 0	第 1 ゲート駆動部
3 0 0	第 2 ゲート駆動部
4 0 0	統合チップ
5 0 0	フレキシブル回路基板
6 0 0	液晶表示装置
P G I	第 1 画素群
P 1	第 1 画素
P 2	第 2 画素
P 3	第 3 画素

20

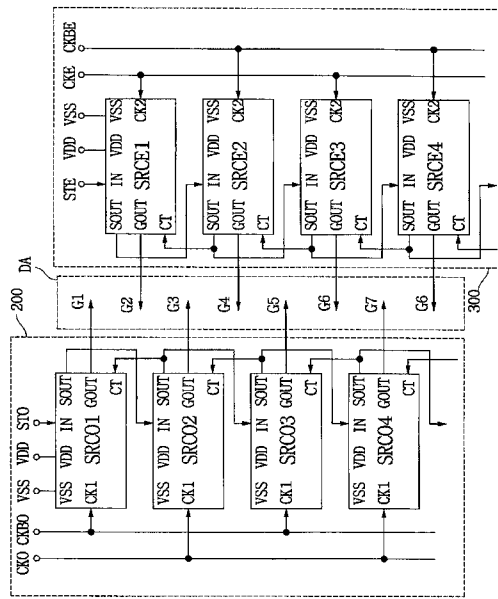
【図 1】



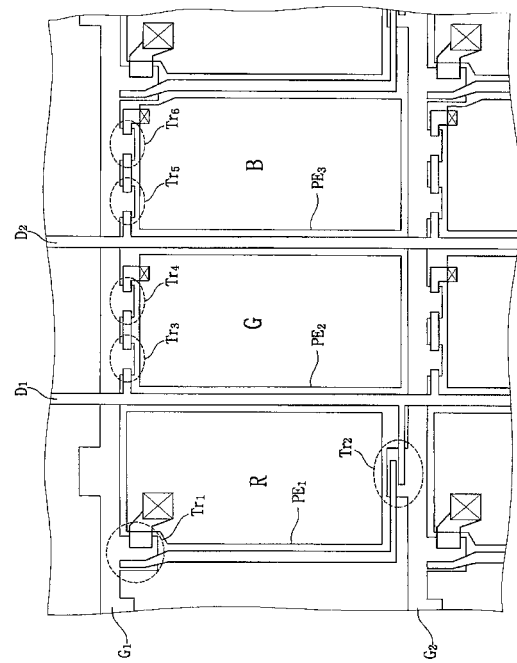
【図 2】



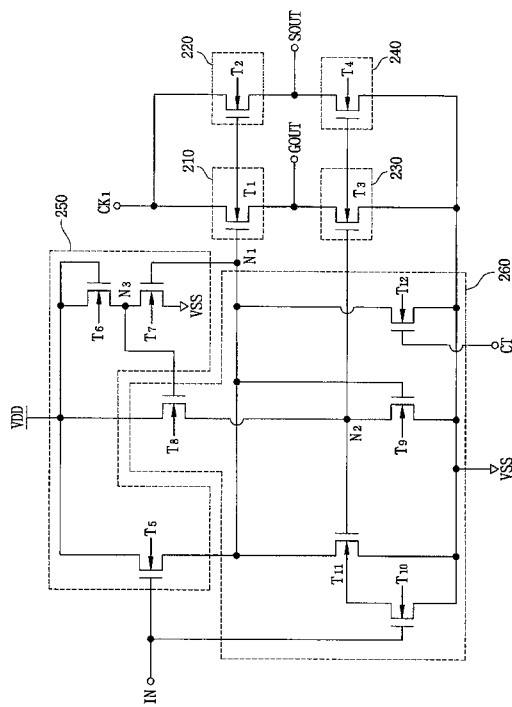
【図 3】



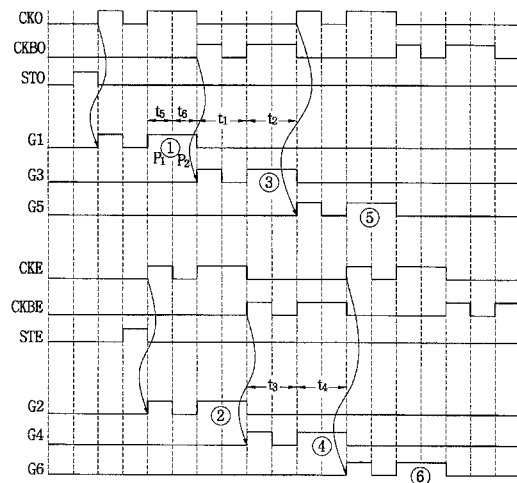
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 1 2 C
H 0 1 L 29/78 6 1 4

(72)発明者 金 炯 傑
大韓民国京畿道龍仁市駒城面普亭里 1 1 6 1 番地珍山マウル三星 5 次アパート 5 0 5 棟 2 0 6 号
(72)発明者 全 珍
大韓民国京畿道安養市東安区葛山洞セムマウル双龍アパート 2 0 2 棟 6 0 2 号

審査官 金高 敏康

(56)参考文献 特開平 0 5 - 2 6 5 0 4 5 (J P , A)
特開 2 0 0 1 - 0 2 7 7 5 1 (J P , A)
特開平 0 5 - 1 8 8 3 9 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 4 5
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 9 / 7 8 6

专利名称(译)	表示装置		
公开(公告)号	JP4630570B2	公开(公告)日	2011-02-09
申请号	JP2004137754	申请日	2004-05-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金炯傑 全珍		
发明人	金 炯 傑 全 珍		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1345 G02F1/1368 H01L29/786 G02F1/1362 G09G3/36		
CPC分类号	G02F1/136286 G09G3/20 G09G3/3648 G09G3/3659 G09G3/3677 G09G3/3688 G09G2300/0426 G09G2300/0814 G09G2310/0289 G09G2310/08 G11C19/28		
FI分类号	G02F1/1343 G02F1/133.505 G02F1/133.550 G02F1/1345 G02F1/1368 H01L29/78.612.C H01L29/78.614 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA20 2H092/GA24 2H092/GA32 2H092/HA02 2H092/HA06 2H092/JA24 2H092/JB21 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC34 2H093/ND37 2H093/ND50 2H093/NE03 2H192/AA24 2H192/CB13 2H192/CC22 2H192/CC62 2H192/FA44 2H192/FA73 2H192/FB22 2H192/FB25 2H192/FB27 2H192/FB32 2H192/GD61 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZF24 2H193/ZP03 5B074/AA10 5B074/CA01 5B074/EA01 5F110/AA01 5F110/AA28 5F110/BB02 5F110/GG28 5F110/GG29 5F110/NN72 5F110/NN78		
优先权	1020030028650 2003-05-06 KR		
其他公开文献	JP2004334216A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够改善显示特性的液晶显示装置。[解决方案] 在液晶显示面板中，第一像素连接第一栅极线，第二栅极线和第一数据线，第二像素连接第一栅极线和第一数据线，以及第二数据线提供由连接到一条栅极线的第三像素构成的多个像素组。第一栅极驱动器将第一栅极驱动信号输出到第一栅极线，第二栅极驱动器将第二栅极驱动信号输出到第二栅极线。数据驱动器产生视频信号并将其提供给第一和第二数据线。因此，可以改善液晶显示装置的显示特性，并且可以减少在液晶显示板上形成的数据线的数量。 【选择图】 图2

