

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4395060号
(P4395060)

(45) 発行日 平成22年1月6日(2010.1.6)

(24) 登録日 平成21年10月23日(2009.10.23)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 611C

G09G 3/20 612K

G09G 3/20 612U

請求項の数 4 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-358135 (P2004-358135)
 (22) 出願日 平成16年12月10日(2004.12.10)
 (65) 公開番号 特開2005-173618 (P2005-173618A)
 (43) 公開日 平成17年6月30日(2005.6.30)
 審査請求日 平成16年12月10日(2004.12.10)
 (31) 優先権主張番号 2003-090300
 (32) 優先日 平成15年12月11日(2003.12.11)
 (33) 優先権主張国 韓国(KR)

前置審査

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

複数データラインを持つ液晶表示装置の駆動装置であって、
 前記データラインを駆動するデータ集積回路と、
 前記データ集積回路に接続されたタイミングコントローラと、
 前記タイミングコントローラ内に形成されたエンコーダと、
 前記データ集積回路内に形成されて前記ライン制御信号を受信するデコーダとを具備し

、
前記エンコーダは、

現在の水平ラインのデータと以前の水平ラインのデータとの間の一致性を判定し、前記
 データが一致するときにはイネーブル状態のライン制御信号を供給し、そして前記デー
 タが一致しないときにはディスエイブル状態のライン制御信号を供給する比較器と、

前記ディスエイブル状態のライン制御信号に応答して現在の画素データと以前の画素デ
 ータとを比較してデータのビット遷移数を検出し、検出されたデータ遷移数によるモード
 制御信号を生成し、生成されたモード制御信号に応答して前記現在の画素データを選択的
 に反転させて供給し、そして、前記イネーブル状態のライン制御信号に応答して前記現在
 の画素データと前記以前の画素データとを比較せず、前記現在のラインのデータを供給し
 ないデータ生成部と、

前記比較器に前記以前のラインデータを出力する第1メモリーブロックと、

前記比較器に前記現在のラインデータを出力する第2メモリーブロックと、

10

20

1 水平ラインのデータを遅延させて前記第 1 メモリーブロックで供給する遅延器とを具備し、

前記データ生成部は、前記現在の画素データが反転される場合には、前記モード制御信号の極性を反転させ、前記現在の画素データが反転されない場合には、前記モード制御信号の極性を維持し、

前記デコーダは、前記エンコーダからの前記ディスエイブル状態のライン制御信号が入力されたときには、前記モード制御信号に応答して前記現在の画素データをデコーディングして出力し、そして前記イネーブル状態のライン制御信号が入力されたときには、データを供給せずに前記データ集積回路が前記以前のラインのデータを利用して前記データラインを駆動することを特徴とする液晶表示装置の駆動装置。

10

【請求項 2】

前記エンコーダは、前記タイミングコントローラからソースシフトクロック (SSC) を受信する第 1 入力端子と、前記ライン制御信号を受信する第 2 入力端子、及び前記データ集積回路に接続された出力端子とを持つ AND ゲートをさらに具備することを特徴とする請求項 1 記載の液晶表示装置の駆動装置。

【請求項 3】

前記 AND ゲートは、前記現在のラインデータと前記以前のラインデータとが同一である場合には、前記ソースシフトクロックを出力しないことを特徴とする請求項 2 記載の液晶表示装置の駆動装置。

【請求項 4】

20

複数のデータラインを持つ液晶表示装置を駆動する方法において、

タイミングコントローラ内のエンコーダが、遅延器と第 1 メモリーブロックを経由して供給された以前の水平ラインのデータと、第 2 メモリーブロックを経由して供給された現在の水平ラインのデータとの間の同一性を判定して、前記データが一致するときにはイネーブル状態のライン制御信号を供給し、そして前記データが一致しないときにはディスエイブル状態のライン制御信号を供給する段階と、

エンコーダが、前記ディスエイブル状態のライン制御信号に応答して現在の画素データと以前の画素データとを比較してデータのビット遷移数を検出し、検出されたデータ遷移数によるモード制御信号を生成し、生成されたモード制御信号に応答して前記現在の画素データを選択的に反転させて供給するか、あるいは、前記イネーブル状態のライン制御信号に
30 応答して前記現在の画素データと前記以前の画素データを比較せず、前記現在のラインのデータとソースシフトクロックとを供給しない段階と、

データ集積回路内のデコーダが、前記エンコーダからの前記ディスエイブル状態のライン制御信号が入力されたときには、前記モード制御信号に
30 応答して前記現在の画素データをデコーディングして出力するか、あるいは、前記イネーブル状態のライン制御信号が入力されたときには、データを供給せずに、前記データ集積回路が前記以前のラインのデータを利用して、前記データラインを駆動する段階とを含むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、液晶表示装置の駆動装置及び方法に関し、特に、ラインごとにデータを比較してデータ遷移量を最小化することによって電磁波干渉(EMI)特性を改善した液晶表示装置の駆動装置及び方法に関する。

【背景技術】

【0002】

液晶表示装置は、データ信号を使用して液晶セルを走査し、液晶セルの光透過率を調節して画像を表示する。このような液晶表示装置は、セルごとにスイッチング素子が形成されたアクティブマトリックス(Active Matrix)タイプと呼ばれるものであり、コンピューター用モニター、事務機器、セルラホンなどの表示装置に適用されている。アクティブマ

50

トリックスタイプの液晶表示装置に使われるスイッチング素子としては主に薄膜トランジスタ(Thin Film Transistor; 以下 "TFT" という)が利用されている。

【 0 0 0 3 】

図 1 は従来の液晶表示装置の駆動装置を概略的に示す図面である。

図 1 を参照すると、従来の液晶表示装置の駆動装置は、データライン(DL)とゲートライン(GL)の交差部にマトリックスタイプに配置された液晶セル(Clc)を具備する液晶パネル 2 と、データライン(DL)にデータ信号を供給するためのデータドライバ 4 と、ゲートライン(GL)にゲート信号を供給するためのゲートドライバ 6 と、システム 10 から供給される同期信号(H,V,DE)を利用してデータドライバ 4 及びゲートドライバ 6 を制御するためのタイミングコントローラ 8 とを具備する。

10

【 0 0 0 4 】

液晶パネル 2 は、データライン(DL)及びゲートライン(GL)の交差部にマトリックス形態に配置された多数の液晶セル(Clc)を具備する。液晶セル(Clc)のそれぞれに形成されたTFTは、ゲートライン(GL)から供給されるスキャン信号に応答してデータライン(DL)から供給されるデータ信号を液晶セル(Clc)に供給する。このような液晶セル(Clc)のそれぞれには、ストレージキャパシタ(Cst)が形成されて、ストレージキャパシタ(Cst)は、液晶セル(Clc)の電圧を一定に維持する。

【 0 0 0 5 】

データドライバ 4 は、タイミングコントローラ 8 からのデータ制御信号(DCS)に응答してデジタルビデオデータ(R,G,B)を階調値に対応するアナログガンマ電圧(すなわち、データ信号)に変換して、このアナログガンマ電圧をデータライン(DL)で供給する。

20

【 0 0 0 6 】

ゲートドライバ 6 は、タイミングコントローラ 8 からのゲート制御信号(GCS)に응答してスキャンパルスをゲートライン(GL)に順次供給してデータ信号が供給される液晶パネル 2 の水平ラインを選択する。

【 0 0 0 7 】

システム 10 は垂直/水平同期信号(V,H)、クロック信号(DCLK)及びデータイネーブル信号(DE)などをタイミングコントローラ 8 で供給する。システム 10 は、低電圧差等信号(Low Voltage Differential Signal : LVDS)インターフェースを利用して並列のデジタルデータを直列データに圧縮してタイミングコントローラ 8 で供給する。

30

【 0 0 0 8 】

タイミングコントローラ 8 は、システム 10 から入力される垂直/水平同期信号(V,H)、クロック信号(DCLK)及びデータイネーブル信号(DE)などを利用してゲートドライバ 6 及びデータドライバ 4 を制御するためのデータ制御信号(DCS)及びゲート制御信号(GCS)を生成する。同時に、タイミングコントローラ 8 は、システム 10 から供給されたデータを並列データに再構成してデータドライバ 4 に供給する。

【 0 0 0 9 】

このようなタイミングコントローラ 8 は、一画素分(例えば、18bit:R,G,B各6bit)のデータを18個のデータラインを利用してデータドライバ 4 に供給する。しかし、このように一画素分のデータがタイミングコントローラ 8 からデータドライバ 4 に供給されると、データの遷移により電磁波干渉(Electromagnetic Interference : 以下 "EMI" という)がひどく現われるようになる。

40

【表 1】

	R[0:5]	G[0:5]	B[0:5]
Pn	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0
Pn+1	1 1 1 1 1 1	1 1 1 1 1 1	1 1 1 1 1 1

【 0 0 1 0 】

例えば、表 1 のように現在画素データ(Pn)が全部 " 0 " のビットをからなり、次画素デ

50

ータ(P_n+1)が全部 " 1 " のビットからなるビット系列に遷移すると高いEMIが発生する。特に、このような現象は液晶パネル2の解像度及び寸法が増加するほどひどく現われる。例えば、一画素分のデータで 24 bit(R,G,B各 8 bit)が使われる場合、タイミングコントローラ8を介してデータドライバ4へ送信されるビット数も増加されるためより高いEMIが発生する。

【0011】

したがって、このように高いEMIが発生することを防止するために図2のような駆動装置を提案するものである。

【0012】

図2は、従来の技術による液晶表示装置の駆動装置を概略的に示す図面である。図2の説明の際に、図1と同一の機能を有する構成要素は、同一の図面符号を付し、それについての詳細な説明は、省略する。

【0013】

図2を参照すると、従来の技術による液晶表示装置の駆動装置は、データライン(DL)とゲートライン(GL)の交差部にマトリックスタイプに配列された液晶セル(Clc)を具備する液晶パネル2と、データライン(DL)にデータ信号を供給するためのデータドライバ4と、ゲートライン(GL)にゲート信号を供給するためのゲートドライバ6と、システム10から供給される同期信号(H,V,DE)を利用してデータドライバ4及びゲートドライバ6を制御するためのタイミングコントローラ12を具備する。

【0014】

タイミングコントローラ12は、システム10から入力される垂直/水平同期信号(V,H)、クロック信号(DCLK)及びデータイネーブル信号(DE)などを利用してゲートドライバ6及びデータドライバ4を制御するためのデータ制御信号(DCS)及びゲート制御信号(GCS)を生成する。ここで、ゲート制御信号(GCS)には、ゲートスタートパルス(Gate Start Pulse : GSP)、ゲートシフトクロック(Gate Shift Clock : GSC)、ゲート出力信号(Gate Output Enable : GOE)などが含まれる。データ制御信号(DCS)には、ソーススタートパルス(Source Start Pulse : SSP)、ソースシフトクロック(Source Shift Clock : SSC)、ソース出力信号(Source Output Enable : SOE)及び極性制御信号(Polarity : POL)などが含まれる。

【0015】

同時に、タイミングコントローラ12は、システム10から供給されたデータを並列データに再構成してデータドライバ4で供給する。そして、タイミングコントローラ8は、データの遷移数を最小化させるためのモード制御部14を具備する。

【0016】

モード制御部14は、データドライバ4に供給されなければならない次の画素データとデータドライバ4に供給されている現在の画素データとのデータ遷移状態を比較する。すなわち、モード制御部14は、次の画素データ(P_n+1)のそれぞれのビットと現在の画素データ(P_n)のそれぞれがビットとを比較して '0 → 1' または '1 → 0' のようなビット遷移を検出して、検出されたビット遷移に対応してデータを反転または非反転させて出力する。

【0017】

実際に、モード制御部14は、現在の画素データ(P_n)と次の画素データ(P_n+1)のビット遷移を計数して、その計数された遷移が界閾値(例えば:全体送信量18ビットの半分9)を超過するか否かを検査する。そして、モード制御部14は、データ遷移量が閾値を超過する度にモード制御信号(REV)の論理値を反転させ、同時に供給される次の画素データを反転させてデータドライバ4に供給する。

【0018】

10

20

30

40

【表 2】

	R[0:5]	G[0:5]	B[0:5]	データ遷移量	REV
Pn	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	0	ロー
Pn+1	1 1 1 1 1 1	1 1 1 1 1 1	1 1 1 1 1 1	1 6	ハイ
Pn+2	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	1 6	ロー
Pn+3	0 0 1 1 0 1	1 1 1 1 1 1	0 0 1 1 1 0	1 2	ハイ
Pn+4	0 0 1 1 0 1	0 0 0 0 0 0	0 0 1 1 1 0	6	ハイ

【 0 0 1 9 】

10

例えば、表 2 のように Pn のデータが全部 " 0 " ビットからなり、次に供給される Pn+1 のデータが全部 " 1 " からなる場合に、1 6 回のビット遷移が発生する。この時、ビット遷移が閾値(すなわち、9)の以上になるためモード制御信号(REV)の論理値が反転され、同時に Pn+1 のデータとして " 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 " のデータが供給される(すなわち、データのすべてのビットが反転されて供給される)。この時、データドライバ 4 では、モード制御信号(REV)に対応して Pn+1 のデータを反転して " 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 " のデータを生成する(すなわち、元来データに復元される)。

【 0 0 2 0 】

20

このため、データドライバ 4 に含まれた多数のデータ IC(Integrated Circuit)のそれぞれは、図 3 のようにデータ復元部 1 8、シフトレジスタ部 2 0、ラッチ部 2 2、デジタル-アナログ変換部(以下 " DAC部 " という)2 4 及び出力バッファ部 2 6 を具備する。

【 0 0 2 1 】

データ復元部 1 8 は、モード制御信号(REV)に対応してデータを反転するかまたは非反転のままラッチ部 2 2 に供給する。すなわち、データ復元部 1 8 は、モード制御信号(REV)が反転された時、受信したデータのすべてのビットを反転して復元データを生成して、生成された復元データをラッチ部 2 2 に供給する。データ復元部 1 8 は、モード制御信号(REV)が反転されなかった時、受信したデータを中継してラッチ部 2 2 に供給する。

【 0 0 2 2 】

30

シフトレジスタ部 2 0 には多数のシフトレジスタが含まれてタイミングコントローラ 1 2 から供給されるソーススタートパルス(SSP)をソースシフトクロック(SSC)に対応して順次にシフトさせてサンプリング信号を出力する。

【 0 0 2 3 】

ラッチ部 2 2 は、シフトレジスタ部 2 0 からのサンプリング信号に応答してデータ復元部 1 8 から供給されるデータ(data)を一定単位ずつ順次サンプリングしてラッチする。このためにラッチ部は、i(iは自然数)個のデータ(data)をラッチするために i 個のラッチから構成されて、そのラッチのそれぞれは、データのビット数(例えば 6 ビットまたは 8 ビット)に対応する大きさを持つ。ラッチ部 3 6 は、タイミングコントローラ 1 2 からのソース出力イネーブル(SOE)信号に応答してラッチされた i 個のデータを同時に出力する。

40

【 0 0 2 4 】

DAC部 2 4 は、ラッチ部 2 2 からのデータ(data)を正極性及び/または負極性データ信号に変換して出力する。このために、DAC部 2 4 は、図示されないガンマ電圧発生部から多数のガンマ電圧を供給される。実際に、DAC部 2 4 は、極性制御信号(POL)に応答してデータ(data)を正極性及び/または負極性データ信号に変換する。

【 0 0 2 5 】

出力バッファ部 2 6 は、DAC部 2 4 からのデータ信号を信号緩衝してデータライン(DL)に供給する。

【 0 0 2 6 】

このような従来の技術による液晶表示装置は、現在の画素データと次の画素データとを

50

比較してデータを反転するかまたは非反転のまま出力するため、高い EMI が発生するのを防止することができる。しかし、このような従来の技術による液晶表示装置は、単純に現在の画素データと次の画素データのみを比較するため、データのビット遷移数を減らすのに限界がある。

【発明の開示】

【発明が解決しようとする課題】

【0027】

したがって、本発明の目的は、ラインごとにデータを比較してデータ遷移量を最小化することによって電磁波干渉(EMI)の特性を改善した液晶表示装置の駆動装置及び方法を提供することである。

10

【課題を解決するための手段】

【0028】

上記目的を達成するために、本発明の液晶表示装置の駆動装置は、データ集積回路と、前記データ集積回路に接続されたタイミングコントローラと；前記タイミングコントローラに形成されて以前のラインデータと現在のラインデータとが一致するか否かを比較してライン制御信号を生成するエンコーダと、前記データ集積回路に形成されて前記ライン制御信号を受信するデコーダとを具備する。

【0029】

前記エンコーダは、前記ライン制御信号に応答して前記デコーダにデータ信号を選択的に供給する。

20

【0030】

前記エンコーダは、前記現在ラインデータが前記以前ラインデータと同一である場合、前記デコーダに前記データ信号を供給しない。

【0031】

前記データ集積回路は、前記エンコーダが前記データ信号を供給しない場合には、以前に供給されたデータを利用して前記データラインに供給される信号を生成する。

【0032】

前記液晶表示装置の駆動装置は、前記エンコーダが前記現在のラインデータの各ビットを前記以前のラインデータの対応ビットと比較して前記現在のラインデータと前記以前のラインデータとが同一であるか否かを判定する比較機を具備する。

30

【0033】

前記エンコーダは、前記比較機に前記以前のラインデータを出力する第1メモリーブロックと、前記比較機に前記現在のラインデータを出力する第2メモリーブロックとをさらに具備する。

【0034】

前記エンコーダは、概ね1水平ラインに対応する時間だけデータ信号を遅延する遅延機をさらに具備する。

【0035】

前記エンコーダは、現在の画素データと以前の画素データとを比較してモード制御信号を発生し、前記モード制御信号に応答して前記現在画素データを選択的に反転するデータ生成部をさらに具備する。

40

【0036】

前記データ生成部は、前記現在のラインデータと前記以前のラインデータが同一である場合には、前記現在の画素データと前記以前の画素データを比較しない。

【0037】

前記データ生成部は、前記現在の画素データと前記以前の画素データとの間のビット遷移量(Bit transition amount)を計数する。

【0038】

前記データ生成部は、前記現在の画素データが反転される場合には、前記モード制御信号の極性を反転し、前記現在の画素データが反転されない場合には、前記モード制御信号

50

の極性を維持する。

【 0 0 3 9 】

前記エンコーダは、前記タイミングコントローラからソースシフトクロック(SSC)を受信する第1入力端子と、前記ライン制御信号を受信する第2入力端子、及び前記データ集積回路に接続された出力端子とを持つANDゲートを具備する。

【 0 0 4 0 】

前記ANDゲートは、前記現在のラインデータと前記以前のラインデータとが同一である場合、前記ソースシフトクロックを出力しない。

【 0 0 4 1 】

前記ライン制御信号は、前記現在のラインデータと前記以前のラインデータとが同一である場合には、前記液晶表示装置の1水平ラインに供給されるデータの時間に対応してイネーブル状態であり、前記現在のラインデータと前記以前のラインデータとが同一ではない場合には、ディスエイブル状態である。

10

【 0 0 4 2 】

本発明に係る液晶表示装置の駆動方法は、現在の水平ラインのデータと以前の水平ラインのデータとが同一であるか否かを判定する段階と、現在のラインデータと以前のラインデータとが同一である場合、タイミングコントローラからデータ駆動部に供給されるデータ信号とソースシフトクロックを遮断する段階とを含む。

【 0 0 4 3 】

前記液晶表示装置の駆動方法は、前記データ信号と前記ソースシフトクロックが前記データ駆動部に供給されない場合には、前記データ駆動部に以前に供給されたデータを利用して前記データ駆動部がデータラインに供給されるデータ信号を発生する段階をさらに含む。

20

【 0 0 4 4 】

前記液晶表示装置の駆動方法は、前記現在のラインデータと前記以前のラインデータとが同一である場合、イネーブル状態のライン制御信号を発生する段階と、前記ライン制御信号を前記データ駆動部に供給する段階とをさらに含む。

【 0 0 4 5 】

前記液晶表示装置の駆動方法においては、前記イネーブル状態のライン制御信号は、前記液晶表示装置の1水平ラインに供給されるデータの時間に対応する所定時間の間に発生する。

30

【 0 0 4 6 】

前記液晶表示装置の駆動方法は、現在の画素データと以前の画素データとの間のビット遷移を計数する段階と、前記現在のラインデータと前記以前のラインデータとが同一ではない場合、前記計数されたビット遷移に応じて選択的に前記現在の画素データを反転させる段階とをさらに含む。

【 0 0 4 7 】

前記液晶表示装置の駆動方法は、前記計数されたビット遷移に応じてモード制御信号を発生する段階をさらに含む。

40

【 発明の効果 】

【 0 0 4 8 】

本発明に係る液晶表示装置の駆動装置及び方法は、EMIを最小化することができる。

【 発明を実施するための最良の形態 】

【 0 0 4 9 】

[実施例]

上記目的以外の本発明の他の目的及び特徴は添付図面を参照した実施例に対する説明を通じて理解されるであろう。

以下、図4乃至図6を参照して本発明の望ましい実施例に対して説明する事にする。

【 0 0 5 0 】

図4は本発明の実施例による液晶表示装置の駆動装置を示す図面である。

50

図 4 を参照すると、本発明の実施例による液晶表示装置の駆動装置は、データライン(DL)とゲートライン(GL)の交差部にマトリックスタイプに配置された液晶セル(Clc)を具備する液晶パネル 3 2 と、データライン(DL)にデータ信号を供給するためのデータドライバ 3 4 と、ゲートライン(GL)にゲート信号を供給するためのゲートドライバ 3 6 と、外部から供給される同期信号(H,V,DE,DCLK)を利用してデータドライバ 3 4 及びゲートドライバ 3 6 を制御するためのタイミングコントローラ 3 8 とを具備する。

【 0 0 5 1 】

液晶パネル 3 2 は、データライン(DL)及びゲートライン(GL)の交差部にマトリックス形態に配置された多数の液晶セル(Clc)を具備する。液晶セル(Clc)のそれぞれに形成された TFT はゲートライン(GL)から供給されるスキャン信号にตอบสนองしてデータライン(DL)から供給されるデータ信号を液晶セル(Clc)に供給する。このような液晶セル(Clc)のそれぞれにはストレージキャパシタ(Cst)が形成されて、ストレージキャパシタ(Cst)は、液晶セル(Clc)の電圧を一定に維持する。

10

【 0 0 5 2 】

データドライバ 3 4 は、タイミングコントローラ 3 8 からのデータ制御信号(DCS)にตอบสนองしてデジタルビデオデータ(data)を階調値に対応するアナログガンマ電圧(すなわち、データ信号)に変換して、このアナログガンマ電圧をデータライン(DL)で供給する。このようなデータドライバ 3 4 には、多数のデータ IC が含まれ、このデータ IC のそれぞれは、デコーディングブロック 4 2 を具備する。デコーディングブロック 4 2 は、タイミングコントローラ 3 8 から供給されるモード制御信号(REV)に対応してデータを反転するかまたは非反転のままデータ IC に供給する。同時に、デコーディングブロック 4 2 は、タイミングコントローラ 3 8 から供給されるライン制御信号(LCS)に対応してデータを供給するか否かを定める。このようなデコーディングブロック 4 2 の詳細な構成及び動作過程は後述する。

20

【 0 0 5 3 】

ゲートドライバ 3 6 は、タイミングコントローラ 3 8 からのゲート制御信号(GCS)にตอบสนองしてスキャンパルスをゲートライン(GL)に順次供給してデータ信号が供給される液晶パネル 3 2 の水平ラインを選択する。

【 0 0 5 4 】

タイミングコントローラ 3 8 は、外部システムから入力される同期信号(H,V,DE,DCLK)を利用してデータドライバ 3 4 及びゲートドライバ 3 6 を制御するためのデータ制御信号(DCS)及びゲート制御信号(GCS)を生成する。同時に、タイミングコントローラ 3 8 は、外部システムから供給されたデータについて以前の画素データと現在の画素データとを比較し、同時に現在のラインの画素データと以前のラインの画素データとを比較してビット遷移の数を最小化することができるようにデータを変更するエンコーディングブロック 4 0 を具備する。

30

【 0 0 5 5 】

図 5 は図 4 に図示されたタイミングコントローラを詳しく示すブロック図である。

図 5 を参照すると、タイミングコントローラ 3 8 は、ゲート制御信号生成部 5 0、データ制御信号 5 2 及びエンコーディングブロック 4 0 を具備する。

40

【 0 0 5 6 】

ゲート制御信号生成部 5 0 は、外部からの同期信号(H,V,DE,DCLK)を利用してゲート制御信号(GCS)を生成する。ここで、ゲート制御信号(GCS)にはゲートスタートパルス(Gate Start Pulse : GSP)、ゲートシフトクロック(Gate Shift Clock : GSC)、ゲート出力信号(Gate Output Enable : GOE)などが含まれる。

【 0 0 5 7 】

データ制御信号生成部 5 2 は、外部からの同期信号(H,V,DE,DCLK)を利用してデータ制御信号(DCS)を生成する。ここで、データ制御信号(DCS)には、ソーススタートパルス(Source Start Pulse : SSP)、ソースシフトクロック(Source Shift Clock : SSC)、ソース出力信号(Source Output Enable : SOE)及び極性制御信号(Polarity : POL)などが含まれる

50

。

【 0 0 5 8 】

エンコーディングブロック 4 0 は、以前のラインの画素データと現在のラインの画素データとが同一である場合、ライン制御信号(LCS)をイネーブル(enable)(ロー信号)させ、同時にデータ及びソースシフトクロック(SSC)を供給しない。同時に、エンコーディングブロック 4 0 は、以前のラインの画素データと現在のラインの画素データとが同一でない場合、ライン制御信号(LCS)をディスエイブル(disable)(ハイ信号)させ、同時に以前の画素データと現在の画素データとを比較してビット遷移の数を最小化することができるように現在の画素データを反転または非反転のままデータドライバ 3 4 に供給する。

【 0 0 5 9 】

10

このために、エンコーディングブロック 4 0 は、遅延部 6 0、第 1 メモリーブロック 5 4、第 2 メモリーブロック 6 2、比較部 5 6 及びデータ生成部 5 8 を具備する。

【 0 0 6 0 】

遅延部 6 0 は外部から入力されるデータ(data)を概ね一水平ラインの時間だけ遅延させて第 1 メモリーブロック 5 4 に供給する。

【 0 0 6 1 】

第 1 メモリーブロック 5 4 は、遅延部 6 0 から概ね一ライン分だけ遅延して供給されるデータ(data)を保存し、同時に受信した一ライン分の以前のデータ(data(n-1))を比較部 5 6 に供給する。

【 0 0 6 2 】

20

第 2 メモリーブロック 6 2 は、外部から入力されるデータ(data)を一ライン分保存し、同時に保存されたデータ(data(n))を比較部 5 6 に供給する。

【 0 0 6 3 】

比較部 5 6 は、第 1 メモリーブロック 5 4 から供給される以前の 1 ライン分のデータ(data(n-1))と第 2 メモリーブロック 6 2 から供給される現在の 1 ライン分のデータ(data(n))との間の同一性を判定する。ここで、比較部 5 6 は、以前の 1 ライン分のデータ(data(n-1))と現在の 1 ライン分のデータ(data(n))とが同一であると判断されるとライン制御信号(LCS)をイネーブル状態(ロー状態)にさせて、アンドゲート 5 9 及びデータ生成部 5 8 に供給する。以前の 1 ライン分のデータ(data(n-1))と現在の 1 ライン分のデータ(data(n))とが相異なっていると判断するとライン制御信号(LCS)をディスエイブル状態(ハイ状態)にさせてアンドゲート 5 9 及びデータ生成部 5 8 に供給する。

30

【 0 0 6 4 】

データ生成部 5 8 は、ディスエイブル状態のライン制御信号(LCS)を受信した時、外部から入力される現在の画素データと以前の画素データのビット遷移状態を比較する。すなわち、データ生成部 5 8 は、ディスエイブル状態のライン制御信号(LCS)が入力される時、次の画素データのそれぞれのビットと現在の画素データのそれぞれのビットを比較して '0 → 1' または '1 → 0' のようなビット遷移を検出して、検出されたビット遷移の数に対応してデータを反転させるかまたは非反転のまま出力する。

【 0 0 6 5 】

実際に、データ生成部 5 8 は、現在の画素データと以前の画素データのビット遷移の数を計数して、その計数されたビット遷移量が閾値(データのビット数の半分 : 例えば、18 bit のデータであれば 9)を超過するか否かを検査する。データ生成部 5 8 は、ビット遷移量が閾値を超過する度に、モード制御信号(REV)の論理値を反転させ、同時に供給される次の画素データを反転させて出力する。

40

【 0 0 6 6 】

一方、データ生成部 5 8 は、イネーブル状態のライン制御信号(LCS)が入力されるとデータ(data)を外部に出力しない。

【 0 0 6 7 】

アンドゲート 5 9 は、ディスエイブル状態のライン制御信号(LCS)が入力される時、受信したソースシフトクロック(SSC)をデータドライバ 3 4 に供給する。そして、アンドゲ

50

ート59は、イネーブル状態のライン制御信号(LCS)が入力される時、受信したソースシフトクロック(SSC)をデータドライバ34に供給しない。

【0068】

このようなエンコーディングブロック40の動作過程を詳しく説明すると、比較部56は、第1メモリーブロック54から供給される以前の1ライン分のデータ(data(n-1))と第2メモリーブロック62から供給された現在の1ライン分データ(data(n))の同一性を判定する。ここで、以前の1ライン分のデータ(data(n-1))と現在の1ライン分のデータ(data(n))とが同一であると判断されると、比較部56は、ライン制御信号(LCS)をイネーブル状態にさせて出力する。(ここでライン制御信号(LCS)は、概ね一ライン分のデータが供給される時間だけイネーブル状態を維持する)そして、以前の1ライン分のデータ(data(n-1))と現在の1ライン分のデータ(data(n))とが同じではないと判定した場合には、比較部56は、ライン制御信号(LCS)をディスエイブル状態にさせて出力する。

10

【0069】

データ生成部58は、イネーブル状態のライン制御信号(LCS)が供給される時、一ライン分のデータをデータドライバ34に供給しない。同時に、アンドゲート59も、イネーブルのライン制御信号(LCS)が供給される時、一ライン分のソースシフトクロック(SSC)をデータドライバ34に供給しない。すなわち、本発明では、以前の1ライン分データ(data(n-1))と現在の1ライン分データ(data(n))が同一である場合には、一ライン分のデータを出力せず、同時にソースシフトクロック(SSC)をデータドライバ34に供給しない。したがって、本発明では、近接する2つのラインの間でビット遷移が発生しないため、EMIを最小化することができる。特に、本発明では、高い周波数を持つソースシフトクロック(SSC)が出力されないからEMIを効果的に低減することができる。

20

【0070】

一方、データ生成部58は、ディスエイブルのライン制御信号(LCS)が供給される時、以前の画素データと現在の画素データのビット遷移数が閾値を越すか否かをチェックして、ビット遷移数が閾値を越す場合、現在の画素データを反転してデータドライバ34に供給し、同時にモード制御信号(REV)を反転させて出力する。データ生成部58は、ディスエイブルのライン制御信号(LCS)が供給される時、以前の画素データと現在の画素データのビット遷移数が閾値を越すか否かをチェックして、ビット遷移数が閾値を越さない場合、現在の画素データをデータドライバ34に供給し、同時にモード制御信号(REV)を現在の状態に維持して出力する。

30

【0071】

図6はデータドライバに含まれたデータICのそれぞれの構成を示すブロック図である。

図6を参照すると、本発明のデータICのそれぞれの、デコーディングブロック42、シフトレジスタ70、ラッチ部72、DAC部74及び出力バッファ部76を具備する。

【0072】

デコーディングブロック42は、ライン制御信号(LCS)に対応してデータ(data)の供給可否を決め、同時にモード制御信号(REV)に対応してデータ(data)の反転可否を決める。このために、デコーディングブロック42は、データ復元部78を具備する。

40

【0073】

データ復元部78は、イネーブル状態のライン制御信号(LCS)を受信する場合に、モード制御信号(REV)及びデータ(data)の供給可否と無関係にデータ(data)を供給しない。すなわち、イネーブル状態のライン制御信号(LCS)が入力される時間(すなわち、一ライン分のデータが供給される時間)の間にはデータ復元部78からラッチ部72にデータが供給されない。

【0074】

データ復元部78は、ディスエイブル状態のライン制御信号(LCS)を受信した場合に、モード制御信号(REV)に対応してデータ(data)を反転するかまたは非反転のままラッチ部72に供給する。ここで、データ復元部78は、モード制御信号(REV)を反転させた場合

50

に、受信したデータを反転してラッチ部 7 2 に供給して、その以外の場合には受信したデータをそのままラッチ部 7 2 に供給する。

【 0 0 7 5 】

先に、イネーブル状態のライン制御信号(LCS)を受信した場合の、データICの動作過程を詳しく説明する。

【 0 0 7 6 】

イネーブル状態のライン制御信号が(LCS)がデータ復元部 7 8 に供給される場合には、シフトレジスタ部 7 0 にソースシフトクロック(SSC)が供給されない。したがって、イネーブル状態のライン制御信号(LCS)が供給される場合には、サンプリング信号がラッチ部 7 2 に供給されない。

10

【 0 0 7 7 】

そして、イネーブル状態のライン制御信号(LCS)が供給される場合には、データ復元部 7 8 からデータがラッチ部 7 2 に供給されない。したがって、ラッチ部 7 2 は、イネーブル状態のライン制御信号(LCS)を受信した場合には、以前データをそのまま維持する。

【 0 0 7 8 】

以後、ラッチ部 7 2 は、ソース出力イネーブル(SOE)信号が供給される時、自分が維持していたデータを DAC部 7 4 に供給する。DAC部 7 4 は、極性制御信号(POL)に対応してラッチ部 7 2 から供給されるデータを正極性及び/または負極性データ信号に変更して出力バッファ部 7 6 に供給する。出力バッファ部 7 6 は、受信したデータ信号をデータライン(DL)に供給する。

20

【 0 0 7 9 】

すなわち、本発明ではイネーブル状態のライン制御信号(LCS)を受信した場合には、すなわち以前の 1 ライン分のデータと現在の 1 ライン分のデータが同一である場合には、ラッチ部 7 2 に保存されている以前の 1 ライン分のデータを利用して現在の 1 ライン分のデータ信号を生成する。

【 0 0 8 0 】

一方、ディスエイブル状態のライン制御信号(LCS)が入力されると、シフトレジスタ部 7 0 は、ソースシフトクロック(SSC)に対応してソーススタートパルス(SSP)をシフトさせながらサンプリング信号を生成して、生成したサンプリング信号をラッチ部 7 2 に供給する。ラッチ部 7 2 は、サンプリング信号に応答してデータ復元部 7 8 から供給される反転されたまたは非反転のままのデータをラッチする。

30

【 0 0 8 1 】

以後、ラッチ部 7 2 は、ソース出力イネーブル(SOE)信号が供給される時、保存したデータをDAC部 7 4 に供給する。DAC部 7 4 は、極性制御信号(POL)に対応してラッチ部 7 2 から供給されるデータを正極性及び/または負極性データ信号に変更して出力バッファ部 7 6 に供給する。出力バッファ部 7 6 は、受信したデータ信号をデータライン(DL)に供給する。

【 0 0 8 2 】

上述したように、本発明に係る液晶表示装置の駆動装置及び方法によると、以前のラインのデータと現在のラインのデータとを比較して、以前のラインのデータと現在のラインのデータが同一である場合に、データ及びソースシフトクロックをタイミングコントローラからデータドライバに供給しないからEMIを最小化することができる。

40

【 0 0 8 3 】

以上説明した内容を通じて当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正ができる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲により決められなければならない。

【図面の簡単な説明】

【 0 0 8 4 】

【図 1】従来の液晶表示装置の駆動装置を示す図面である。

【図 2】従来の他の実施例による液晶表示装置の駆動装置を示す図面である。

50

【図３】従来のデータ集積回路を示すブロック図である。

【図４】本発明の実施例による液晶表示装置の駆動装置を示す図面である。

【図５】図４に図示されたタイミングコントローラを詳しく示すブロック図である。

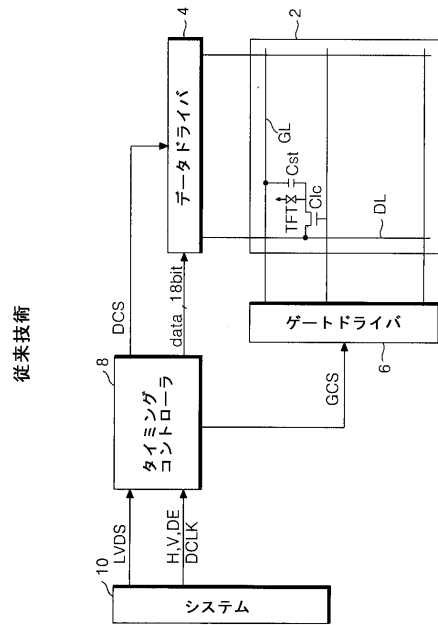
【図６】本発明の実施例によるデータ集積回路を示すブロック図である。

【符号の説明】

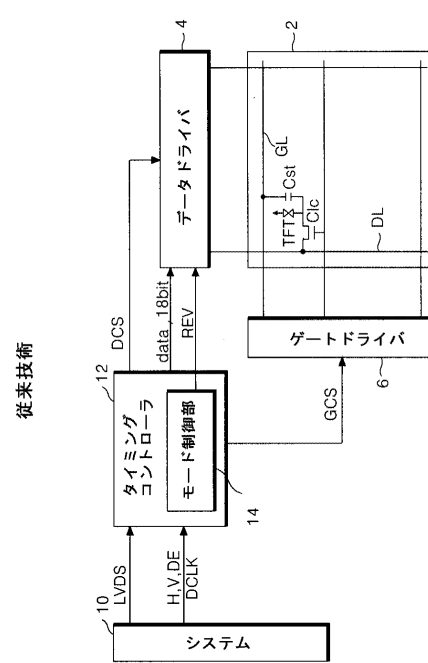
【 ０ ０ ８ ５ 】

２、３２：液晶パネル	
４、３４：データドライバ	
６、３６：ゲートドライバ	
８、１２、３８：タイミングコントローラ	10
１０：システム	
１４：モード制御部	
１８：データ復元部	
２０、７０：シフトレジスタ部	
２２、７２：ラッチ部	
２４、７４：DAC部	
２６、７６：出力バッファ部	
４０：エンコーディングブロック	
４２：デコーディングブロック	
５０：ゲート制御信号生成部	20
５２：データ制御信号生成部	
５４、６２：メモリーブロック	
５６：比較部	
５８：データ生成部	
６０：遅延部	
７８：データ復元部	

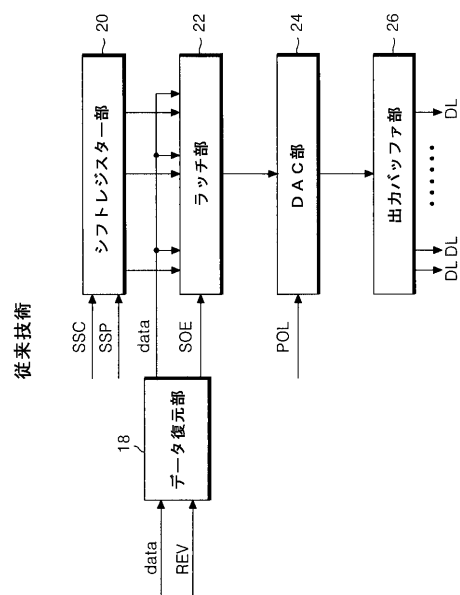
【 図 1 】



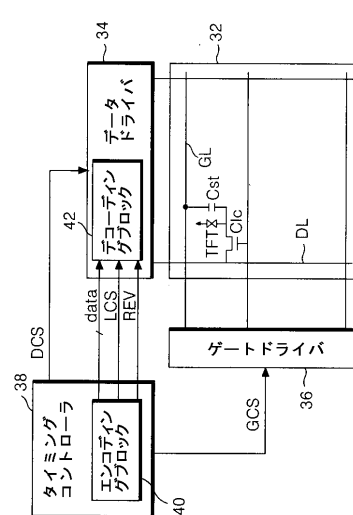
【 図 2 】



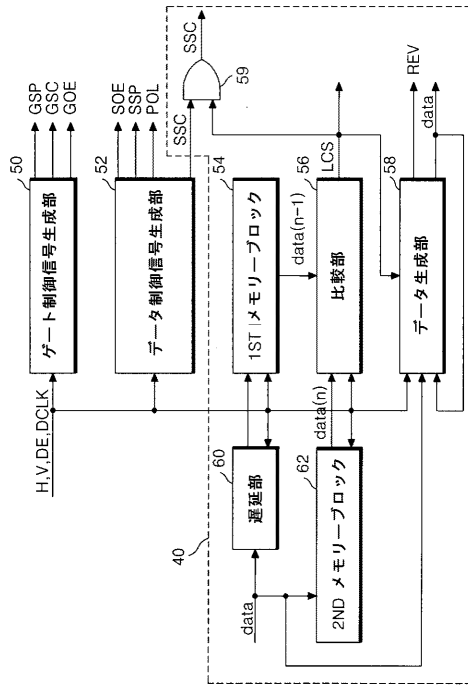
【 図 3 】



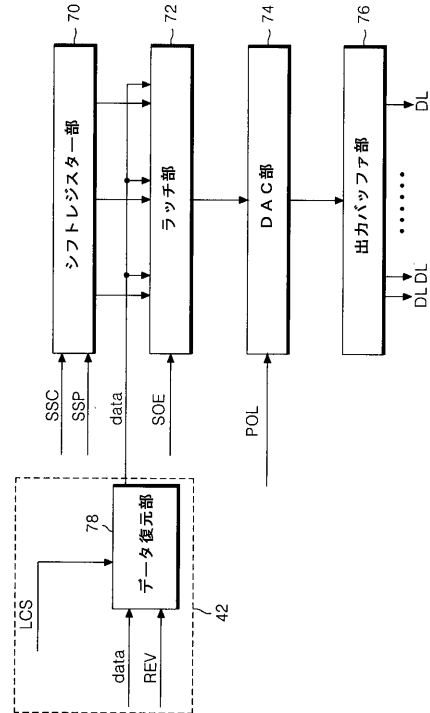
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 Y

(74)代理人 100104352

弁理士 朝日 伸光

(72)発明者 洪 鎮 鉄

大韓民国 慶尚北道 龜尾市 吳太洞 テドン3次 アパート 102-1105号

審査官 河原 英雄

(56)参考文献 特開平09-159993(JP,A)

特開2000-207077(JP,A)

特開平10-083165(JP,A)

特開2003-084726(JP,A)

特開平11-282421(JP,A)

特開平05-297827(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	用于驱动液晶显示装置的装置和方法		
公开(公告)号	JP4395060B2	公开(公告)日	2010-01-06
申请号	JP2004358135	申请日	2004-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	洪鎮鉄		
发明人	洪 鎮 鉄		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3611 G09G3/3648 G09G3/3685 G09G2310/027 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.C G09G3/20.612.K G09G3/20.612.U G09G3/20.621.B G09G3/20.623.D G09G3/20.623.H G09G3/20.623.R G09G3/20.623.Y G09G3/20.612.P G09G3/20.632.A G09G3/20.633.H		
F-TERM分类号	2H093/NA16 2H093/NB01 2H093/NB07 2H093/NB11 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC35 2H093/ND31 2H093/ND60 2H193/ZA04 2H193/ZF22 2H193/ZF36 5C006/AA16 5C006/AA22 5C006/AC26 5C006/AF31 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF46 5C006/AF53 5C006/AF68 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF07 5C006/BF11 5C006/BF14 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF43 5C006/FA32 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/EE29 5C080/FF11 5C080/GG10 5C080/GG11 5C080/GG12 5C080/JJ02 5C080/JJ03		
代理人(译)	臼井伸一 朝日 伸光		
审查员(译)	川原英夫		
优先权	1020030090300 2003-12-11 KR		
其他公开文献	JP2005173618A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的装置和方法，其中通过在线基础上比较数据来最小化数据转变量来改善电磁干扰（EMI）的特性。本发明的液晶显示装置的驱动装置包括数据集成电路，连接到数据集成电路的定时控制器，形成在定时控制器中的定时控制器，一种编码器，用于比较是否输出线控制信号以产生线控制信号；以及解码器，形成在数据集成电路上以接收线控制信号。点域5

	R[0:5]	G[0:5]	B[0:5]
P _n	000000	000000	000000
P _{n+1}	111111	111111	111111

【 0 0 1 0 】

例えば、表 1 のように現在画素データ(P_n)が全部” 0 ” のビットを