

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3807550号

(P3807550)

(45) 発行日 平成18年8月9日(2006.8.9)

(24) 登録日 平成18年5月26日(2006.5.26)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1333 (2006.01)	GO2F 1/1333 505
GO2F 1/1335 (2006.01)	GO2F 1/1335 500
GO2F 1/1343 (2006.01)	GO2F 1/1343
HO1L 21/28 (2006.01)	HO1L 21/28 301R
請求項の数 6 (全 15 頁) 最終頁に続く	

(21) 出願番号	特願2002-306033 (P2002-306033)	(73) 特許権者	000153878
(22) 出願日	平成14年10月21日(2002.10.21)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願平8-58330の分割		神奈川県厚木市長谷398番地
原出願日	平成8年2月20日(1996.2.20)	(73) 特許権者	000005049
(65) 公開番号	特開2003-207808 (P2003-207808A)		シャープ株式会社
(43) 公開日	平成15年7月25日(2003.7.25)		大阪府大阪市阿倍野区長池町22番22号
審査請求日	平成14年10月22日(2002.10.22)	(72) 発明者	大堀 達也
			東京都町田市森野2-1-8 サンコート
			町田203号
		(72) 発明者	竹井 美智子
			神奈川県厚木市旭町4-1-5 古郡ハイ
			ツ108号
		(72) 発明者	張 宏勇
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、薄膜トランジスタを少なくとも1つ有する画素部と、前記画素部の周辺に設けられたコモン部と、引出し端子部とを有する表示装置であって、

前記薄膜トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜上に設けられた前記薄膜トランジスタのソース電極及びドレイン電極と、

前記ソース電極及び前記ドレイン電極を覆う第2の絶縁膜と、

前記第2の絶縁膜上に設けられた遮光膜と、

前記遮光膜を覆う第3の絶縁膜と、

前記薄膜トランジスタに電氣的に接続され、前記第3の絶縁膜上に設けられた画素電極とが、それぞれ、前記画素部に設けられ、

前記コモン部には、前記第1の絶縁膜上のコモン電極と、前記第2の絶縁膜上にあって前記画素部から延在した前記遮光膜と、前記第3の絶縁膜上の電極とが順次積層して設けられ、

前記コモン部において、前記第2の絶縁膜に形成された開口で前記遮光膜の前記画素部より延在した箇所が前記コモン電極と直接接触し、前記第3の絶縁膜に形成された開口で前記電極が前記遮光膜の前記画素部より延在した箇所と直接接触し、

前記引出し端子部には、前記第1の絶縁膜上の第1の端子電極と、前記第2の絶縁膜上の第2の端子電極と、前記第3の絶縁膜上の接続用電極とが順次積層して設けられ、

10

20

前記引出し端子部において、前記第2の絶縁膜に形成された他の開口で前記第2の端子電極が前記第1の端子電極と直接接触し、前記第3の絶縁膜に形成された他の開口で前記接続用電極が前記第2の端子電極と直接接触し、

前記ソース電極、前記ドレイン電極、前記コモン電極及び前記第1の端子電極は同じ導電膜から形成され、かつ、前記コモン電極は前記コモン部より前記引出し端子部へ延在して、前記第1の端子電極と一体的に形成され、

前記遮光膜及び前記第2の端子電極は同じ導電膜から形成され、

前記画素電極、前記コモン部の前記電極及び前記接続用電極は、同じ透明導電膜から形成されたことを特徴とするアクティブマトリクス型表示装置。

【請求項2】

基板上に、薄膜トランジスタを少なくとも1つ有する画素部と、前記画素部の周辺に設けられたコモン部と、引出し端子部とを有する表示装置であって、

前記薄膜トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜上に設けられた前記薄膜トランジスタのソース電極及びドレイン電極と、

前記ソース電極及び前記ドレイン電極を覆う第2の絶縁膜と、

前記第2の絶縁膜上に設けられた遮光膜と、

前記遮光膜を覆う第3の絶縁膜と、

前記薄膜トランジスタに電氣的に接続され、前記第3の絶縁膜上に設けられた画素電極とが、それぞれ、前記画素部に設けられ、

前記コモン部には、前記第1の絶縁膜上のコモン電極と、前記第2の絶縁膜上にあって前記画素部から延在した前記遮光膜と、前記第3の絶縁膜上の電極とが順次積層して設けられ、

前記コモン部において、前記第2の絶縁膜に形成された開口で前記遮光膜の前記画素部より延在した箇所が前記コモン電極と直接接触し、前記第3の絶縁膜に形成された開口で前記電極が前記遮光膜の前記画素部より延在した箇所と直接接触し、

前記引出し端子部には、前記第1の絶縁膜上の第1の端子電極と、前記第2の絶縁膜上の第2の端子電極と、前記第3の絶縁膜上の接続用電極とが順次積層して設けられ、

前記引出し端子部において、前記第2の絶縁膜に形成された他の開口で前記第2の端子電極が前記第1の端子電極と直接接触し、前記第3の絶縁膜に形成された他の開口で前記接続用電極が前記第2の端子電極と直接接触し、

前記ソース電極、前記ドレイン電極、前記コモン電極及び前記第1の端子電極は、チタン膜、アルミニウム膜、チタン膜が順に積層されてなる同じ導電膜から形成され、かつ、前記コモン電極は前記引出し端子部に延在して、前記第1の端子電極と一体的に形成され、

前記遮光膜と前記第2の端子電極とは同じ導電膜から形成され、当該導電膜はクロム膜、またはチタン膜とクロム膜の積層膜であり、

前記画素電極、前記コモン部の前記電極及び前記接続用電極は、ITOでなる同じ透明導電膜から形成されたことを特徴とするアクティブマトリクス型表示装置。

【請求項3】

基板上に、薄膜トランジスタを少なくとも1つ有する画素部と、前記画素部の周辺に設けられたコモン部と、引出し端子部とを有する表示装置であって、

前記薄膜トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜上に設けられた前記薄膜トランジスタのソース電極と、

前記ソース電極を覆う第2の絶縁膜と、

前記第2の絶縁膜上に設けられた遮光膜及び前記薄膜トランジスタのドレイン電極と、

前記第2の絶縁膜、前記遮光膜、及び前記薄膜トランジスタのドレイン電極を覆う第3の絶縁膜と、

前記薄膜トランジスタに電氣的に接続され、前記第3の絶縁膜上に設けられた画素電極とが、それぞれ、前記画素部に設けられ、

10

20

30

40

50

前記コモン部には、前記第1の絶縁膜上のコモン電極と、前記第2の絶縁膜上において前記画素部から延在した前記遮光膜と、前記第3の絶縁膜上の電極とが順次積層して設けられており、

前記コモン部において、前記第2の絶縁膜に形成された開口で前記遮光膜の前記画素部より延在した箇所が前記コモン電極と直接接触し、前記第3の絶縁膜に形成された開口で前記電極が前記遮光膜の前記画素部より延在した箇所と直接接触し、

前記引出し端子部には、前記第1の絶縁膜上の第1の端子電極と、前記第2の絶縁膜上の第2の端子電極と、前記第3の絶縁膜上の接続用電極とが順次積層して設けられ、

前記引出し端子部において、前記第2の絶縁膜に形成された他の開口で前記第2の端子電極が前記第1の端子電極と直接接触し、前記第3の絶縁膜に形成された他の開口で前記接続用電極が前記第2の端子電極と直接接触し、

10

前記ソース電極、前記コモン電極及び前記第1の端子電極は、チタン膜上にアルミニウム膜が積層された同じ導電膜から形成され、かつ、前記コモン電極は前記引出し端子部に延在して、前記第1の端子電極と一体的に形成され、

前記ドレイン電極、前記遮光膜及び前記第2の端子電極は同じ導電膜から形成され、当該導電膜はクロム膜、またはチタン膜とクロム膜の積層膜であり、

前記画素電極、前記コモン部の前記電極、及び前記接続用電極は、ITOでなる同じ透明導電膜から形成されたことを特徴とするアクティブマトリクス型表示装置。

【請求項4】

基板上に、薄膜トランジスタを少なくとも1つ有する画素部と、前記画素部を駆動するための薄膜トランジスタを少なくとも1つ有する周辺駆動回路と、前記画素部の周辺に設けられたコモン部と、引出し端子部とを有する表示装置であって、

20

前記画素部の薄膜トランジスタ及び前記周辺駆動回路の薄膜トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜上に設けられた前記画素部における薄膜トランジスタのソース電極、並びに前記周辺駆動回路における薄膜トランジスタのソース電極及びドレイン電極と、

前記画素部における薄膜トランジスタのソース電極、並びに前記周辺駆動回路における薄膜トランジスタのソース電極及びドレイン電極を覆う第2の絶縁膜と、

前記画素部に設けられ、かつ前記第2の絶縁膜上に設けられた遮光膜及び前記画素部における薄膜トランジスタのドレイン電極と、

30

前記第2の絶縁膜、前記遮光膜、及び前記画素部における前記薄膜トランジスタのドレイン電極を覆う第3の絶縁膜と、

前記画素部における薄膜トランジスタのドレイン電極に電氣的に接続され、前記第3の絶縁膜上に設けられた画素電極とが、それぞれ、前記画素部に設けられ、

前記コモン部には、前記第1の絶縁膜上のコモン電極と、前記第2の絶縁膜上において前記画素部から延在した前記遮光膜と、前記第3の絶縁膜上の電極とが順次積層して設けられており、

前記コモン部において、前記第2の絶縁膜に形成された開口で前記遮光膜の前記画素部より延在した箇所が前記コモン電極と直接接触し、前記第3の絶縁膜に形成された開口で前記電極が前記遮光膜の前記画素部より延在した箇所と直接接触し、

40

前記引出し端子部には、前記第1の絶縁膜上の第1の端子電極と、前記第2の絶縁膜上の第2の端子電極と、前記第3の絶縁膜上の接続用電極とが順次積層して設けられ、

前記引出し端子部において、前記第2の絶縁膜に形成された他の開口で前記第2の端子電極が前記第1の端子電極と直接接触し、前記第3の絶縁膜に形成された他の開口で前記接続用電極が前記第2の端子電極と直接接触し、

前記画素部における薄膜トランジスタのソース電極、前記周辺駆動回路における薄膜トランジスタのソース電極及びドレイン電極、並びに前記コモン電極及び前記第1の端子電極は、チタン膜上にアルミニウム膜が積層された同じ導電膜から形成され、かつ、前記コモン電極は前記引出し端子部に延在して、前記第1の端子電極と一体的に形成され、

前記画素部における薄膜トランジスタのドレイン電極、前記遮光膜、及び前記第2の端

50

子電極は同じ導電膜から形成され、当該導電膜はクロム膜、またはチタン膜とクロム膜の積層膜であり、

前記画素電極、前記コモン部の前記電極、及び前記接続用電極は、ITOでなる同じ透明導電膜から形成されたことを特徴とするアクティブマトリクス型表示装置。

【請求項5】

請求項1において、前記透明導電膜はITOでなることを特徴とするアクティブマトリクス型表示装置。

【請求項6】

請求項1乃至5のいずれか一項に記載の表示装置をアクティブマトリクス型の液晶表示装置に用いたことを特徴とするアクティブマトリクス型表示装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本明細書で開示する発明は、アクティブマトリクス型の液晶表示装置の構成に関する。またその作製方法に関する。

【0002】

【従来の技術】

従来より、アクティブマトリクス型の液晶表示装置が知られている。これは、マトリクス状に配置された画素のそれぞれに薄膜トランジスタを配置し、画素電極に出入りする電荷を薄膜トランジスタでもって制御するものである。

20

【0003】

このような構成においては、画素電極の縁の部分覆うようにして配置されるブラックマトリクス(BM)と呼ばれる遮光膜が必要とされる。BMとしては、通常数千Å程度の厚さを有する金属膜が利用されている。

【0004】

このブラックマトリクスは電氣的には特に役割を果たさないが、画素マトリクス領域の全体にわたり存在するものとなる。

【0005】

しかし、薄い金属膜が絶縁膜に挟まれて、画素マトリクス領域の全体に存在することは、そこに不要な電荷が蓄積されるという問題が生じる。

30

【0006】

このことは、装置の完成後に限らず、その作製工程においても問題となる。

【0007】

周知のように、一般に薄膜トランジスタの作製工程においては、プラズマを用いた成膜工程やエッチング工程が実施される。

【0008】

この際、電氣的に浮いた導電性の材料が存在すると、そこには電荷が蓄積され、絶縁膜の静電破壊を生じさせてしまう。

【0009】

一般に利用される絶縁膜の膜厚は、数千Åである。またCVD法やスパッタ法で成膜された絶縁膜(酸化珪素膜や窒化珪素膜)の内部には、欠陥やピンホールが無視できない密度で存在している。

40

【0010】

従って、上記のようなBMに電荷が蓄積されてしまう現象が生じる結果、局所的に絶縁膜が静電破壊してしまう。

【0011】

このことは、作製途中で装置の一部に不良が発生してしまうことを意味する。即ち、一部の薄膜トランジスタが動作不良に陥ったり、リーク電流の存在による回路の動作不良といった問題が生じる。

【0012】

50

そしてこのことは、装置の作製途中において特に問題となる。また装置の完成後においてもその信頼性を損なう要因となる。

【0013】

【発明が解決しようとする課題】

本明細書で開示する発明は、上述のブラックマトリクスが帯電してしまう問題を解決することを課題とする。即ち、ブラックマトリクスが帯電してしまうことによって生じる作製工程における不良の発生を抑制し、また装置完成後における信頼性を向上させることを課題とする。

【0014】

【課題を解決するための手段】

本明細書で開示する発明の一つは、図4にその具体的な構成を示すように、アクティブマトリクス型を有する液晶表示装置であって、画素電極228を構成する透明導電膜227でもってブラックマトリクス302をコモン電位とするための電極303が形成されていることを特徴とする。

【0015】

他の発明の構成は、図4にその具体的な例を示すように、アクティブマトリクス型を有する液晶表示装置であって、ブラックマトリクス302をコモン電位とするための電極217がソース線215（図2参照）と同一層上に形成されていることを特徴とする。

【0016】

【実施例】

〔実施例1〕

図1にアクティブマトリクス型の液晶表示装置を上面からみた概要を示す。図1には、数百×数百のマトリクス状に配置された画素電極を有するアクティブマトリクス領域101、該アクティブマトリクス領域101に配置された薄膜トランジスタを駆動するための周辺駆動回路103と111が示されている。

【0017】

アクティブマトリクス領域101には、マトリクス状に配置された画素電極が配置されている。そして画素電極のそれぞれには、薄膜トランジスタが配置されている。

【0018】

アクティブマトリクスの構成を拡大した画略を107に示す。拡大図107に示されるようにアクティブマトリクス領域においては、109で示されるソース線（データ線とも呼ばれる）と108で示されるゲート線とが格子状に配置されている。

【0019】

薄膜トランジスタ110はソース線とゲート線とに囲まれた領域に配置されている。そして薄膜トランジスタのソースはソース線に接続されている。またドレインは図示しない画素電極に接続されている。画素電極は、ゲート線とソース線とで囲まれた領域に配置されている。

【0020】

図1において、102がブラックマトリクスの開孔部である。そしてこの開口部以外の領域は遮光されたものとなっている。この102で示される開口部に画素電極が存在している。

【0021】

ブラックマトリクスは、自身を所定の電位に保持させるために105、106、100で示されるコモン電極に延在している。コモン電極は、対抗基板と貼り合わせる時にやはり対抗電極に配置されたコモン電極と導電性のパッドを介して接続される。

【0022】

また、引出し端子部にも104で示されるようにコモン電極から配線が延在している。

【0023】

このような構成とすることにより、ブラックマトリクスが所定の電位に維持され、例えば

10

20

30

40

50

静電気等の影響で装置の一部が破壊されるようなことを防ぐことができる。

【0024】

以下に図1に示すような構成を有するアクティブマトリクス型の液晶表示装置の作製工程を示す。ここでは、図1の101で示されるアクティブマトリクス領域の画素の一つの薄膜トランジスタが配置された部分の作製工程、さらに103または111で示される周辺駆動回路領域に配置されるP型の薄膜トランジスタとN型の薄膜トランジスタとが配置された部分の作製工程、さらに105～107で示されるコモン電極部分の作製工程、特にC-C'で切った断面の作製工程、さらに104で示される端子部の作製工程、特にB-B'で切った断面の作製工程を示す。

【0025】

図2に各部分の作製工程を示す。まず、ガラス基板201上に図示しない下地膜を300 Åの厚さに成膜する。この下地膜は酸化珪素膜または酸化窒化珪素膜でもって構成する。この下地膜は、ガラス基板からの不純物の拡散を防ぐ役割を有している。

【0026】

次に図示しない非晶質珪素膜をプラズマCVD法で500 Åの厚さに成膜し、さらに加熱処理やレーザー光の照射を行うことにより、結晶化させ結晶性珪素膜を得る。

【0027】

さらに得られた結晶性珪素膜をパターニングすることにより、薄膜トランジスタの活性層となる島状の領域202、203、204を形成する。こうして図2(A)に示す状態を得る。薄膜トランジスタは、周辺回路と画素部に形成されるので、この状態においては、端子部とコモン部とはなにも形成されない。

【0028】

次にゲイト絶縁膜として機能する酸化珪素膜205を1000 Åの厚さに成膜する。このゲイト電極を構成する酸化珪素膜205の成膜はプラズマCVD法でもって行う。

【0029】

次にゲイト電極を構成する図示しないアルミニウム膜を4000 Åの厚さにスパッタ法で成膜する。このアルミニウム膜中にはヒロックの発生を抑制するためにスカンジウムを0.2重量%含有させる。ヒロックとは、加熱工程において、アルミニウムの異常成長が起こり、膜やパターンの表面に凹凸や突起物が形成されてしまう現象をいう。

【0030】

さらに上記アルミニウム膜をパターニングし、ゲイト電極206、208、210を形成する。またゲイト電極の形成と同時にそこから延在したゲイト配線を同時に形成する。これらのゲイト電極やゲイト配線は、便宜上1層目の配線と呼ばれている。

【0031】

そしてこのゲイト電極を陽極として電解溶液中で陽極酸化を行うことにより、緻密な膜質を有する陽極酸化膜207、209、211を形成する。この陽極酸化膜の膜厚は1000 Åとする。

【0032】

この陽極酸化膜は、ゲイト電極およびそこから延在したゲイト配線の表面においてヒロックが発生することを防止する役割を有している。なお、この陽極酸化膜の膜厚をさらに厚くすると、後の不純物イオンの注入工程において、オフセットゲイト領域を形成することができる。

【0033】

ここで不純物イオンの注入を行うことにより、各活性層にソース／ドレイン領域とチャネル形成領域とを形成する。

【0034】

ここでは、活性層202と204とにP（リン）イオンを注入する。また活性層203にB（ボロン）イオンの注入を行う。不純物イオンの選択的な注入は、レジストマスクを用いることによって行う。

【0035】

10

20

30

40

50

この工程において、ソース領域 21、26、27、ドレイン領域 23、24、29 が自己整合的に形成される。またチャンネル形成領域 22、25、28 が自己整合的に形成される。

【0036】

不純物イオンの注入工程後、レーザー光の照射を行い、イオンの注入された領域の活性化を行う。この工程は、赤外光や紫外光の照射による方法を用いてもよい。

【0037】

こうして図 2 (B) に示す状態を得る。次に第 1 の層間絶縁膜 212 を $1000 \text{ \AA}$ の厚さに成膜する。この層間絶縁膜 212 は窒化珪素膜を用いる。窒化珪素膜の成膜方法は、プラズマ CVD 法を用いればよい。(図 2 (C))

10

【0038】

なお第 1 の層間絶縁膜 212 としては、酸化珪素膜や酸化窒化珪素膜を利用することができる。

【0039】

次にコンタクトホール 30～35 を形成する。(図 2 (D))

【0040】

図 2 (D) に示す状態を得たら、図 2 (E) に示すように各活性層にコンタクトする電極を形成する。ここでは、周辺回路に配置される薄膜トランジスタのソース電極 36 と 214、ドレイン電極 212 と 213、さらに画素部に配置される薄膜トランジスタのソース電極 215、ドレイン電極 215 を形成する。

20

【0041】

またこの時、各電極から延在して必要な配線が形成される。例えば、画素部の薄膜トランジスタのソース電極 215 の形成と同時に、そこから延在したソース配線が形成される。また、周辺回路においては、必要とされる配線パターンが形成される。なお、周辺回路においてドレイン電極 212 と 213 とを接続することで CMOS 構造を得ることができる。

【0042】

また、端子部とコモン部においても同時に電極が形成される。ここでは、端子部の電極を形成するパターン 219 と 218、さらにコモン部ではコモン電極を構成するパターン 217 が形成される。コモン電極は、端子部に延在し、しかるべき電位に接続される。(図 2 (E))

30

【0043】

この図 2 (E) で示される工程で形成される電極やパターンは、 $500 \sim 1000 \text{ \AA}$ のチタン膜と $2000 \text{ \AA}$ 厚のアルミニウム膜と $1000 \text{ \AA}$ 厚のチタン膜でなる 3 層構造を有するものとして形成される。

【0044】

この工程で形成される電極やパターンは、便宜上 2 層目の配線と呼ばれる。

【0045】

まず最下層をチタン膜とするのは、アルミニウムと活性層を構成する半導体との電気的な接触がうまくいかないからである。これは、アルミニウムが半導体では良好なオーム接触がとれないことによる。

40

【0046】

また中央の層をアルミニウムとするのは、その電気抵抗の低さを最大限利用するためである。

【0047】

また最上層をチタン膜とするのは、後に形成される画素電極 (ITO 電極) と画素部の薄膜トランジスタのドレイン電極 216 とをコンタクトさせるためである。

【0048】

即ち、アルミニウムと ITO 電極を直接コンタクトさせると良好なオーム接触がとれないが、チタン膜と ITO 電極、及びチタン膜とアルミニウムとは良好なオーム接触がとれる

50

からである。

【0049】

また、後の工程において、コモン部においてもBMと2層目のコモン電極217とをITO電極で接続することが必要される。この際、ITO電極との電氣的な接触を良好なものとするために、2層目の配線の最上層をチタン膜とすることが必要とされる。

【0050】

また、後の工程において、端子部においても2層目の配線でなる端子電極218及び219とITO電極とがコンタクトする必要がある。この際、端子電極とITO電極との電氣的な接触を良好なものとするために、2層目の配線の最上層をチタン膜とすることが必要とされる。

10

【0051】

こうして図2(E)に示す状態を得る。次に図3(A)に示すように第2の層間絶縁膜として酸化珪素膜301を2000Åの厚さに成膜する。

【0052】

図3(A)に示す状態を得たら、図3(B)に示すようにBM(ブラックマトリクス)を構成するためにチタン膜を3000Åの厚さに成膜する。BMとしては、クロム膜またはチタン膜とクロム膜との積層膜、または他の適当な金属膜を用いることができる。

【0053】

図3(B)において、BMとして機能するのは302で示される部分である。303で示されるのは、302で示されるBMからコモン部まで延在した部分である。

20

【0054】

次に図3(C)に示すように第3の層間絶縁膜221を成膜する。ここでは、2000Å厚の酸化珪素膜をプラズマCVD法を成膜する。

【0055】

さらに図3(C)に示すように開口222、223、224、225を形成する。ここで222は、端子部の電極を形成するための開口である。また223と224は、2層目の配線とBMとを電氣的に接続するための開口である。

【0056】

また225は、画素部分の薄膜トランジスタのドレイン電極216に後に画素電極であるITO電極がコンタクトするための開口である。

30

【0057】

そして、図4(A)に示すようにITOでなる電極226と227と228とを同時に形成する。ここで、228が画素電極として機能する部分である。また227が2層目の配線217とBMから延在した電極パターン220とを接続するために電極パターンとなる。

【0058】

なお、コモン部の電極パターン227上にはさらに銀ペーストで対抗基板との接触用の電極が形成される。

【0059】

以上示した構成を採用することにより、BM層が電氣的に浮いた状態とすることを避ける構成とすることができる。

40

【0060】

例えば、図4(A)に示す工程の後には、図示しないファイナル保護膜を形成し、さらにその上に液晶をラビングするための図示しないラビング膜を形成し、その後ラビング工程が実施される。この際、静電気の発生により、薄膜トランジスタが破壊されたり絶縁膜が静電破壊してしまうことが多々ある。

【0061】

しかし、本実施例に示す構成を採用した場合、ブラックマトリクスを所定の電位として、そこに電荷が蓄積することを避けることができるので、上記のような不良の発生を防止することができる。

50

【0062】

〔実施例2〕

本実施例は、実施例1とは一部の工程が異なった構成に関する。本実施例に示す作製工程は、図3（A）までは実施例1に示したものと同一である。

【0063】

まず実施例1に示した作製工程に従って、図3（A）に示す状態を得る。図3（A）に示す状態を得たら、図5（A）に示すように開口部501、502、503を形成する。即ち、第2の層間絶縁膜301に501～503で示される開口を形成する。

【0064】

次にBMを構成するチタン膜を成膜し、それをパターニングすることにより、図5（B） 10
に示す状態を得る。

【0065】

ここで507が本来のBMとしての機能を果たすパターンである。

【0066】

また506がBMから延在したパターンと2層面のコモン用の電極217とを直接コンタクトさせるためのパターンである。

【0067】

また、504と505が端子部を構成する一層目の電極218と219にコンタクトする電極である。

【0068】

本実施例においては、端子部において、BMを構成する材料でもって電極が構成されることが実施例1と異なる点である。また、コモン部においてBMから延在した電極506と2層目のコモン電極217とが直接接触する点の実施例1と異なる点である。 20

【0069】

図5（B）に示す状態を得たら、3層目の層間絶縁膜508を成膜する。ここでは、実施例1と同様に酸化珪素膜でもって3層目の層間絶縁膜508を形成する。（図5（C））

【0070】

さらにコンタクトホールを形成を行う。そしてITO膜をスパッタ法で1500Åの厚さに成膜する。そしてそれをパターニングすることにより、画素電極512を形成する。

【0071】

また同時にコモン部における電極511を形成する。この電極511は後に対向基板のコモン電極と接触するために電極となる。また504と505は、端子部における電極端子を形成するものとなる。 30

【0072】

本実施例の構成を採用した場合、BM507から延在した電極506と2層目のコモン用の電極217とが直接接触する構成とすることができる。そしてそのコンタクトを確実にものとすることができる。

【0073】

このBMと2層目のコモン用の電極との接続は、共通電位を保持するためのものであるから、その接触抵抗を極力低くする必要がある。このような目的のためには、本実施例の構成は有用なものとなる。 40

【0074】

〔実施例3〕

本実施例は、実施例1に示す構成において、2層目の配線をチタン膜／アルミニウム膜／チタン膜でなる3層膜とするのではなく、チタン膜／アルミニウム膜の2層膜で構成する場合の例を示す。

【0075】

実施例1で述べたように、2層目の配線を3層構造とするのは、活性層とのコンタクト、ITOとのコンタクト、配線自身抵抗の低減、といった問題を解決するためである。

【0076】

しかし、上記のような多層構造は、成膜工程が多くなるので、作製コストの削減を考えた場合、より層の数が少ないものとするのが好ましい。本実施例はこの点を考慮し、2層目の配線をチタン膜／アルミニウム膜の2層膜でよいものとした例である。

【0077】

本実施例は、実施例1とは一部の工程が異なった構成に関する。本実施例に示す作製工程は、一部の工程を除いて図3(A)までは実施例1に示したものと同一である。

【0078】

まず実施例1に示した作製工程に従って、図3(A)に示す状態を得る。この時、図2(D)に示す工程において、開口35は形成しない。

【0079】

また、図2(E)に示す工程において、217～219、さらに36と212～215で示される2層目の配線を1000 Åのチタン膜と3000 Åのアルミニウム膜との2層で構成する。なお当然電極216は形成しない。

【0080】

こうして図3(A)に示す状態を得たら、図6(A)に示すように開口部501、502、503、601を形成する。即ち、第2の層間絶縁膜301に開口501～503、さらに601を形成する。

【0081】

図6(A)は図5(A)に対応する。両図で異なるのは、図6(A)では、開口601が形成されているが、図5(A)では対応する部分では電極216が形成されている点である。

【0082】

次にBMを構成するチタン膜を成膜し、それをパターニングすることにより、図6(B)に示す状態を得る。ここで507が本来のBMとしての機能を果たすパターンである。

【0083】

またこのパターン506はBM507から延在したパターンと2層目のコモン用の電極217とを直接コンタクトさせるためのパターンである。

【0084】

また、504と505が端子部を構成する一層目の電極218と219にコンタクトした電極である。

【0085】

またこの工程において、開口601の部分にドレイン領域29とコンタクトする電極602をBM507を構成する材料でもって形成する。

【0086】

本実施例においては、端子部において、BMを構成する材料でもって電極が構成されることが実施例1と異なる点である。また、BMと2層目のコモン電極217とが直接接触する点の実施例1と異なる点である。また画素部分の薄膜トランジスタのドレイン領域にコンタクトする電極602がBM材料でもって形成される点の実施例1及び実施例2と異なる。

【0087】

図6(B)に示す状態において、217～219、さらに36と212～215で示される2層目の配線がチタンとアルミニウムでなる2層膜でよいことが明らかになる。

【0088】

即ち、2層目の配線の上面にコンタクトしているのは、チタンでなるBM材料である。従って、2層目の配線の上面がアルミニウムであっても何ら問題なくオーム接触をとることができる。

【0089】

従って、本実施例においては、2層目の配線を下層がチタン膜で上層がアルミニウム膜である2層構造とすることができる。

【0090】

10

20

30

40

50

図6(B)に示す状態を得たら、3層目の層間絶縁膜508を成膜する。ここでは、実施例1と同様に酸化珪素膜でもって3層目の層間絶縁膜508を形成する。(図6(C))

【0091】

さらにコンタクトホールの形成を行う。そしてITO膜をスパッタ法で1500Åの厚さに成膜する。そしてそれをパターニングすることにより、画素電極512を形成する。

【0092】

また同時にコモン部における電極511を形成する。この電極511は後に対抗基板のコモン電極と接触するために電極となる。また509と510は、端子部における電極端子を形成するものとなる。

【0093】

本実施例の構成を採用した場合、BM507から延在した電極506と2層目のコモン用の電極217とが直接接触する構成とすることができる。そしてそのコンタクトを確実なものとすることができる。

【0094】

このBMと2層目のコモン用の電極との接続は、共通電位を保持するためのものであるから、その接触抵抗を極力低くする必要がある。このような目的のためには、本実施例の構成を採用するは好ましい。

【0095】

また、それに加えて2層目の配線をチタン膜とアルミニウム膜との2層膜で構成することができる。このことは、工程を削減できる意味で有用なものとなる。

【0096】

〔実施例4〕

本実施例は、実施例1～3で示す工程におけるBMを構成する材料の成膜の際に、BMが成膜中に高い電位を有し、絶縁膜を静電破壊しないようにするための工夫に関する。

【0097】

実施例1～3に示したようにBMは最終的には所定の電位になるべく構成される。しかし、BMの成膜の際(普通スパッタ法が利用される)には、成膜途中のBMに電荷が蓄積され、BMが他部に対して電位を有してしまうことが懸念される。

【0098】

本実施例はこの問題を解決するものである。図7に本実施例に示す構成の概略を示す。まず図7(B)に示すように基板701上に第1の層間絶縁膜702と2層目の配線703を形成する。ここで、2層目の配線の一部を基板701の角の部分まで延在させて設けておく。

【0099】

そして2層目の層間絶縁膜をプラズマCVD法で成膜する際において、図7(A)に示すように、2層目の配線の延在部分702が存在する部分を基板701を抑える爪705で押さえて、電極700上に配置する。

【0100】

そしてこの状態において、図7(B)に示すように2層目の層間絶縁膜704の成膜を行う。すると、爪705が存在していた部分には成膜が行われない状態となる。

【0101】

そして、BM材料をスパッタ法なりで成膜する。すると、成膜と同時に延在した2層目の配線703とBM膜706とがコンタクトする。このようにすると、BM材料の成膜途中、またはコモン電極の形成の前にBM材料が特定の電位になってしまうことを抑制することができる。

【0102】

なお、702は2層目の配線が形成される基体となる絶縁膜である。

【0103】

【発明の効果】

本明細書で開示する発明を用いることで、ブラックマトリクスが帯電してしまう問題を解

10

20

30

40

50

決することができる。即ち、ブラックマトリクスが帯電してしまうことによって生じる作製工程における不良の発生を抑制することができる。また装置完成後における信頼性を向上させることができる。

【図面の簡単な説明】

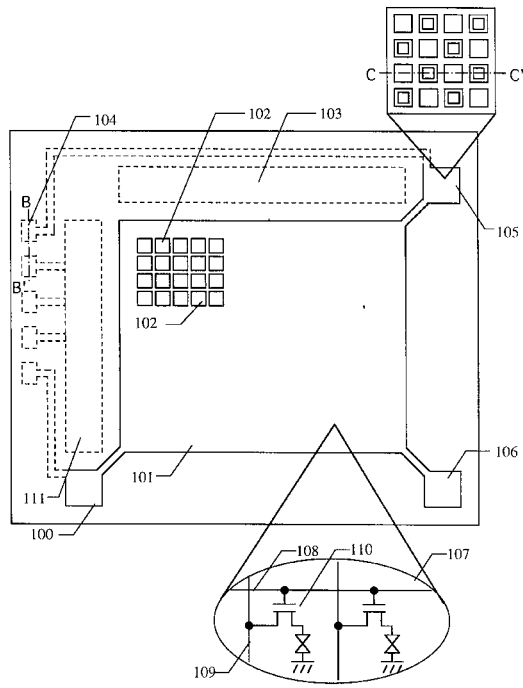
- 【図 1】 アクティブマトリクス型の液晶表示装置の概要を示す図。
 【図 2】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。
 【図 3】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。
 【図 4】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。
 【図 5】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。
 【図 6】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。
 【図 7】 BM 材料の成膜状態を示す図。

10

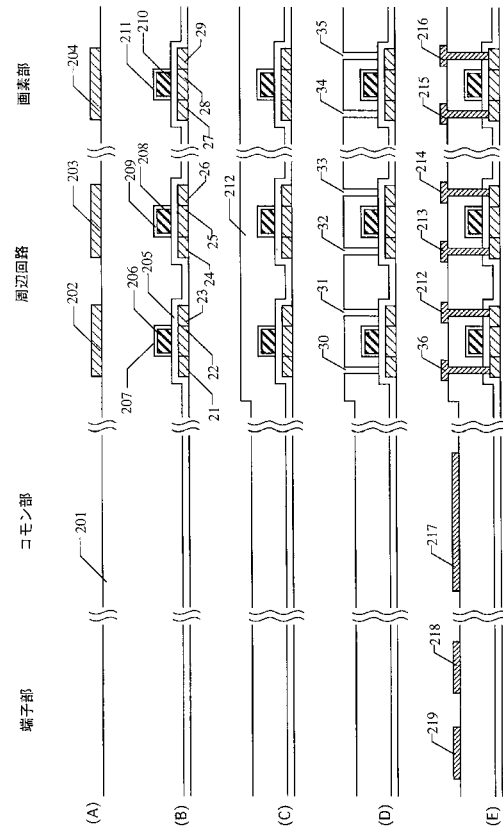
【符号の説明】

- | | | |
|-------------------|--------------------------|----|
| 1 0 1 | アクティブマトリクス領域 | |
| 1 0 2 | BM (ブラックマトリクス) に形成された開口部 | |
| 1 0 3 | 周辺駆動回路 | |
| 1 0 4 | 端子 | |
| 1 0 5、1 0 6、1 0 0 | コモン電極 | |
| 1 0 7 | アクティブマトリクス回路の拡大図 | |
| 1 0 8 | ゲイト線 | |
| 1 0 9 | ソース線 | 20 |
| 1 1 0 | 薄膜トランジスタ | |
| 1 1 1 | 周辺駆動回路 | |
| 2 0 1 | ガラス基板 | |
| 2 0 2、2 0 3、2 0 4 | 活性層 | |
| 2 0 5 | ゲイト絶縁膜 | |
| 2 0 6、2 0 8、2 1 0 | ゲイト電極 | |
| 2 0 7、2 0 9、2 1 1 | 陽極酸化膜 | |
| 2 1、2 6、2 7 | ソース領域 | |
| 2 3、2 4、2 9 | ドレイン領域 | |
| 2 2、2 5、2 8 | チャンネル形成領域 | 30 |
| 2 1 2 | 層間絶縁膜 | |
| 3 0～3 5 | コンタクト開口 | |
| 2 1 8、2 1 9 | 端子電極 | |
| 2 1 7 | コモン電極 | |
| 3 6、2 1 4、2 1 5 | ソース電極 | |
| 2 1 2、2 1 3、2 1 6 | ドレイン電極 | |
| 3 0 1 | 層間絶縁膜 | |
| 3 0 2 | BM (ブラックマトリクス) | |
| 3 0 3 | コモン電極 | |
| 2 2 1 | 層間絶縁膜 | 40 |
| 2 2 6 | 端子電極 | |
| 2 2 7 | コモン電極 | |
| 2 2 8 | 画素電極 | |

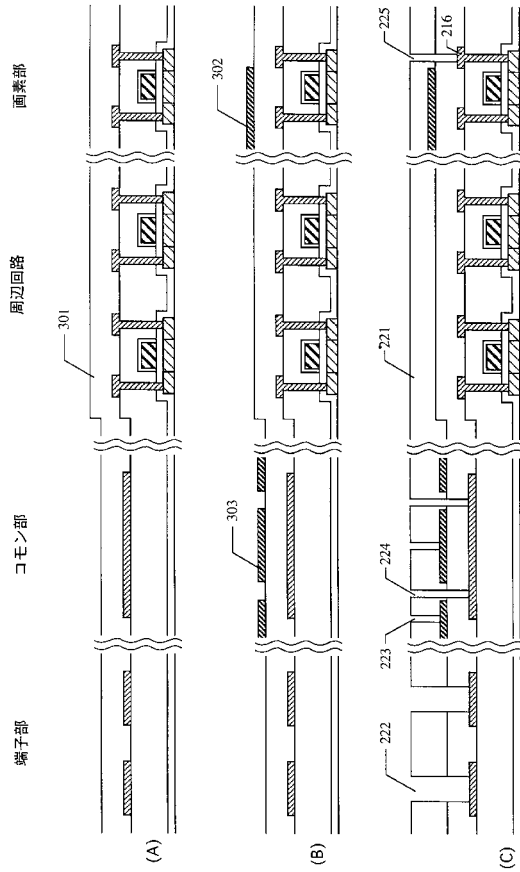
【図 1】



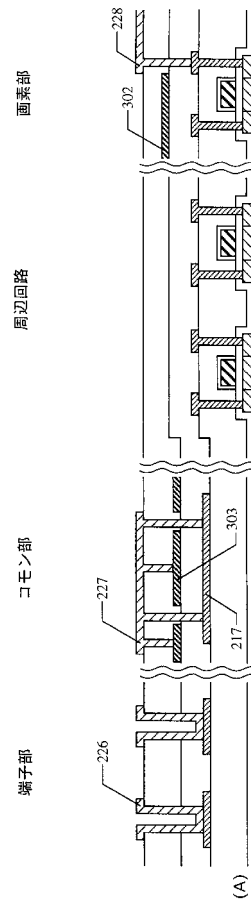
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.

F I

H01L 29/786 (2006.01)

H01L 29/78 619B

H01L 27/08 (2006.01)

H01L 27/08 331E

H01L 23/52 (2006.01)

H01L 29/78 612B

H01L 21/3205 (2006.01)

H01L 29/78 623A

H01L 21/88 S

(72)発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 山口 直明

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 福島 浩司

(56)参考文献 特開平07-234421 (JP, A)

特開平07-013145 (JP, A)

特開平06-289414 (JP, A)

特開平06-250221 (JP, A)

特開平06-202153 (JP, A)

特開平06-138488 (JP, A)

特開平04-358127 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1333

G02F 1/1335

G02F 1/1343

H01L 21/28

H01L 21/3205

H01L 23/52

H01L 27/08

H01L 29/786

专利名称(译)	有源矩阵显示		
公开(公告)号	JP3807550B2	公开(公告)日	2006-08-09
申请号	JP2002306033	申请日	2002-10-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司 夏普公司		
[标]发明人	大堀達也 竹井美智子 張宏勇 須沢英臣 山口直明		
发明人	大堀 達也 竹井 美智子 張 宏勇 須沢 英臣 山口 直明		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1335 G02F1/1343 H01L21/28 H01L29/786 H01L27/08 H01L23/52 H01L21/3205		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1335.500 G02F1/1343 H01L21/28.301.R H01L29/78.619.B H01L27/08.331.E H01L29/78.612.B H01L29/78.623.A H01L21/88.S H01L27/088.331.E		
F-TERM分类号	2H090 2H090/AA21 2H090/BB02 2H090/BB04 2H090/CC02 2H090/DD02 2H090/DD03 2H090/DD13 2H090/DD14 2H090/EE04 2H090/EE05 2H090/EE09 2H090/EE14 2H090/EE15 2H090/EE28 2H090/EE42 2H090/EE43 2H090/EE44 2H090/EE48 2H090/FF02 2H090/FF03 2H090/FF09 2H090/FF23 2H090/FF29 2H090/GG02 2H090/GG13 2H090/GG25 2H090/GG26 2H090/GG44 2H090/GG47 2H090/HA04 2H090/HD07 2H090/LA01 2H090/LA04 2H090/LA05 2H090/NN22 2H091/FA34Y 2H091/GA02 2H091/GA07 2H091/GA13 2H091/LA07 2H092/GA32 2H092/GA34 2H092/GA36 2H092/GA38 2H092/GA59 2H092/GA64 2H092/JA25 2H092/JA44 2H092/JA46 2H092/JA47 2H092/JA48 2H092/JB52 2H092/JB53 2H092/JB54 2H092/JB58 2H092/JB79 2H092/KB24 2H092/NA14 2H190/HA04 2H190/HD07 2H190/LA01 2H190/LA04 2H190/LA05 2H191/FA13Y 2H191/GA04 2H191/GA10 2H191/GA19 2H191/LA07 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CC72 2H192/EA03 2H192/EA17 2H192/FA22 2H192/FA35 2H192/FA65 2H192/FB02 2H192/GA31 2H291/FA13Y 2H291/GA04 2H291/GA10 2H291/GA19 2H291/LA07 4M104/BB02 4M104/BB39 4M104/CC05 4M104/DD37 4M104/HH03 5F033/HH08 5F033/HH18 5F033/HH38 5F033/JJ01 5F033/JJ08 5F033/JJ18 5F033/JJ38 5F033/KK04 5F033/KK18 5F033/MM05 5F033/QQ37 5F033/RR04 5F033/RR06 5F033/VV03 5F033/VV15 5F048/AA07 5F048/AB10 5F048/AC01 5F048/AC04 5F048/BA16 5F048/BC16 5F048/BF01 5F048/BF11 5F110/AA22 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD15 5F110/EE06 5F110/EE34 5F110/EE44 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG45 5F110/HJ01 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL11 5F110/HL12 5F110/HM14 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN42 5F110/NN43 5F110/NN46 5F110/NN54 5F110/NN58 5F110/NN72 5F110/PP01 5F110/PP03 5F110/QQ11		
审查员(译)	福島浩二		
其他公开文献	JP2003207808A		

摘要(译)

要解决的问题：为了解决在有源矩阵型液晶显示装置中遮光膜不希望地带电的问题。ŽSOLUTION：在基板上具有至少一个薄膜晶体管（TFT）的有源矩阵型显示装置，具有在TFT上形成的第一绝缘膜，在第一绝缘膜上形成的第二绝缘膜，遮光膜302形成在第二绝缘膜上，形成在膜302上的第三绝缘膜，和形成在第三绝缘膜上的像素电极228，电连接到TFT并由透明导电膜构成。膜302电连接到由透明导电膜和公共电极217组成的电极227，公共电极217形成在第一和第二绝缘膜之间，并且由与源极线相同的材料构成。Ž

【 图 1 】

