

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-257164

(P2008-257164A)

(43) 公開日 平成20年10月23日(2008.10.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H092
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 621B	5C006
<b>G02F 1/1343 (2006.01)</b>	G09G 3/20 611A	5C080
<b>G02F 1/1368 (2006.01)</b>	G09G 3/20 624B	
	G09G 3/20 622Q	

審査請求 未請求 請求項の数 20 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2007-225349 (P2007-225349)  
 (22) 出願日 平成19年8月31日 (2007.8.31)  
 (31) 優先権主張番号 10-2007-0032893  
 (32) 優先日 平成19年4月3日 (2007.4.3)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 SAMSUNG ELECTRONICS  
 CO., LTD.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do 442-742  
 (KR)

(74) 代理人 100094145  
 弁理士 小野 由己男  
 (74) 代理人 100106367  
 弁理士 稲積 朋子

最終頁に続く

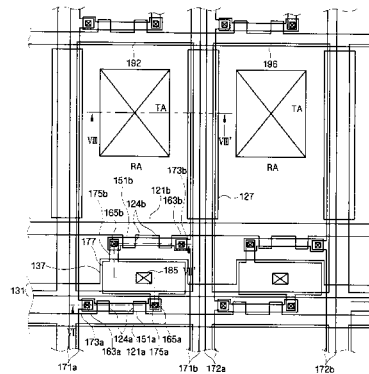
(54) 【発明の名称】 表示基板、及びそれを含む液晶表示装置

(57) 【要約】

【課題】データ電圧の変動範囲を十分に大きく維持したまま、各データ線の電圧の変動範囲を縮小可能にすることで消費電力を低減可能な液晶表示装置を提供する。

【解決手段】本発明による表示基板の各画素では、画素電極が一对の薄膜トランジスタを通じて一对のデータ線に接続されている。各薄膜トランジスタは、異なるゲート線からのゲートオン電圧によって別々にターンオンする。一对のデータ線の一方は正極性のデータ電圧を伝達し、他方は負極性のデータ電圧を伝達する。すなわち、各データ線は、極性が正負のいずれかに固定されたデータ電圧を伝達する。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

第 1 ゲートオン電圧を伝達する第 1 ゲート線、  
 第 2 ゲートオン電圧を伝達する第 2 ゲート線、  
 正極性のデータ電圧を伝達する第 1 正極性データ線と第 2 正極性データ線、  
 負極性のデータ電圧を伝達する第 1 負極性データ線と第 2 負極性データ線、  
 前記第 1 ゲート線、前記第 2 ゲート線、前記第 1 正極性データ線、及び前記第 1 負極性  
 データ線に接続され、前記第 1 ゲート線から前記第 1 ゲートオン電圧を受ける期間では前  
 記第 1 正極性データ線から正極性のデータ電圧を受け、前記第 2 ゲート線から前記第 2 ゲ  
 ートオン電圧を受ける期間では前記第 1 負極性データ線から負極性のデータ電圧を受ける  
 第 1 画素、並びに、

前記第 1 ゲート線、前記第 2 ゲート線、前記第 2 正極性データ線、及び前記第 2 負極性  
 データ線に接続され、前記第 1 ゲート線から前記第 1 ゲートオン電圧を受ける期間では前  
 記第 2 負極性データ線から負極性のデータ電圧を受け、前記第 2 ゲート線から前記第 2 ゲ  
 ートオン電圧を受ける期間では前記第 2 正極性のデータ線から正極性のデータ電圧を受け  
 る第 2 画素、  
 を含む液晶表示装置。

10

## 【請求項 2】

データ電圧の極性は共通電圧に対する極性で決まる、請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記第 1 画素と前記第 2 画素とのそれぞれは、  
 前記第 1 ゲートオン電圧によりターンオンする第 1 スイッチング素子、  
 前記第 2 ゲートオン電圧によりターンオンする第 2 スイッチング素子、及び、  
 前記第 1 スイッチング素子と前記第 2 スイッチング素子とに接続され、前記第 1 スイッ  
 チング素子のオン期間では前記第 1 スイッチング素子を通して正極性のデータ電圧を受け  
 、前記第 2 スイッチング素子のオン期間では前記第 2 スイッチング素子を通して負極性の  
 データ電圧を受ける画素電極、  
 を含む、請求項 2 に記載の液晶表示装置。

20

## 【請求項 4】

前記画素電極と対向して配置され、外部から前記共通電圧が印加される共通電極、  
 前記画素電極と前記共通電極との間に挟まれている液晶、及び、  
 前記画素電極と前記液晶との間に備えられ、外部から前記液晶を通じて入射した光を前  
 記液晶に向かって反射する反射膜、  
 を含む、請求項 3 に記載の液晶表示装置。

30

## 【請求項 5】

前記第 1 ゲート線と前記第 2 ゲート線との少なくとも一方は前記反射膜に重なっている  
 、請求項 4 に記載の液晶表示装置。

## 【請求項 6】

前記画素電極の間で前記第 1 ゲート線及び前記第 2 ゲート線と同じ層に形成され、前記  
 第 1 正極性データ線と前記第 1 負極性データ線とのいずれか一方、及び前記第 2 正極性デ  
 ータ線と前記第 2 負極性データ線とのいずれか一方に重なっている遮光パターン、  
 をさらに含む、請求項 4 に記載の液晶表示装置。

40

## 【請求項 7】

前記第 1 画素と前記第 2 画素との間を区切り、前記第 1 正極性データ線と前記第 1 負極  
 性データ線とのいずれか一方、及び前記第 2 正極性データ線と前記第 2 負極性データ線と  
 のいずれか一方に重なっているブラックマトリックス、  
 をさらに含む、請求項 1 に記載の液晶表示装置。

## 【請求項 8】

前記第 1 正極性データ線に対して正極性のデータ電圧を印加する期間では前記第 1 負極  
 性データ線をフローティング状態に維持し、前記第 1 負極性データ線に対して負極性のデ

50

ータ電圧を印加する期間では前記第 1 正極性データ線をフローティング状態に維持する、請求項 1 に記載の液晶表示装置。

【請求項 9】

外部から入力される映像信号に応じて正極性のデータ電圧または負極性のデータ電圧を出力するデータ駆動部、及び、

前記データ駆動部から出力された正極性のデータ電圧を前記第 1 正極性データ線と前記第 2 正極性データ線とに伝送し、前記データ駆動部から出力された負極性のデータ電圧を前記第 1 負極性データ線と前記第 2 負極性データ線とに伝送する伝送ゲート、をさらに含む、請求項 1 に記載の液晶表示装置。

【請求項 10】

第 3 ゲートオン電圧を伝送する第 3 ゲート線、  
第 4 ゲートオン電圧を伝送する第 4 ゲート線、

前記第 3 ゲート線、前記第 4 ゲート線、前記第 1 正極性データ線、及び前記第 1 負極性データ線に接続され、前記第 3 ゲート線から前記第 3 ゲートオン電圧を受ける期間では前記第 1 正極性データ線から正極性のデータ電圧を受け、前記第 4 ゲート線から前記第 4 ゲートオン電圧を受ける期間では前記第 1 負極性データ線から負極性のデータ電圧を受ける第 3 画素、並びに、

前記第 3 ゲート線、前記第 4 ゲート線、前記第 2 正極性データ線、及び前記第 2 負極性データ線に接続され、前記第 3 ゲート線から前記第 3 ゲートオン電圧を受ける期間では前記第 2 負極性データ線から負極性のデータ電圧を受け、前記第 4 ゲート線から前記第 4 ゲートオン電圧を受ける期間では前記第 2 正極性のデータ線から正極性のデータ電圧を受ける第 4 画素、をさらに含む、請求項 1 に記載の液晶表示装置。

【請求項 11】

第 3 ゲートオン電圧を伝送する第 3 ゲート線、  
第 4 ゲートオン電圧を伝送する第 4 ゲート線、

前記第 3 ゲート線、前記第 4 ゲート線、前記第 1 正極性データ線、及び前記第 1 負極性データ線に接続され、前記第 3 ゲート線から前記第 3 ゲートオン電圧を受ける期間では前記第 1 負極性データ線から負極性のデータ電圧を受け、前記第 4 ゲート線から前記第 4 ゲートオン電圧を受ける期間では前記第 1 正極性データ線から正極性のデータ電圧を受ける第 3 画素、並びに、

前記第 3 ゲート線、前記第 4 ゲート線、前記第 2 正極性データ線、及び前記第 2 負極性データ線に接続され、前記第 3 ゲート線から前記第 3 ゲートオン電圧を受ける期間では前記第 2 正極性データ線から正極性のデータ電圧を受け、前記第 4 ゲート線から前記第 4 ゲートオン電圧を受ける期間では前記第 2 負極性のデータ線から負極性のデータ電圧を受ける第 4 画素、をさらに含む、請求項 1 に記載の液晶表示装置。

【請求項 12】

前記第 1 ゲートオン電圧が前記第 1 ゲート線に対して印加されるフレームが、前記第 2 ゲートオン電圧が前記第 2 ゲート線に対して印加されるフレームとは異なる、請求項 1 に記載の液晶表示装置。

【請求項 13】

第 1 ゲート線、  
第 2 ゲート線、

前記第 1 ゲート線と前記第 2 ゲート線とのそれぞれと交差する第 1 データ線と第 2 データ線、

前記第 1 ゲート線と前記第 1 データ線とのそれぞれに接続された電極と、第 1 ドレイン電極とを含む第 1 薄膜トランジスタ、

前記第 2 ゲート線と前記第 2 データ線とのそれぞれに接続された電極と、第 2 ドレイン電極とを含む第 2 薄膜トランジスタ、

10

20

30

40

50

前記第 1 ドレイン電極と前記第 2 ドレイン電極とに接続された第 1 画素電極、及び、  
前記第 1 画素電極に重なっている反射膜、  
を含む表示基板。

【請求項 14】

前記第 1 ゲート線と前記第 2 ゲート線との少なくとも一方は前記反射膜に重なっている、請求項 13 に記載の表示基板。

【請求項 15】

前記第 1 画素電極は前記第 1 データ線と前記第 2 データ線との間に形成された、請求項 13 に記載の表示基板。

【請求項 16】

前記第 1 ゲート線及び前記第 2 ゲート線と同じ層に形成され、前記第 1 データ線と前記第 2 データ線との少なくとも一方に重なっている遮光パターン、  
をさらに含む、請求項 13 に記載の表示基板。

【請求項 17】

前記第 1 データ線に対してデータ電圧を印加する期間では前記第 2 データ線をフローティング状態に維持する、請求項 13 に記載の表示基板。

【請求項 18】

第 3 データ線、

第 4 データ線、

前記第 1 ゲート線と前記第 3 データ線とのそれぞれに接続された電極と、第 3 ドレイン電極とを含む第 3 薄膜トランジスタ、

前記第 2 ゲート線と前記第 4 データ線とのそれぞれに接続された電極と、第 4 ドレイン電極とを含む第 4 薄膜トランジスタ、及び、

前記第 3 ドレイン電極と前記第 4 ドレイン電極とに接続された第 2 画素電極、  
をさらに含む、請求項 13 に記載の表示基板。

【請求項 19】

前記第 1 画素電極は前記第 1 データ線と前記第 2 データ線との間に形成され、前記第 2 画素電極は前記第 3 データ線と前記第 4 データ線との間に形成された、請求項 18 に記載の表示基板。

【請求項 20】

前記第 1 画素電極と前記第 2 画素電極との間で前記第 1 ゲート線及び前記第 2 ゲート線と同じ層に形成され、前記第 1 データ線と前記第 2 データ線とのいずれか一方、及び前記第 3 データ線と前記第 4 データ線とのいずれか一方に重なっている遮光パターン、  
をさらに含む、請求項 18 に記載の表示基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特にその表示基板に関する。

【背景技術】

【0002】

液晶表示装置は、二枚の表示パネル、液晶、及び駆動部を含む。二枚の表示パネルは液晶を間に挟んで貼り合わされている。一般に、一方の表示パネルの内面には複数の画素電極がマトリクス状に備えられ、他方の内面全体には一枚の共通電極が備えられている。各画素電極には薄膜トランジスタが一般に一つずつ接続され、それらが一つの画素を構成している。画素電極のマトリクスの間では複数のゲート線が行方向に延び、複数のデータ線が列方向に延びている。各画素では薄膜トランジスタが近接のゲート線とデータ線とに接続されている。画素電極は同じ画素の薄膜トランジスタのターンオンによってデータ線に接続される。具体的には、ゲート線から薄膜トランジスタにゲートオン電圧が印加されるときにその薄膜トランジスタがターンオンし、データ線から同じ画素の画素電極にデータ電圧を伝達する。一方、共通電極には共通電圧が印加される。液晶は誘電率異方性を

10

20

30

40

50

持ち、画素電極に対して印加されるデータ電圧と、共通電極に対して印加される共通電圧との間の差に応じて透過光の偏光方向を回転させる。表示パネルの少なくとも一方には偏光板が備えられているので、データ電圧と共通電圧との差に応じて液晶を透過する光の偏光方向が回転すると、偏光板を透過可能なその光の強度が変化する。従って、データ電圧と共通電圧との差の調節を通じて各画素の光透過率又は光反射率が調節可能である。駆動部はゲート駆動部とデータ駆動部とを含む。ゲート駆動部は各ゲート線に対するゲートオン電圧の印加のタイミングを制御する。データ駆動部は各データ線に対するデータ電圧のレベル及びその印加のタイミングを制御する。駆動部がデータ電圧と共通電圧との差を画素ごとに調節することで、各画素の光透過率又は光反射率が所望の値に調節される。こうして、表示パネルの画面に所望の画像が表示される。

10

**【0003】**

液晶に対して同じ極性の電圧を繰り返し印加するのは、その液晶の劣化を早める。従って、液晶表示装置は一般に、液晶の劣化を防止する目的で、画素電極と共通電極との間の電圧の極性を周期的に反転させる。このような駆動方法を以下、反転駆動という。反転駆動には、例えばフレーム反転駆動、ライン反転駆動、コラム反転駆動、またはドット反転駆動がある。フレーム反転駆動では、共通電圧に対するデータ電圧の極性をフレームごとに反転させる。ライン反転駆動では、共通電圧に対するデータ電圧の極性をさらに各フレームで画素電極のマトリックスの行ごとに反転させる。コラム反転駆動では、共通電圧に対するデータ電圧の極性をさらに各フレームで画素電極のマトリックスの列ごとに反転させる。ドット反転駆動では、共通電圧に対するデータ電圧の極性をさらに各フレームで画素電極ごとに反転させる。すなわち、画素電極のマトリックスの行方向と列方向との両方で、隣接する二つの画素電極間ではデータ電圧の極性が反対である。

20

**【特許文献1】特開平5-273522号公報****【発明の開示】****【発明が解決しようとする課題】****【0004】**

反転駆動では、共通電圧に対するデータ電圧の極性がフレーム単位で反転する。従来の液晶表示装置では、各画素電極にデータ線が一本ずつ接続されている。従って、反転駆動ではデータ駆動部は共通電圧に対するデータ電圧の極性を同じデータ線で反転させる。すなわち、データ駆動部は各データ線の電圧を正極性のデータ電圧の上限から負極性のデータ電圧の下限までの範囲で変動させる。

30

**【0005】**

一方、液晶表示装置に対しては更なる高輝度化や高精細化が要求されている。従って、データ電圧の変動範囲はある程度大きく確保されねばならない。その結果、従来の液晶表示装置では各データ線の電圧の変動幅をさらに縮小させることが困難であるので、消費電力をさらに削減することが困難である。

**【0006】**

本発明の目的は、データ電圧の変動範囲を十分に大きく維持したまま、各データ線の電圧の変動範囲を縮小可能にすることで消費電力をさらに低減可能な液晶表示装置を提供することである。

40

**【課題を解決するための手段】****【0007】**

本発明による表示基板は、第1ゲート線、第2ゲート線、第1データ線、第2データ線、第1薄膜トランジスタ、第2薄膜トランジスタ、第1画素電極、及び反射膜を含む。各データ線は各ゲート線と交差している。第1薄膜トランジスタは、第1ゲート線と第1データ線とのそれぞれに接続された電極と、第1ドレイン電極とを含む。第2薄膜トランジスタは、第2ゲート線と第2データ線とのそれぞれに接続された電極と、第2ドレイン電極とを含む。第1画素電極は第1ドレイン電極と第2ドレイン電極とに接続されている。反射膜は第1画素電極に重なっている。

**【0008】**

50

本発明による液晶表示装置は、第1ゲート線、第2ゲート線、第1正極性データ線、第2正極性データ線、第1負極性データ線、第2負極性データ線、第1画素、及び第2画素を含む。第1ゲート線は第1ゲートオン電圧を伝達し、第2ゲート線は第2ゲートオン電圧を伝達する。各正極性データ線は正極性のデータ電圧を伝達し、各負極性データ線は負極性のデータ電圧を伝達する。第1画素は、第1ゲート線、第2ゲート線、第1正極性データ線、及び第1負極性データ線に接続されている。第1画素は、第1ゲート線から第1ゲートオン電圧を受ける期間では第1正極性データ線から正極性のデータ電圧を受け、第2ゲート線から第2ゲートオン電圧を受ける期間では第1負極性データ線から負極性のデータ電圧を受ける。第2画素は、第1ゲート線、第2ゲート線、第2正極性データ線、及び第2負極性データ線に接続されている。第2画素は、第1ゲート線から第1ゲートオン電圧を受ける期間では第2負極性データ線から負極性のデータ電圧を受け、第2ゲート線から第2ゲートオン電圧を受ける期間では第2正極性のデータ線から正極性のデータ電圧を受ける。

10

【発明の効果】

【0009】

本発明による表示基板では、画素電極にデータ線が二本ずつ接続されている。従って、それを含む本発明による液晶表示装置は、各画素電極に接続されるデータ線の一方には正極性のデータ電圧のみを印加し、他方には負極性のデータ電圧のみを印加できる。それにより、各画素電極に対するデータ電圧の変動範囲を十分に大きく維持したまま、各データ線の電圧の変動範囲を従来のもより縮小可能である。その結果、消費電力がさらに低減可能である。

20

【発明を実施するための最良の形態】

【0010】

以下、図1～図2Cを参照しながら、本発明の一実施形態による液晶表示装置について説明する。図1は、本発明の一実施形態による液晶表示装置のブロック図である。図1に示されているように、この液晶表示装置10は、液晶パネル300、ゲート駆動部400、データ駆動部500、信号制御部600、及び階調電圧生成部800を含む。

【0011】

液晶パネル300は、複数の表示信号線 $G_{11} \sim G_{n2}$ 、 $D_{11} \sim D_{m2}$ 、及び複数の画素PXを含む。画素PXは液晶パネル300の上にマトリックス状に配列されている。表示信号線は、 $2n$ 本 ( $n$ は1以上の整数)のゲート線 $G_{11} \sim G_{n2}$ 、及び、 $2m$ 本 ( $m$ は1以上の整数)のデータ線 $D_{11} \sim D_{m2}$ を含む。各ゲート線 $G_{11} \sim G_{n2}$ は各画素PXにゲート信号を伝達する。各データ線 $D_{11} \sim D_{n2}$ は各画素PXにデータ電圧を伝達する。各画素PXは一对のゲート線 $G_{i1}$ 、 $G_{i2}$ に接続されている ( $i=1, 2, \dots, n$ )。例えば、1番目の画素列では各画素PXは一对のゲート線 $G_{11}$ 、 $G_{12}$ に接続されている。また、各画素PXは一对のデータ線 $D_{j1}$ 、 $D_{j2}$ に接続されている ( $j=1, 2, \dots, m$ )。例えば、1番目の画素行では各画素PXは一对のデータ線 $D_{11}$ 、 $D_{12}$ に接続されている。ゲート線 $G_{11} \sim G_{n2}$ は画素PXのマトリックスの行方向に延び、互いにほぼ平行である。データ線 $D_{11} \sim D_{m2}$ は画素PXのマトリックスの列方向に延び、互いにほぼ平行である。

30

【0012】

液晶パネル300では、例えば図7や図8に示されているように、二枚の表示パネルが液晶を間に挟んで貼り合わされている。一方の表示パネルの内面では、例えば図2Bや図6に示されているように、各画素PXに一枚の画素電極と一对の薄膜トランジスタとが備えられている。他方の表示パネルの内面は全体が一枚の共通電極で覆われている。各画素PXでは一对の薄膜トランジスタの各ゲート端子が一对のゲート線 $G_{i1}$ 、 $G_{i2}$ のそれぞれに接続されている ( $i=1, 2, \dots, n$ )。各画素PXではさらに、各薄膜トランジスタを通して一对のデータ線 $D_{j1}$ 、 $D_{j2}$ のそれぞれに接続されている ( $j=1, 2, \dots, m$ )。各薄膜トランジスタはスイッチング素子として機能し、同じ画素の画素電極を一对のデータ線 $D_{j1}$ 、 $D_{j2}$ のいずれかに接続する。具体的には、ゲート線から薄膜トランジスタにゲートオン電圧が印加されるときにその薄膜トランジスタがターンオンし、データ線から同じ画素の画素電極にデ

40

50

ータ電圧を伝達する。一方、共通電極に対しては外部から共通電圧Vcomが印加される。液晶パネル300の具体的な構造の詳細については後述する。

【0013】

信号制御部600は外部のグラフィックコントローラ（図示せず）からRGB信号R、G、B及び制御信号を受信する。ここで、制御信号は好ましくは、水平同期信号Vsync、垂直同期信号Hsync、メインクロック信号MCLK、及びデータイネーブル信号DEを含む。信号制御部600はさらに、制御信号Vsync、Hsync、MCLK、DEに基づいてゲート制御信号CONT1及びデータ制御信号CONT2を生成し、RGB信号R、G、Bに基づいて映像信号DATを生成する。ゲート制御信号CONT1はゲート駆動部400に提供され、映像信号DATとデータ制御信号CONT2とはデータ駆動部500に提供される。

10

【0014】

階調電圧生成部800は複数の階調電圧を生成してデータ駆動部500に提供する。階調電圧生成部800は好ましくは抵抗素子の直列接続を含み、それを利用して所定の電圧を分圧することで複数の階調電圧を生成する。各階調電圧のレベルは画素PXの輝度の階調、すなわち、画素PXの光透過率または光反射率の調節可能な値に対応づけられている。複数の階調電圧には特に、共通電圧Vcomに対する極性が正のものと負のものとが両方含まれている。画素PXの輝度の各階調には正極性の階調電圧と負極性の階調電圧とが一つずつ対応づけられている。階調電圧生成部800は好ましくは全ての階調電圧を生成する。その他に、階調電圧生成部800はいくつかの階調電圧のみを生成し、データ駆動部500がそれらの階調電圧を分圧して全ての階調電圧を生成しても良い。

20

【0015】

データ駆動部500は、信号制御部600からのデータ制御信号CONT2に従い、信号制御部600から映像信号DATを受信する。データ駆動部500はさらに、映像信号DATの示す各画素PXの輝度の階調に基づき、階調電圧生成部800から提供された複数の階調電圧の中から正極性の階調電圧または負極性の階調電圧を選択する。データ駆動部500は続いて、選択された階調電圧をデータ電圧として目標のデータ線 $D_{11} \sim D_{m2}$ に対し、データ制御信号CONT2に従って印加する。データ制御信号CONT2は好ましくは、データ駆動部500による各画素行に対するデータ電圧の印加動作の開始タイミングを示す水平開始信号、各データ線に対するデータ電圧の出力タイミングを示す出力指示信号などを含む。

30

【0016】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1に従ってゲート信号を各ゲート線 $G_{11} \sim G_{n2}$ に対して順番に印加する。ゲート信号は好ましくはゲートオン電圧Vonとゲートオフ電圧Voffとの組み合わせから成る。ゲート駆動部400は好ましくは各フレームでは、各画素PXに接続されている一对のゲート線 $G_{i1}$ 、 $G_{i2}$  ( $i=1, 2, \dots, n$ )の一方のみでゲート信号のレベルをゲートオン電圧Vonにする。ゲート駆動部400はさらに、各対のゲート線 $G_{i1}$ 、 $G_{i2}$ の間で、ゲート信号のレベルをゲートオン電圧Vonにするゲート線をフレームごとに切り換える。例えばゲート線 $G_{11} \sim G_{n2}$ の数が $2n$ である場合、ゲート駆動部400はあるフレームでは $n$ 本のゲート線に対して順番にゲートオン電圧Vonを印加し、次のフレームでは残り $n$ 本のゲート線に対して順番にゲートオン電圧Vonを印加する。ここで、各ゲート線 $G_{11} \sim G_{n2}$ に対するゲート信号のレベルの切り換えタイミング、特に、各ゲート線 $G_{11} \sim G_{n2}$ に対するゲートオン電圧Vonの印加タイミングはゲート制御信号CONT1に従って制御される。ゲート制御信号CONT1は好ましくは、各フレームでゲート駆動部500によるゲート信号の印加動作の開始タイミングを示す垂直開始信号、ゲートオン電圧Vonの出力タイミングを示すゲートクロック信号、及びゲートオン電圧Vonのパルス幅を示す出力イネーブル信号などを含む。

40

【0017】

ゲート駆動部400またはデータ駆動部500は好ましくは複数のチップに組み込まれ、液晶パネル300の上に直接実装される。ゲート駆動部400またはデータ駆動部500はその他にテープキャリアパッケージの形態で液晶パネル300に実装されても良い。すなわち、各駆動部を組み込んだチップが可撓性印刷回路膜の上に実装され、それらの可撓性印刷回路膜が

50

液晶パネル300に接着されても良い。さらにそれらとは別に、ゲート駆動部400またはデータ駆動部500はS O G (System On Glass)方式で、表示信号線 $G_{11} \sim G_{n2}$ 、 $D_{11} \sim D_{m2}$ などと共に液晶パネル300に集積化されても良い。

【0018】

図2Aに、ゲート駆動部400から出力されるゲート信号のタイミングチャートを示す。図2Aに示されているように、第1フレームではまず、第1時間T1の間、第1ゲート線 $G_{11}$ に対してゲートオン電圧Vonが印加され、次に、第2時間T2の間、第4ゲート線 $G_{22}$ に対してゲートオン電圧Vonが印加される。以下同様に、各画素行に接続される一対のゲート線の一方 $G_{(2i-1)1}$ 、 $G_{2i2}$  ( $i=1, 2, \dots$ )のみに対してゲートオン電圧Vonが順番に所定時間ずつ印加される。一方、第2ゲート線 $G_{12}$ 、第3ゲート線 $G_{21}$ 等、他のゲート線 $G_{(2i-1)2}$ 、 $G_{2i1}$  ( $i=1, 2, \dots$ )に対してはゲートオフ電圧Voffが印加され続ける。第2フレームでは、各画素行でゲートオン電圧Vonが印加されるゲート線が第1フレームとは別のものに切り換えられる。すなわち、第2フレームではまず、第3時間T3の間、第2ゲート線 $G_{12}$ に対してゲートオン電圧Vonが印加され、次に、第4時間T4の間、第3ゲート線 $G_{21}$ に対してゲートオン電圧Vonが印加される。以下同様に、各画素行に接続される一対のゲート線の一方 $G_{(2i-1)2}$ 、 $G_{2i1}$  ( $i=1, 2, \dots$ )のみに対してゲートオン電圧Vonが順番に所定時間ずつ印加される。一方、第1ゲート線 $G_{11}$ 、第4ゲート線 $G_{22}$ 等、他のゲート線 $G_{(2i-1)1}$ 、 $G_{2i2}$  ( $i=1, 2, \dots$ )に対してはゲートオフ電圧Voffが印加され続ける。

10

【0019】

データ駆動部500は好ましくは、図2Aに示されているゲート信号に合わせて、各画素PXの画素電極に対して印加されるデータ電圧の共通電圧Vcomに対する極性を、図2B~図2Eに示されているように反転させる。図2B~図2Eでは例として、隣接する4個の画素PX1、PX2、PX3、PX4が示されている。第1画素PX1と第2画素PX2とは第1画素行で隣接して配置され、第3画素PX3と第4画素PX4とは第2画素行で隣接して配置されている。第1画素PX1と第3画素PX3とは第1画素列で隣接して配置され、第2画素PX2と第4画素PX4とは第2画素列に隣接して配置されている。第1画素PX1では、第1スイッチング素子S1のゲート端子が第1ゲート線 $G_{11}$ に接続され、第2スイッチング素子S2のゲート端子が第2ゲート線 $G_{12}$ に接続されている。さらに、画素電極が第1スイッチング素子S1を通して第1データ線 $D_{11}$ に接続され、第2スイッチング素子S2を通して第2データ線 $D_{12}$ に接続されている。第2画素PX2では、第3スイッチング素子S3のゲート端子が第1ゲート線 $G_{11}$ に接続され、第4スイッチング素子S4のゲート端子が第2ゲート線 $G_{12}$ に接続されている。さらに、画素電極が第3スイッチング素子S3を通して第4データ線 $D_{22}$ に接続され、第4スイッチング素子S4を通して第3データ線 $D_{21}$ に接続されている。第3画素PX3では、第5スイッチング素子S5のゲート端子が第3ゲート線 $G_{21}$ に接続され、第6スイッチング素子S6のゲート端子が第4ゲート線 $G_{22}$ に接続されている。さらに、画素電極が第5スイッチング素子S5を通して第1データ線 $D_{11}$ に接続され、第6スイッチング素子S6を通して第2データ線 $D_{12}$ に接続されている。第4画素PX4では、第7スイッチング素子S7のゲート端子が第3ゲート線 $G_{21}$ に接続され、第8スイッチング素子S8のゲート端子が第4ゲート線 $G_{22}$ に接続されている。さらに、画素電極が第7スイッチング素子S7を通して第4データ線 $D_{22}$ に接続され、第8スイッチング素子S8を通して第3データ線 $D_{21}$ に接続されている。図2B~図2Eではさらに、各ゲート線 $G_{11}$ 、 $G_{12}$ 、 $G_{21}$ 、 $G_{22}$ に対してゲートオン電圧Vonとゲートオフ電圧Voffとのいずれが印加されているのかが各符号 $G_{11}$ 、 $G_{12}$ 、 $G_{21}$ 、 $G_{22}$ の横の括弧内にONまたはOFFで示されている。また、各データ線 $D_{11}$ 、 $D_{12}$ 、 $D_{21}$ 、 $D_{22}$ に対して印加されているデータ電圧の極性が各符号 $D_{11}$ 、 $D_{12}$ 、 $D_{21}$ 、 $D_{22}$ の横の括弧内に、+、-、またはF(フローティング状態を意味する)で示され、各画素PX1、PX2、PX3、PX4の画素電極に維持されている電圧の極性が各画素電極の中に+または-で示されている。

20

30

40

【0020】

図2Aに示されている第1フレームの第1時間T1では、図2Bに示されているように、第1ゲート線 $G_{11}$ に対してはゲートオン電圧Vonが印加され、他のゲート線 $G_{12} \sim G_{22}$ に対してはゲートオフ電圧Voffが印加される。従って、四つの画素PX1~PX4では第1スイッチン

50

グ素子S1及び第3スイッチング素子S3のみがターンオンする。このとき、データ駆動部500は好ましくは、第1データ線 $D_{11}$ 及び第4データ線 $D_{22}$ に対してのみデータ電圧を印加し、第2データ線 $D_{12}$ 及び第3データ線 $D_{21}$ に対してはデータ電圧を印加しない。例えば図2Bでは、第1データ線 $D_{11}$ に対しては正極性のデータ電圧が印加され、第4データ線 $D_{22}$ に対しては負極性のデータ電圧が印加される。一方、第2データ線 $D_{12}$ 及び第3データ線 $D_{21}$ はフローティング状態に維持される。その結果、第1画素PX1では画素電極に対して正極性のデータ電圧が印加され、第2画素PX2では画素電極に対して負極性のデータ電圧が印加される。

【0021】

図2Aに示されている第1フレームの第2時間T2では、図2Cに示されているように、第4ゲート線 $G_{22}$ に対してはゲートオン電圧 $V_{on}$ が印加され、他のゲート線 $G_{11} \sim G_{21}$ に対してはゲートオフ電圧 $V_{off}$ が印加される。従って、四つの画素PX1~PX4では第6スイッチング素子S6及び第8スイッチング素子S8のみがターンオンする。このとき、データ駆動部500は好ましくは、第2データ線 $D_{12}$ 及び第3データ線 $D_{21}$ に対してのみデータ電圧を印加し、第1データ線 $D_{11}$ 及び第4データ線 $D_{22}$ に対してはデータ電圧を印加しない。例えば図2Cでは、第2データ線 $D_{12}$ に対しては負極性のデータ電圧が印加され、第3データ線 $D_{21}$ に対しては正極性のデータ電圧が印加される。一方、第1データ線 $D_{11}$ 及び第4データ線 $D_{22}$ はフローティング状態に維持される。その結果、第3画素PX3では画素電極に対して負極性のデータ電圧が印加され、第4画素PX4では画素電極に対して正極性のデータ電圧が印加される。尚、第1画素PX1及び第2画素PX2では各画素電極の電圧の極性が第1時間T1での極性に維持されている。

【0022】

図2Aに示されている第2フレームの第3時間T3では、図2Dに示されているように、第2ゲート線 $G_{12}$ に対してはゲートオン電圧 $V_{on}$ が印加され、他のゲート線 $G_{11}$ 、 $G_{21}$ 、 $G_{22}$ に対してはゲートオフ電圧 $V_{off}$ が印加される。従って、四つの画素PX1~PX4では第2スイッチング素子S2及び第4スイッチング素子S4のみがターンオンする。このとき、データ駆動部500は好ましくは、第2データ線 $D_{12}$ 及び第3データ線 $D_{21}$ に対してのみデータ電圧を印加し、第1データ線 $D_{11}$ 及び第4データ線 $D_{22}$ に対してはデータ電圧を印加しない。例えば図2Dでは、第2データ線 $D_{12}$ に対しては負極性のデータ電圧が印加され、第3データ線 $D_{21}$ に対しては正極性のデータ電圧が印加される。一方、第1データ線 $D_{11}$ 及び第4データ線 $D_{22}$ はフローティング状態に維持される。その結果、第1画素PX1では画素電極に対して負極性のデータ電圧が印加され、第2画素PX2では画素電極に対して正極性のデータ電圧が印加される。尚、第3画素PX3及び第4画素PX4では各画素電極の電圧の極性が第2時間T2での極性に維持されている。

【0023】

図2Aに示されている第2フレームの第4時間T4では、図2Eに示されているように、第3ゲート線 $G_{21}$ に対してはゲートオン電圧 $V_{on}$ が印加され、他のゲート線 $G_{11}$ 、 $G_{12}$ 、 $G_{22}$ に対してはゲートオフ電圧 $V_{off}$ が印加される。従って、四つの画素PX1~PX4では第5スイッチング素子S5及び第7スイッチング素子S7のみがターンオンする。このとき、データ駆動部500は好ましくは、第1データ線 $D_{11}$ 及び第4データ線 $D_{22}$ に対してのみデータ電圧を印加し、第2データ線 $D_{12}$ 及び第3データ線 $D_{21}$ に対してはデータ電圧を印加しない。例えば図2Eでは、第1データ線 $D_{11}$ に対しては正極性のデータ電圧が印加され、第4データ線 $D_{22}$ に対しては負極性のデータ電圧が印加される。一方、第2データ線 $D_{12}$ 及び第3データ線 $D_{21}$ はフローティング状態に維持される。その結果、第3画素PX3では画素電極に対して正極性のデータ電圧が印加され、第4画素PX4では画素電極に対して負極性のデータ電圧が印加される。尚、第1画素PX1及び第2画素PX2では各画素電極の電圧の極性が第3時間T3での極性に維持されている。

【0024】

以上のとおり、データ駆動部500は、図2Aに示されているゲート信号に合わせて、各画素PX1~PX4の画素電極に対して印加されるデータ電圧の極性を、図2B~図2Eに示さ

10

20

30

40

50

れているように、フレーム単位で反転させる。その結果、データ電圧の極性が、フレームごとだけでなく、隣接する画素PX1~PX4ごとにも反転する。すなわち、ドット反転駆動が実現する。さらに、図2B~図2Eに示されているように、正極性のデータ電圧が印加されるデータ線 $D_{11}$ 、 $D_{21}$ は、負極性のデータ線が印加されるデータ線 $D_{12}$ 、 $D_{22}$ とは別である。従って、従来の液晶表示装置とは異なり、データ電圧の印加に伴う各データ線の電位の変動幅が小さいので、消費電力が低減する。また、正極性のデータ電圧を各データ線 $D_{11}$ 、 $D_{21}$ に対して印加するときには、他のデータ線 $D_{12}$ 、 $D_{22}$ に対してはデータ電圧を印加しなくても良い。逆に、負極性のデータ電圧を各データ線 $D_{12}$ 、 $D_{22}$ に対して印加するときには、他のデータ線 $D_{11}$ 、 $D_{21}$ に対してはデータ電圧を印加しなくても良い。こうして、各データ線に対するデータ電圧の印加に伴う消費電力がさらに低減できる。

10

## 【0025】

前述の実施形態では、一对のデータ線の一方に対してデータ電圧が印加される間、他方がフローティング状態に維持されている。その他に、一对のデータ線の両方に対して同時に、異なる極性のデータ電圧が印加されても良い。また、前述の実施形態とは異なり、第1データ線 $D_{11}$ 及び第3データ線 $D_{21}$ に対しては負極性のデータ電圧が印加され、第2データ線 $D_{12}$ 及び第4データ線 $D_{22}$ に対しては正極性のデータ電圧が印加されても良い。

## 【0026】

データ駆動部500は、図2Aに示されているゲート信号に合わせて、各画素PXの画素電極に対して印加されるデータ電圧の共通電圧 $V_{com}$ に対する極性を、図3A及び図3Bに示されているように反転させても良い。ここで、図3A及び図3Bは図2B~図2Eと比べ、第2画素PX2のスイッチング素子S3、S4と一对のデータ線 $D_{21}$ 、 $D_{22}$ との間の接続が反対であり、第4画素PX4のスイッチング素子S7、S8と一对のデータ線 $D_{21}$ 、 $D_{22}$ との間の接続が反対である。すなわち、第2画素PX2では、画素電極が第3スイッチング素子S3を通して第3データ線 $D_{21}$ に接続され、第4スイッチング素子S4を通して第4データ線 $D_{22}$ に接続されている。第4画素PX4では、画素電極が第7スイッチング素子S7を通して第3データ線 $D_{21}$ に接続され、第8スイッチング素子S8を通して第4データ線 $D_{22}$ に接続されている。尚、図3A及び図3Bでも図2B~図2Eと同様に、各ゲート線 $G_{11}$ 、 $G_{12}$ 、 $G_{21}$ 、 $G_{22}$ に対してゲートオン電圧 $V_{on}$ とゲートオフ電圧 $V_{off}$ とのいずれが印加されているのかが各符号 $G_{11}$ 、 $G_{12}$ 、 $G_{21}$ 、 $G_{22}$ の横の括弧内にONまたはOFFで示されている。また、各データ線 $D_{11}$ 、 $D_{12}$ 、 $D_{21}$ 、 $D_{22}$ に対して印加されているデータ電圧の極性が各符号 $D_{11}$ 、 $D_{12}$ 、 $D_{21}$ 、 $D_{22}$ の横の括弧内に+または-で示され、各画素PX1、PX2、PX3、PX4の画素電極に維持されている電圧の極性が各画素電極の中に+または-で示されている。

20

30

## 【0027】

図2Aに示されている第1フレームの第1時間T1では第1ゲート線 $G_{11}$ のみに対してゲートオン電圧 $V_{on}$ が印加され、第2時間T2では第4ゲート線 $G_{22}$ のみに対してゲートオン電圧 $V_{on}$ が印加される。従って、四つの画素PX1~PX4では、第1時間T1に第1スイッチング素子S1と第3スイッチング素子S3とがターンオンし、第2時間T2に第6スイッチング素子S6と第8スイッチング素子S8とがターンオンする。一方、データ駆動部500は、第1データ線 $D_{11}$ 及び第3データ線 $D_{21}$ に対しては正極性のデータ電圧を印加し、第2データ線 $D_{12}$ 及び第4データ線 $D_{22}$ に対しては負極性のデータ電圧を印加する。その結果、図3Aに示されているように、第1時間T1の間、第1画素PX1及び第2画素PX2では各画素電極に対して正極性のデータ電圧が印加され、第2時間T2の間、第3画素PX3及び第4画素PX4では各画素電極に対して負極性のデータ電圧が印加される。

40

## 【0028】

図2Aに示されている第2フレームの第3時間T3では第2ゲート線 $G_{12}$ のみに対してゲートオン電圧 $V_{on}$ が印加され、第4時間T4では第3ゲート線 $G_{21}$ のみに対してゲートオン電圧 $V_{on}$ が印加される。従って、四つの画素PX1~PX4では、第3時間T3に第2スイッチング素子S2と第4スイッチング素子S4とがターンオンし、第4時間T4に第5スイッチング素子S5と第7スイッチング素子S7とがターンオンする。一方、データ駆動部500は、第1データ線 $D_{11}$ 及び第3データ線 $D_{21}$ に対しては正極性のデータ電圧を印加し、第2データ線 $D_{12}$

50

及び第4データ線 $D_{22}$ に対しては負極性のデータ電圧を印加する。その結果、図3Bに示されているように、第3時間 $T3$ の間、第1画素 $PX1$ 及び第2画素 $PX2$ には負極性のデータ電圧が印加され、第4時間 $T4$ の間、第3画素 $PX3$ 及び第4画素 $PX4$ には正極性のデータ電圧が印加される。

【0029】

以上のとおり、データ駆動部500は、図2Aに示されているゲート信号に合わせて、各画素 $PX1 \sim PX4$ の画素電極に対して印加されるデータ電圧の極性を、図3A及び図3Bに示されているようにフレーム単位で反転させる。その結果、データ電圧の極性が、フレームごとだけでなく、画素行ごとにも反転する。すなわち、ライン反転駆動が実現する。この場合にも、正極性のデータ電圧が印加されるデータ線 $D_{11}$ 、 $D_{21}$ は、負極性のデータ電圧が印加されるデータ線 $D_{12}$ 、 $D_{22}$ とは別である。従って、従来の液晶表示装置とは異なり、データ電圧の印加に伴う各データ線の電位の変動幅が小さいので、消費電力が低減する。また、一对のデータ線的一方に対してデータ電圧を印加する間、他方に対してはデータ電圧を印加しなくても良いので、消費電力がさらに低減できる。

【0030】

ゲート駆動部400はゲート信号を図2Aに示されている波形以外の波形で提供しても良い。図4Aにゲート信号の別の波形を示す。図4Aに示されているように、第1フレームではまず、第1時間 $T1$ に第1ゲート線 $G_{11}$ に対してゲートオン電圧 $V_{on}$ が印加され、次に、第2時間 $T2$ に第3ゲート線 $G_{21}$ に対してゲートオン電圧 $V_{on}$ が印加される。以下同様に、各画素行に接続される一对のゲート線的一方 $G_{(2i-1)1}$ 、 $G_{2i1}$  ( $i=1, 2, \dots$ ) のみに対してゲートオン電圧 $V_{on}$ が順番に所定時間ずつ印加される。一方、第2ゲート線 $G_{12}$ 、第4ゲート線 $G_{22}$ 等、他のゲート線 $G_{(2i-1)2}$ 、 $G_{2i2}$  ( $i=1, 2, \dots$ ) に対してはゲートオフ電圧 $V_{off}$ が印加され続ける。第2フレームではまず、第3時間 $T3$ の間、第2ゲート線 $G_{12}$ に対してゲートオン電圧 $V_{on}$ が印加され、次に、第4時間 $T4$ の間、第4ゲート線 $G_{22}$ に対してゲートオン電圧 $V_{on}$ が印加される。以下同様に、各画素行に接続される一对のゲート線的一方 $G_{(2i-1)2}$ 、 $G_{2i2}$  ( $i=1, 2, \dots$ ) のみに対してゲートオン電圧 $V_{on}$ が順番に所定時間ずつ印加される。一方、第1ゲート線 $G_{11}$ 、第3ゲート線 $G_{21}$ 等、他のゲート線 $G_{(2i-1)1}$ 、 $G_{2i1}$  ( $i=1, 2, \dots$ ) に対してはゲートオフ電圧 $V_{off}$ が印加され続ける。

【0031】

データ駆動部500は好ましくは、図4Aに示されているゲート信号に合わせて、各画素 $P$ の画素電極に対して印加されるデータ電圧の共通電圧 $V_{com}$ に対する極性を、図4B及び図4Cに示されているように反転させる。ここで、図4B及び図4Cに示されている四つの画素 $PX1 \sim PX4$ の構成は図2B～図2Eに示されている構成と同様である。さらに、各ゲート線 $G_{11}$ 、 $G_{12}$ 、 $G_{21}$ 、 $G_{22}$ に対してゲートオン電圧 $V_{on}$ とゲートオフ電圧 $V_{off}$ とのいずれが印加されているのかが各符号 $G_{11}$ 、 $G_{12}$ 、 $G_{21}$ 、 $G_{22}$ の横の括弧内にONまたはOFFで示されている。また、各データ線 $D_{11}$ 、 $D_{12}$ 、 $D_{21}$ 、 $D_{22}$ に対して印加されているデータ電圧の極性が各符号 $D_{11}$ 、 $D_{12}$ 、 $D_{21}$ 、 $D_{22}$ の横の括弧内に、+、-、またはFで示され、各画素 $PX1$ 、 $PX2$ 、 $PX3$ 、 $PX4$ の画素電極に維持されている電圧の極性が各画素電極の中に+または-で示されている。

【0032】

図4Aに示されている第1フレームの第1時間 $T1$ では第1ゲート線 $G_{11}$ のみに対してゲートオン電圧 $V_{on}$ が印加され、第2時間 $T2$ では第3ゲート線 $G_{21}$ のみに対してゲートオン電圧 $V_{on}$ が印加される。従って、四つの画素 $PX1 \sim PX4$ では、第1時間 $T1$ に第1スイッチング素子 $S1$ と第3スイッチング素子 $S3$ とがターンオンし、第2時間 $T2$ に第5スイッチング素子 $S5$ と第7スイッチング素子 $S7$ とがターンオンする。一方、データ駆動部500は、第1データ線 $D_{11}$ に対しては正極性のデータ電圧を印加し、第4データ線 $D_{22}$ に対しては負極性のデータ電圧を印加する。その結果、図4Bに示されているように、第1時間 $T1$ では、第1画素 $PX1$ の画素電極に対しては正極性のデータ電圧が印加され、第2画素 $PX2$ の画素電極に対しては負極性のデータ電圧が印加される。第2時間 $T2$ では、第3画素 $PX3$ の画素電極に対しては正極性のデータ電圧が印加され、第4画素 $PX4$ の画素電極に対しては負極性のデー

10

20

30

40

50

タ電圧が印加される。尚、データ駆動部500は好ましくは、第1フレームでは第2データ線 $D_{12}$ 及び第3データ線 $D_{21}$ をいずれもフローティング状態に維持する。

【0033】

図4Aに示されている第2フレームの第3時間T3では第2ゲート線 $G_{12}$ のみに対してゲートオン電圧 $V_{on}$ が印加され、第4時間T4では第4ゲート線 $G_{22}$ のみに対してゲートオン電圧 $V_{on}$ が印加される。従って、四つの画素PX1~PX4では、第3時間T3に第2スイッチング素子S2と第4スイッチング素子S4とがターンオンし、第4時間T4に第6スイッチング素子S6と第8スイッチング素子S8とがターンオンする。一方、データ駆動部500は、第3データ線 $D_{21}$ に対しては正極性のデータ電圧を印加し、第2データ線 $D_{12}$ に対しては負極性のデータ電圧を印加する。その結果、図4Cに示されているように、第3時間T3では、第1画素PX1の画素電極に対しては負極性のデータ電圧が印加され、第2画素PX2の画素電極に対しては正極性のデータ電圧が印加される。第4時間T4では、第3画素PX3の画素電極に対しては負極性のデータ電圧が印加され、第4画素PX4の画素電極に対しては正極性のデータ電圧が印加される。尚、データ駆動部500は好ましくは、第2フレームでは第1データ線 $D_{11}$ 及び第4データ線 $D_{22}$ をいずれもフローティング状態に維持する。

10

【0034】

以上のとおり、データ駆動部500は、図4Aに示されているゲート信号に合わせて、各画素PX1~PX4の画素電極に対して印加されるデータ電圧の極性を、図4B及び図4Cに示されているようにフレーム単位で反転させる。その結果、データ電圧の極性が、フレームごとだけでなく、画素列ごとにも反転する。すなわち、コラム反転駆動が実現する。この場合にも、正極性のデータ電圧が印加されるデータ線 $D_{11}$ 、 $D_{21}$ は、負極性のデータ電圧が印加されるデータ線 $D_{12}$ 、 $D_{22}$ とは別である。従って、従来の液晶表示装置とは異なり、データ電圧の印加に伴う各データ線の電位の変動幅が小さいので、消費電力が低減する。また、一对のデータ線の一方に対してデータ電圧を印加する間、他方に対してはデータ電圧を印加しなくても良いので、消費電力がさらに低減できる。

20

【0035】

図5A及び図5Bを参照しながら、各画素に接続される一对のデータ線の一方に対してデータ電圧を印加する間、他方をフローティング状態に維持するための構成である伝送ゲートについて説明する。説明の便宜上、図2B~図2Eに示されているようなドット反転駆動の場合を例に挙げて説明する。図5Aに伝送ゲートの回路図を示し、図5Bにその伝送ゲートに入力されるデータ電圧と、その伝送ゲートから出力されるデータ電圧との波形図を示す。以下では、共通電圧 $V_{com}$ が0Vである場合を想定する。

30

【0036】

図5Aに示されているように、データ駆動部500の各出力線D1、D2、...には一对の伝送ゲート(TG1、TG2)、(TG3、TG4)、...が接続されている。各伝送ゲートTG1~TG4は一本のデータ線 $D_{11}$ ~ $D_{22}$ に接続されている。各伝送ゲートTG1~TG4はさらに、外部から共通の選択制御信号の対SEL、/SELを受信する。一对の選択制御信号SEL、/SELは互いに相補的であり、すなわち、一方がアクティブ状態に維持される間は他方が非アクティブ状態に維持される。各対の伝送ゲートの一方TG1、TG4は、選択制御信号の一方SELがアクティブ状態に維持される間、データ駆動部500の各出力線D1、D2を一对のデータ線の一方 $D_{11}$ 、 $D_{22}$ に接続し、選択制御信号の他方/SELがアクティブ状態に維持される間、各出力線D1、D2を各データ線 $D_{11}$ 、 $D_{22}$ から分離する。各対の伝送ゲートの他方TG2、TG3は逆に、選択制御信号の一方SELがアクティブ状態に維持される間、データ駆動部500の各出力線D1、D2を一对のデータ線の他方 $D_{12}$ 、 $D_{21}$ から分離し、選択制御信号の他方/SELがアクティブ状態に維持される間、各出力線D1、D2を各データ線 $D_{12}$ 、 $D_{21}$ に接続する。

40

【0037】

データ駆動部500は各出力線D1、D2に対してデータ電圧を出力する。データ駆動部500は好ましくは、ゲート駆動部400がゲートオン電圧 $V_{on}$ を印加するゲート線を切り換えるごとに、各出力線D1、D2に対して印加するデータ電圧の共通電圧 $V_{com}$ (レベル $\pm 0V$ )に対する極性を反転させる。さらに、隣接する二つの出力線D1、D2の間では同時に印加されるデー

50

タ電圧の極性を反転させる。図5Bに示されている例では、第1出力線D1に対して第1時間T1の間、正極性のデータ電圧(レベル+3V)が印加され、続く第2時間T2の間、負極性のデータ電圧(レベル-3V)が印加される。第2出力線D2に対しては第1時間T1の間、負極性のデータ電圧(レベル-3V)が印加され、第2時間T2の間、正極性のデータ電圧(レベル+3V)が印加される。

【0038】

一方、ゲート駆動部400がゲートオン電圧Vonを印加するゲート線を切り換えるごとに、各選択制御信号SEL、/SELの状態が切り換えられる。以下、各選択制御信号SEL、/SELがアクティブハイである場合について具体的に説明する。

【0039】

第1時間T1には選択制御信号の一方SELがハイレベルであり、他方/SELがローレベルである。それにより、第1伝送ゲートTG1が第1出力線D1を第1データ線D<sub>11</sub>に接続し、第4伝送ゲートTG4が第2出力線D2を第4データ線D<sub>22</sub>に接続する。一方、第2伝送ゲートTG2が第1出力線D1を第2データ線D<sub>12</sub>から分離し、第3伝送ゲートTG3が第2出力線D2を第3データ線D<sub>21</sub>から分離する。その結果、図5Bに示されているように、第1時間T1では、第1データ線D<sub>11</sub>に対しては正極性のデータ電圧+3Vが印加され、第4データ線D<sub>22</sub>に対しては負極性のデータ電圧-3Vが印加される。一方、第2データ線D<sub>12</sub>及び第3データ線D<sub>21</sub>はフローティング状態に維持され、各電位が例えば0Vに維持される。尚、フローティング状態での電位は不定で良い。それは以下も同様である。

【0040】

続く第2時間T2には選択制御信号の一方SELがローレベルに切り換えられ、他方/SELがハイレベルに切り換えられる。それにより、第2伝送ゲートTG2が第1出力線D1を第2データ線D<sub>12</sub>に接続し、第3伝送ゲートTG3が第2出力線D2を第3データ線D<sub>21</sub>に接続する。一方、第1伝送ゲートTG1が第1出力線D1を第1データ線D<sub>11</sub>から分離し、第4伝送ゲートTG4が第2出力線D2を第4データ線D<sub>22</sub>から分離する。その結果、図5Bに示されているように、第2時間T2では、第2データ線D<sub>12</sub>に対しては負極性のデータ電圧-3Vが印加され、第3データ線D<sub>21</sub>に対しては正極性のデータ電圧+3Vが印加される。一方、第1データ線D<sub>11</sub>及び第4データ線D<sub>22</sub>はフローティング状態に維持され、各電位が例えば0Vに維持される。

【0041】

データ駆動部500がSOG方式で液晶パネル300の上に集積化されている場合、伝送ゲートTG1~TG4は好ましくはデータ駆動部500と共にSOG方式で液晶パネル300の上に集積化される。

【0042】

図5Aに示されている伝送ゲートTG1~TG4と選択制御信号SEL、/SELの伝達配線との間の接続関係は、上記のとおり、図2B~図2Eに示されているドット反転駆動の場合に対応している。その他に、図3A、3Bに示されているライン反転駆動や図4B、4Cに示されているコラム反転駆動等、図2B~図2Eに示されているドット反転駆動とは異なる反転駆動が行われる場合、伝送ゲートTG1~TG4と選択制御信号SEL、/SELの伝達配線との間の接続関係が図5Aとは別のものに設計され、それにより、各データ電圧の波形が図5Bに示されている波形から変更されても良い。

【0043】

その他に、伝送ゲートTG1~TG4を介さずに、データ駆動部500が第1~第4データ線D<sub>11</sub>~D<sub>22</sub>に対して直接、データ電圧を提供しても良い。すなわち、伝送ゲートTG1~TG4の機能がデータ駆動部500に統合されていても良い。

【0044】

以下では図6~図8を参照しながら、前述の実施形態による液晶パネル300に含まれる表示基板の具体的な構造の一例について詳細に説明する。図6に、その表示基板に含まれる二つの隣接する画素の平面図を示す。図7は、図6に示されている折線VII-VII'に沿った断面図であり、図8は、図6に示されている直線VIII-VIII'に沿った断面図である

10

20

30

40

50

。図6～図8に示されている液晶表示装置は半透過型である。もちろん、同様な構造は透過型または反射型の液晶表示装置にも適用可能である。

【0045】

図7及び図8に示されているように、液晶パネル300では、第1表示パネル100と第2表示パネル200とが液晶層3を隔てて対向している。この第1表示パネル100が、特許請求の範囲に記載の表示基板に相当する。

第1表示パネル100は透明な絶縁基板110を含む。その絶縁基板110の上には、好ましくは酸化ケイ素( $\text{SiO}_2$ )または窒化ケイ素( $\text{SiNx}$ )から成る遮断膜111が形成されている。遮断膜111は多層構造であっても良い。

【0046】

図6～図8に示されているように、遮断膜111の上には、好ましくは多結晶シリコンから成る島状の半導体の対151a、151bが各画素に一つずつ形成されている。各半導体151a、151bは好ましくは、不純物を含む不純物領域と、不純物をほとんど含まない真性領域とを含む。不純物領域は、不純物濃度が高い高濃度領域と、不純物濃度が低い低濃度領域とを含む。不純物は、ホウ素(B)やガリウム(Ga)などのP型不純物、または、燐(P)やヒ素(As)などのN型不純物のいずれでも良い。図7に示されているように、各半導体151a(151b)の真性領域は二つに分離され、一对のチャネル領域154a(154b)を形成している。高濃度不純物領域は、一对のチャネル領域154a(154b)のそれぞれを間に挟んで、ソース領域153a(153b)、中間領域156a(156b)、及びドレイン領域155a(155b)の三つに分離されている。低濃度不純物領域152a(152b)は各チャネル領域154a(154b)と高濃度不純物領域153a、155a、156a(153b、155b、156b)との境界に配置されている。好ましくは、低濃度不純物領域152a(152b)の幅は他の領域の幅より狭い。特に、ソース領域153a(153b)とチャネル領域154a(154b)の一方との境界、及び、ドレイン領域155a(155b)とチャネル領域154a(154b)の他方との境界に位置した低濃度不純物領域152a(152b)を低濃度ドーピングドレイン領域という。尚、この低濃度ドーピングドレイン領域は省略可能である。各半導体151a、151bは一つの薄膜トランジスタを構成している。後述のように、それらの薄膜トランジスタが図2B等にも示されているスイッチング素子S1～S4として機能する。低濃度不純物領域152a、152bは各薄膜トランジスタでのリーク電流を抑え、突き抜け現象を防止する。尚、低濃度不純物領域152a、152bは、不純物を含まないオフセット領域に置き換えられても良い。

【0047】

図7及び図8に示されているように、半導体151a、151b、及び遮断膜111は、好ましくは窒化ケイ素( $\text{SiNx}$ )または酸化ケイ素( $\text{SiOx}$ )から成るゲート絶縁膜140で覆われている。図6～図8に示されているように、ゲート絶縁膜140の上には、ゲート線121a、121b、維持電極線131、及び遮光パターン127が形成されている。

【0048】

図6に示されているように、一对のゲート線121a、121bは各画素行の間を行方向に延びている。一对のゲート線の一方(第1ゲート線)121aは画素ごとに一对の第1ゲート電極124aを含み、他方(第2ゲート線)121bは画素ごとに一对の第2ゲート電極124bを含む。図6に示されているように、一对の第1ゲート電極124aは第1ゲート線121aから第2ゲート線121bに向かって列方向に延び、同じ画素に含まれる第1半導体151aと交差し、一对の第2ゲート電極124bは第2ゲート線121bから第1ゲート線121aに向かって列方向に延び、同じ画素に含まれる第2半導体151bと交差している。特に図7に示されているように、一对の第1ゲート電極124aのそれぞれは一对の第1チャネル領域154aのそれぞれに重なり、一对の第2ゲート電極124bのそれぞれは一对の第2チャネル領域154bのそれぞれに重なっている。各ゲート線121a、121bは好ましくは第1表示パネル100の周縁部に面積の広い端部を含み、その端部で他の層またはゲート駆動部400に接続されている(図示せず)。

【0049】

図6及び図7に示されているように、各維持電極線131は、好ましくは一对のゲート線121a、121bの間を行方向に延びている。維持電極線131は、後述の共通電極270に対して印

10

20

30

40

50

加される共通電圧と同じレベルの電圧を外部から受ける。各維持電極線131は好ましくは画素ごとに、面積の広い拡張部137を一つずつ含む。

図6及び図8に示されているように、遮光パターン127は、各画素行で隣接する二つの画素の境界ごとに形成され、列方向に延びている。遮光パターン127は、画素列間から漏れる光を遮断する。

#### 【0050】

ゲート線121a、121b、維持電極線131、及び遮光パターン127は好ましくは、アルミニウム (Al) やアルミニウム合金などのアルミニウム系金属、銀 (Ag) や銀合金などの銀系金属、銅 (Cu) や銅合金などの銅系金属、モリブデン (Mo) やモリブデン合金などのモリブデン系金属、クロム (Cr)、タンタル (TA)、チタン (Ti)、またはタングステン (W) から成る。ゲート線121a、121b、及び維持電極線131はさらに、物理的性質が異なる二つの導電膜を含む多層膜であっても良い。これらの導電膜の一方は好ましくは比抵抗の低い金属、さらに好ましくは、アルミニウム系金属、銀系金属、または銅系金属から成り、ゲート線121a、121b、及び維持電極線131での信号遅延や電圧降下を低減させる。導電膜の他方は好ましくは、特にITO及びIZOとの接触特性に優れた物質、さらに好ましくは、モリブデン系金属、クロム、タンタル、またはチタンから成る。このような導電膜の組み合わせとしては、クロム下部膜とアルミニウム (合金) 上部膜との組み合わせ、及び、アルミニウム (合金) 下部膜とモリブデン (合金) 上部膜との組み合わせがある。尚、ゲート線121a、121bはその他にも多様な金属で形成可能である。

10

#### 【0051】

図7及び図8に示されているように、ゲート線121a、121b、維持電極線131、及び遮光パターン127は層間絶縁膜160で覆われている。層間絶縁膜160は好ましくは、窒化ケイ素や酸化ケイ素などの無機絶縁物、有機絶縁物、または低誘電率絶縁物から成る。有機絶縁物と低誘電率絶縁物との各比誘電率は好ましくは4.0以下である。低誘電率絶縁物としては好ましくは、プラズマ化学気相蒸着 (PECVD) で形成可能なa-Si:C:Oまたはa-Si:O:Fが利用される。有機絶縁物は好ましくは感光性を示す。また、有機絶縁物製の層間絶縁膜160は表面の平坦化が容易である。

20

#### 【0052】

図6及び図7に示されているように、層間絶縁膜160とゲート絶縁膜140とには画素ごとに四つの接触孔163a、163b、165a、165bが形成されている。第1接触孔163aからは第1ソース領域153aが露出し、第2接触孔165aからは第1ドレイン領域155aが露出し、第3接触孔163bからは第2ソース領域153bが露出し、第4接触孔165bからは第2ドレイン領域155bが露出している。図6及び図8に示されているように、層間絶縁膜160にはさらに、画素ごとに好ましくは矩形状の開口部が形成され、透過領域TAを定めている。透過領域TAでは層間絶縁膜160の間からゲート絶縁膜140が露出している。

30

#### 【0053】

図6～図8に示されているように、層間絶縁膜160の上には、データ線171a、171b、ドレイン電極175a、175b、及び連結部177が複数形成されている。

図6に示されているように、各対のデータ線 (171a、171b)、(172a、172b) は各画素列の両側で列方向に延び、各ゲート線121a、121bと交差している。一对のデータ線の一方 (第1データ線) 171aは各第1ゲート線121aとの交差点ごとに第1ソース電極173aを一つずつ含み、一对のデータ線の他方 (第2データ線) 171bは各第2ゲート線121bとの交差点ごとに第2ソース電極173bを一つずつ含む。第1ソース電極173aは第1接触孔163aを通じて第1ソース領域153aに連結され、第2ソース電極173bは第3接触孔163bを通じて第2ソース領域153bに連結されている。各データ線171b、172aは好ましくは、図6及び図8に示されているように、遮光パターン127と重なっている。それにより、各画素の開口率が向上する。特に図6及び図8に示されているように、遮光パターン127の幅が十分に広く形成され、隣接する二本のデータ線171b、172aが一つの遮光パターン127と完全に重なっている。その他に、各データ線が遮光パターン127の一部のみと重なっていても良い。

40

#### 【0054】

50

図6に示されているように、ドレイン電極175a、175bは各画素に二つずつ形成され、連結部177は各画素に一つずつ形成されている。各画素では、一对のドレイン電極175a、175bと連結部177とは一对のゲート線121a、121bの間に配置され、一对のデータ線171a、171bの両方から分離されている。さらに、一对のドレイン電極175a、175bの間は連結部177で連結されている。図6及び図7に示されているように、一对のドレイン電極の一方(第1ドレイン電極)175aは第2接触孔165aを通じて第1ドレイン領域155aに連結され、一对のドレイン電極の他方(第2ドレイン電極)175bは第4接触孔165bを通じて第2ドレイン領域155bに連結されている。連結部177は面積が広く、その全体が、同じ画素に含まれる維持電極線131の拡張部137に重なっている。

【0055】

第1ゲート電極124a、第1ドレイン電極175a、及び第1ソース電極173aが第1半導体151aと共に1つの薄膜トランジスタを構成し、図2B等にも示されている第1スイッチング素子S1として機能する。一方、第2ゲート電極124b、第2ドレイン電極175b、及び第2ソース電極173bが第2半導体151bと共に1つの薄膜トランジスタを構成し、図2B等にも示されている第2スイッチング素子S2として機能する。

【0056】

データ線171a、171b、172a、172b、ドレイン電極175a、175b、及び拡張部177は好ましくは、モリブデン、クロム、タンタル、若しくはチタンなどの耐熱性金属、またはそれらの合金から成る。それらはさらに、耐熱性金属から成る下部膜と低抵抗の上部膜とを含む多層膜であっても良い。そのような多層膜としては好ましくは、クロムまたはモリブデン(合金)下部膜とアルミニウム(合金)上部膜との二重膜、及び、モリブデン(合金)下部膜 - アルミニウム(合金)中間膜 - モリブデン(合金)上部膜の三重膜がある。

【0057】

図7及び図8に示されているように、データ線171a、171b、172a、172b、ドレイン電極175a、175b、拡張部177、ソース電極173a、173b、及び層間絶縁膜160は保護膜180で覆われている。保護膜180は好ましくは、窒化ケイ素や酸化ケイ素などの無機絶縁物で作られた下部保護膜180qと、有機絶縁物で作られた上部保護膜180qとを含む。有機絶縁物は好ましくは比誘電率が4.0以下であり、感光性を示す。保護膜180はその他に、無機絶縁物または有機絶縁物のいずれかから成る単一膜であっても良い。図7及び図8に示されているように、上部保護膜180qの表面には凹凸が形成されている。図6及び図7に示されているように各画素の拡張部177の上では上部保護膜180qに開口部185が形成され、そこから下部保護膜180pが露出している。さらに図6及び図8に示されているように、各画素の透過領域TAでは保護膜180の全体に開口部が形成され、そこから層間絶縁膜160の開口部を通してゲート絶縁膜140が露出している。

【0058】

図6～図8に示されているように、保護膜180の上には画素電極192、196が画素ごとに一枚ずつ形成されている。各画素電極191、196は、一对のゲート線121a、121bと一对のデータ線171a、171bとで区切られた一つの画素の領域のほぼ全体を覆っている。図7及び図8に示されているように、各画素電極191、196の透過領域TAを除く領域(反射領域)RAが反射膜194で覆われている。画素電極192は好ましくは、ITOまたはIZOなど、透明な導電物質から成り、反射膜194は好ましくは、アルミニウム系金属または銀系金属など、光反射率の高い金属から成る。各画素の端部では好ましくは、反射膜194はゲート線121bと重なっている。尚、反射膜194は画素電極192の上ではなく、画素電極192の下地に配置されても良い。図7及び図8に示されているように、反射領域RAでは画素電極192及び反射膜194は上部保護膜180qの表面の凹凸によって波打っている。一方、透過領域TAからは反射膜194は除去され、透明な画素電極192が露出している。画素電極192は上部保護膜180qの開口部185を通じ、同じ画素に含まれる拡張部177に連結され、さらに、その拡張部177を通じて一对のドレイン電極175a、175bに連結されている。それにより、画素電極192は、ターンオンした薄膜トランジスタのドレイン電極175a、175bからデータ電圧を受ける。

【0059】

10

20

30

40

50

各画素は、画素電極192が露出している透過領域TAと、反射膜194で覆われた反射領域RAとに分けられている。透過領域TAでは、第1表示パネル100の外表面（図7及び図8では下面）から入射した光が液晶層3を通過して第2表示パネル200の外表面（図7及び図8では上面）から出射される。透過モードでは、その透過光の強度を調節することによって画面表示を行う。反射領域RAでは、第2表示パネル200の外表面から入射した光が液晶層3を通過して反射膜194によって反射され、液晶層3を再び通過して第2表示パネル200の外表面から出射される。反射モードでは、その反射光の強度を調節することによって画面表示を行う。

【0060】

図7及び図8に示されているように、第2表示パネル200は、透明なガラスまたはプラスチックなどの絶縁物質から成る基板210を含む。その基板210の内表面（図7及び図8では下面）にはブラックマトリクス220が形成されている。ブラックマトリクス220は好ましくは、隣接する二枚の画素電極192、196の間の領域に対向して配置され、各画素領域を区切っている。それにより、それらの領域からの光漏れを防止する。ブラックマトリクス220が配置された領域は好ましくは、図8に示されているように、データ線171b、172aと重なっている。その重なり面積が大きいほど画素の開口率が向上する。尚、図8とは異なり、第1表示パネル100の遮光パターン127と第2表示パネル200のブラックマトリクス220とのいずれか一方が省略されても良い。

10

【0061】

図7及び図8に示されているように、ブラックマトリクス220で囲まれた各画素領域ではカラーフィルタ230が基板210を覆っている。好ましくは、カラーフィルタ230の縁がブラックマトリクス220と重なっている。さらに、基板210、ブラックマトリクス220、及びカラーフィルタ230の全体が一枚の共通電極270で覆われている。

20

【0062】

以上、添付の図面を参照しながら本発明の好ましい実施形態を説明した。しかし、上記の実施形態は例示的なものに過ぎず、本発明の技術的範囲を限定するものではない。実際、本発明の属する技術分野における通常の知識を有する者であれば、本発明の技術的思想や必須の特徴を変更することなく、上記の実施形態を変更可能であろう。それらの変更も本発明の技術的範囲に属すると解されるべきである。

【産業上の利用可能性】

【0063】

本発明は、表示基板及びそれを含む液晶表示装置に適用可能である。

30

【図面の簡単な説明】

【0064】

【図1】本発明の一実施形態による液晶表示装置のブロック図

【図2A】図1に示されているゲート駆動部から出力されるゲート信号のタイミングチャートの一例

【図2B】図1に示されている液晶表示装置に含まれる四つの画素の一例について、図2Aに示されている第1時間での画素電極の電圧の極性を示す模式図

【図2C】図2Bに示されている四つの画素について、図2Aに示されている第2時間での画素電極の電圧の極性を示す模式図

40

【図2D】図2Bに示されている四つの画素について、図2Aに示されている第3時間での画素電極の電圧の極性を示す模式図

【図2E】図2Bに示されている四つの画素について、図2Aに示されている第4時間での画素電極の電圧の極性を示す模式図

【図3A】図1に示されている液晶表示装置に含まれる四つの画素の別例について、図2Aに示されている第1時間及び第2時間での画素電極の電圧の極性を示す模式図

【図3B】図3Aに示されている四つの画素について、図2Aに示されている第3時間及び第4時間での画素電極の電圧の極性を示す模式図

【図4A】図1に示されているゲート駆動部から出力されるゲート信号のタイミングチャートの別例

50

【図 4 B】図 1 に示されている液晶表示装置に含まれる四つの画素の一例について、図 4 A に示されている第 1 時間及び第 2 時間での画素電極の電圧の極性を示す模式図

【図 4 C】図 4 B に示されている四つの画素について、図 4 A に示されている第 3 時間及び第 4 時間での画素電極の電圧の極性を示す模式図

【図 5 A】図 1 に示されている液晶表示装置に含まれる伝送ゲートの回路図

【図 5 B】図 5 A に示されている伝送ゲートに入力されるデータ電圧と、その伝送ゲートから出力されるデータ電圧との波形図

【図 6】本発明の一実施形態による表示基板の平面図

【図 7】図 6 に示されている折線 VII - VII' に沿った断面図

【図 8】図 6 に示されている直線 VIII - VIII' に沿った断面図

10

【符号の説明】

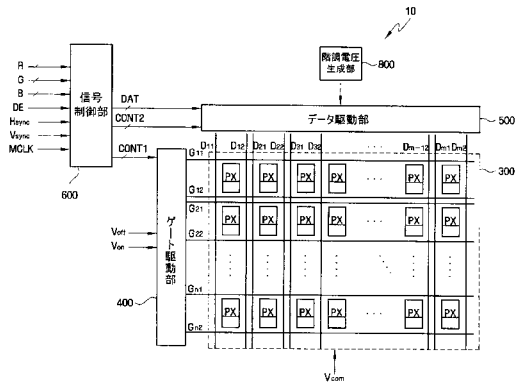
【 0 0 6 5 】

- 10 液晶表示装置
- 100 第 1 表示パネル
- 110 絶縁基板
- 111 遮断膜
- 121a、121b ゲート線
- 124a、124b ゲート電極
- 127 遮光パターン
- 131 維持電極線
- 171a、171b、172a、172b データ線
- 173a、173b ソース電極
- 175a、175b ドレイン電極
- 192、196 画素電極
- 194 反射膜
- 200 第 2 表示パネル
- 220 ブラックマトリックス
- 300 液晶パネル
- 400 ゲート駆動部
- 500 データ駆動部
- 600 信号制御部
- 800 階調電圧生成部

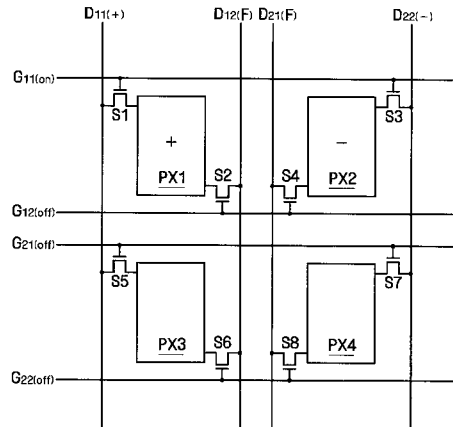
20

30

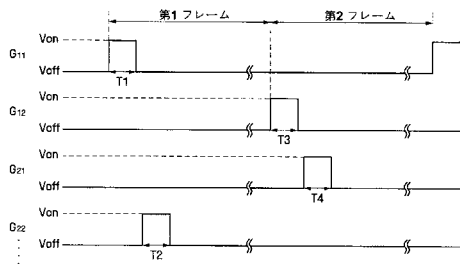
【 図 1 】



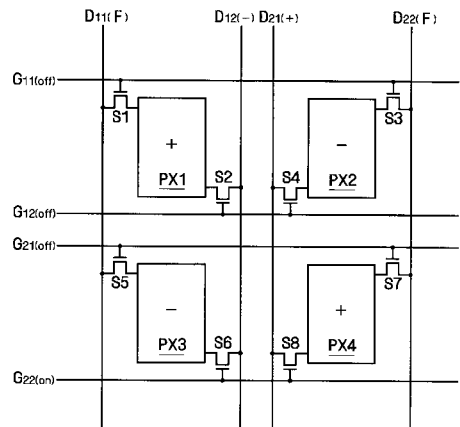
【 図 2 B 】



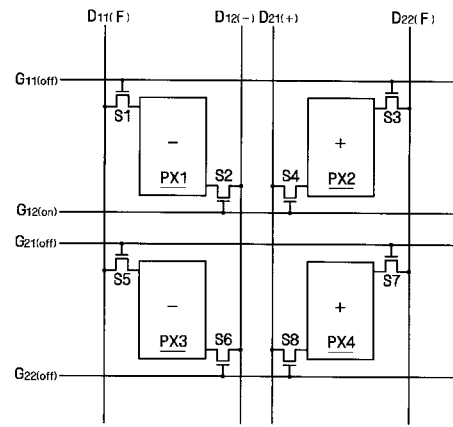
【 図 2 A 】



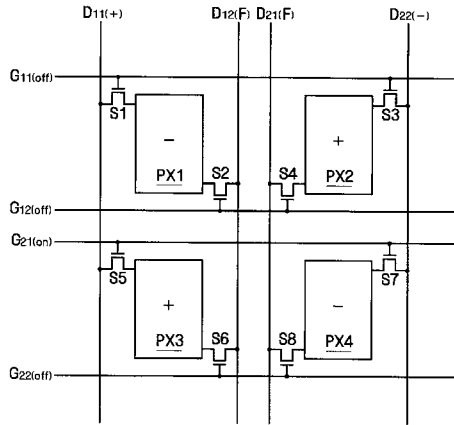
【 図 2 C 】



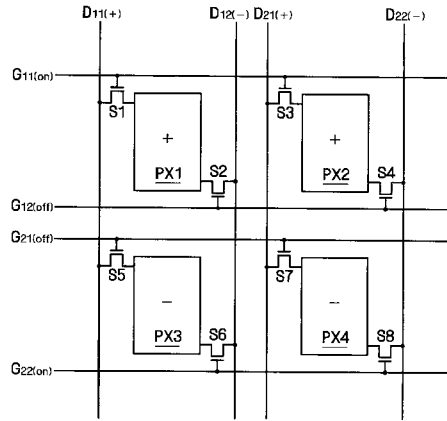
【 図 2 D 】



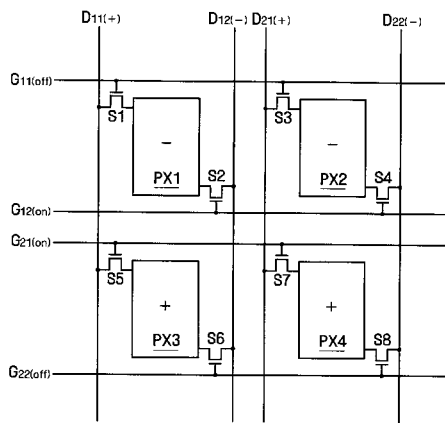
【 図 2 E 】



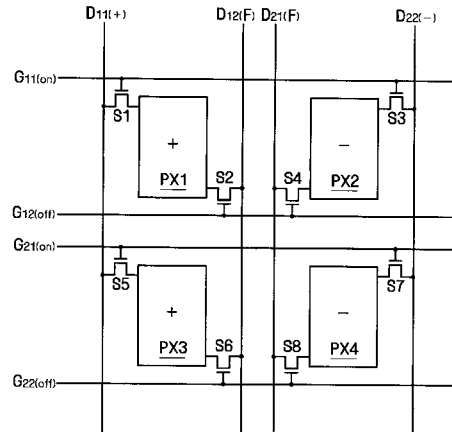
【 図 3 A 】



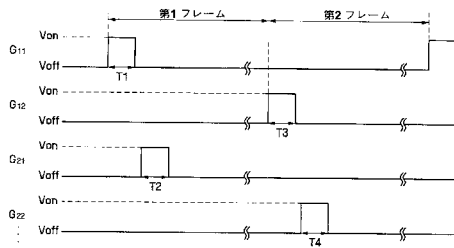
【 図 3 B 】



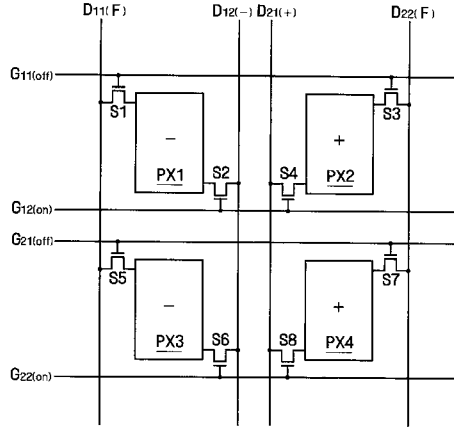
【 図 4 B 】



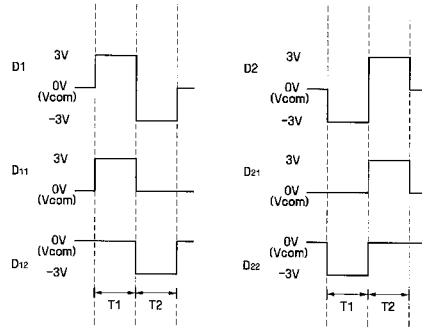
【 図 4 A 】



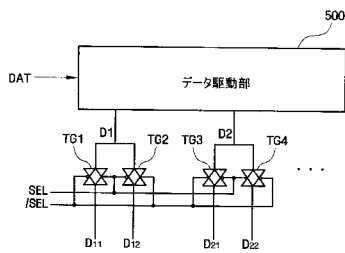
【 図 4 C 】



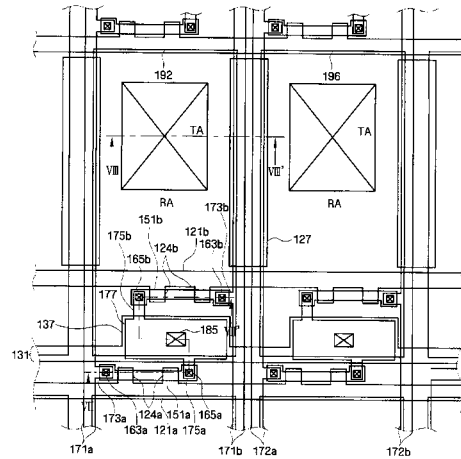
【 図 5 B 】



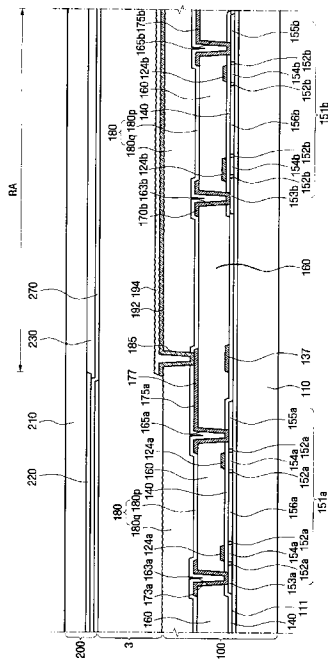
【 図 5 A 】



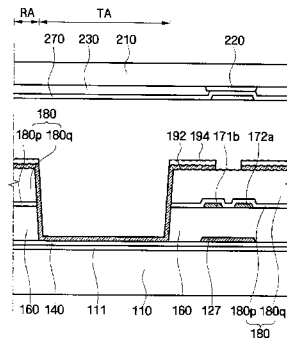
【 図 6 】



【 図 7 】



【 図 8 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 3 U	
	G 0 9 G 3/20 6 2 3 C	
	G 0 2 F 1/1343	
	G 0 2 F 1/1368	

(72)発明者 李 起 昌

大韓民国ソウル特別市瑞草區盤浦4洞美都アパート309棟803號

(72)発明者 崔 宰 凡

大韓民国京畿道水原市靈通區靈通洞ファンゴルマウル2團地碧山アパート222棟1801號

(72)発明者 丁 源 昶

大韓民国ソウル特別市江南區道谷洞道谷1次アイ-パーク104棟1101號

(72)発明者 朴 俊 河

大韓民国釜山廣域市釜山鎮區開琴洞92-1番地現代アパート102棟807號

(72)発明者 金 哲 民

大韓民国京畿道城南市盆唐區書 ヒョン 洞示範團地韓新アパート113棟203號

Fターム(参考) 2H092 GA13 GA24 GA26 GA30 JA24 JA27 JA37 JA38 JB31 JB42  
 JB44 NA12  
 5C006 AC11 AC24 AC27 AC28 AF42 AF43 AF44 BB16 BB28 BC06  
 FA05 FA46 FA47  
 5C080 AA10 BB05 DD06 DD26 FF07 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	<a href="#">JP2008257164A5</a>	公开(公告)日	2010-10-14
申请号	JP2007225349	申请日	2007-08-31
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李起昌 崔宰凡 丁源昶 朴俊河 金哲民		
发明人	李起昌 崔宰凡 丁源昶 朴俊河 金哲民		
IPC分类号	G09G3/36 G09G3/20 G02F1/1343 G02F1/1368		
CPC分类号	G09G3/3614 G02F1/133555 G02F1/13624 G02F1/136286 G09G3/3648 G09G2300/0823 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.611.A G09G3/20.624.B G09G3/20.622.Q G09G3/20.623.U G09G3/20.623.C G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA24 2H092/GA26 2H092/GA30 2H092/JA24 2H092/JA27 2H092/JA37 2H092/JA38 2H092/JB31 2H092/JB42 2H092/JB44 2H092/NA12 5C006/AC11 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BB28 5C006/BC06 5C006/FA05 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/BC31 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB02 2H192/CB12 2H192/CB13 2H192/CC24 2H192/CC64 2H192/DA12 2H192/DA43 2H192/EA17 2H192/EA22 2H192/EA43 2H192/FB02 2H192/FB22 2H192/GD61 2H193/ZA04 2H193/ZA08 2H193/ZA46 2H193/ZC04 2H193/ZC07 2H193/ZC13		
优先权	1020070032893 2007-04-03 KR		
其他公开文献	JP2008257164A		

#### 摘要(译)

要解决的问题：提供一种液晶显示装置，其中通过在保持数据电压的变化范围足够大的同时减小每条数据线的电压的变化范围，可以降低电力消耗。ΣSOLUTION：在显示基板的每个像素中，像素电极通过一对薄膜晶体管连接到一对数据线。每个薄膜晶体管通过来自不同栅极线的栅极导通电压单独导通。一对数据线中的一个传输正极性的数据电压，另一个传输负极性的数据电压。即，每条数据线传输极性固定为正极性或负极性的数据电压。Ž

