

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-164843

(P2008-164843A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 670D	5C006
G02F 1/133 (2006.01)	G09G 3/20 623U	5C058
H04N 5/66 (2006.01)	G09G 3/20 622Q	5C080
	G09G 3/20 612G	
審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く		

(21) 出願番号 特願2006-353262 (P2006-353262)
 (22) 出願日 平成18年12月27日 (2006.12.27)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

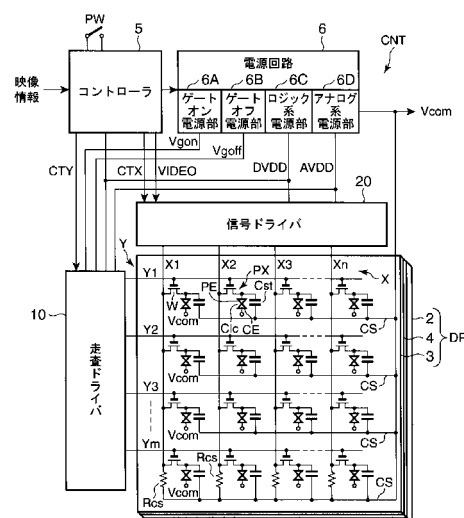
(57) 【要約】

【課題】 全ての液晶画素の残留電圧を速やかに除去する。

【解決手段】 液晶表示装置は略マトリクス状に配置され各々画素電極 P E および共通電極 C E 間に液晶を挟持した複数の液晶画素 P X、複数の液晶画素 P X の行に沿って配置される複数の走査線 Y、複数の液晶画素 P X の列に沿って配置される複数の信号線 X、および複数の走査線 Y および複数の信号線 X との交差位置近傍に配置され各々対応走査線 Y を介して駆動され対応信号線 X の電位を対応液晶画素 P X の画素電極 P E に設定する複数の画素スイッチング素子 W を含む液晶表示パネル D P と、液晶表示パネル D P を制御する表示制御回路 C N T とを備える。表示制御回路 C N T は複数の走査線 Y の全てを一緒に駆動し、この状態で複数の信号線 X の電位を共通電極 C E の電位に略等しい値に遷移させ、この遷移に要する所定時間の経過を待って電源を遮断するように構成される。

【選択図】 図 1

図 1



【特許請求の範囲】

【請求項 1】

略マトリクス状に配置され各々画素電極および共通電極間に液晶を挟持した複数の液晶画素、前記複数の液晶画素の行に沿って配置される複数の走査線、前記複数の液晶画素の列に沿って配置される複数の信号線、および前記複数の走査線および前記複数の信号線との交差位置近傍に配置され各々対応走査線を介して駆動され対応信号線の電位を対応液晶画素の画素電極に設定する複数の画素スイッチング素子を含む液晶表示パネルと、前記液晶表示パネルを制御する表示制御回路とを備え、前記表示制御回路は電源スイッチのオフ操作に伴って前記複数の走査線の全てを一緒に駆動し、この状態で前記複数の信号線の電位を共通電極の電位に略等しい値となるように 1 フレーム期間以内に遷移させ、この遷移に要する所定時間の経過を待って電源を遮断するように構成されることを特徴とする液晶表示装置。

10

【請求項 2】

前記表示制御回路は前記画素スイッチング素子を導通させるオン電圧、前記画素スイッチング素子を非導通にさせるオフ電圧、ロジック系電源電圧、アナログ系電源電圧を出力する電源回路、および前記オフ電圧、前記オン電圧、前記アナログ系電源電圧、およびロジック系電源電圧が前記所定時間の経過後にこの順序で 0 ボルトになるように前記電源回路を制御するコントローラを含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記所定時間は 10 ms 以内であることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記表示制御回路は前記液晶表示パネルにおいて前記共通電極と前記複数の信号線との間にそれぞれ接続される静電保護抵抗を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に複数の液晶画素が略マトリクス状に配置された液晶表示パネルを備えた液晶表示装置に関し、特に各液晶画素が画像表示のために周囲光を反射する領域を含む液晶表示装置に関する。

30

【背景技術】

【0002】

液晶表示パネルは、携帯電話や PDA(Personal Digital Assistance)のような情報携帯端末等において画像を表示するために広く利用されている。このような機器に対しては小型化、省電力化、低コスト化等、更なる高機能化に対する要望が高まっている。これらの要望を満たすべく、周囲光を光源として用いる反射型液晶表示パネルや、バックライト光および周囲光を光源として併用する半透過型液晶表示パネルの開発が進んでいる。

【0003】

一般に液晶表示パネルは、アレイ基板および対向基板間に液晶層を挟持した構造を有する。反射型液晶表示パネルでは、アレイ基板がマトリクス状に配置され光反射性である複数の画素電極、複数の画素電極の列に沿って配置される複数の信号線、複数の画素電極の行に沿って配置される複数の走査線、および各々対応走査線を介して駆動され対応信号線に対応画素電極に接続する薄膜トランジスタ等からなる複数の画素スイッチング素子を有し、対向基板がアレイ基板側に設けられた複数の画素電極に対向し光透過性である共通電極およびカラーフィルタを有する。複数の画素電極および共通電極は液晶層に隣接した一对の配向膜により全体的に覆われ、アレイ基板および対向基板は液晶層とは反対表面に貼り付けられる一对の偏光板で覆われる。画素電極および共通電極はこれら電極間に配置される液晶層の画素領域と共に液晶画素を構成し、画素領域内の液晶分子配列を画素電極および共通電極間に保持される駆動電圧に対応した電界によって制御する。

40

【0004】

50

ここで、画素電極は対向基板側から液晶層を介して入射する周囲光を反射光として反射する。液晶表示パネルが半透過型である場合には、各画素電極が例えば反射電極部およびこの反射電極部に囲まれた光透過窓として形成される透過電極部を有する。反射電極部は対向基板側から液晶層を介して入射する周囲光を反射光として反射し、透過電極部はアレイ基板側から入射するバックライト光を透過光として透過する。

【0005】

ところで、透過型あるいは半透過型の液晶表示パネルでは、電源オフ後に残像が見えるという現象が生じる。これは、各液晶画素の画素電極および共通電極間に残留電圧として保持された電荷に起因することが知られている（特許文献1を参照）。ちなみに、透過型の液晶表示パネルでは、バックライトの消灯に伴って残像がほとんど見えなくなる。

10

【特許文献1】特開2000-163025号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

例えば特許文献1に開示される従来の液晶表示装置では、走査ドライバおよび信号ドライバが電源の遮断に先立って上述の残留電圧を除去するように動作する。すなわち、走査ドライバは複数の走査線を順次駆動し、信号ドライバは各走査線が駆動される毎に複数の信号線の電位を共通電極の電位に近いレベルに設定する。これにより、各行の画素電極の電位が共通電極の電位にほぼ等しくなり、残留電圧をほぼ0ボルトに低下させる。液晶表示パネルが例えばノーマリホワイトモードであれば、各液晶画素の残留電圧0ボルトであるときに白表示を行う。しかし、全ての液晶画素が白表示を行うために1フレーム期間（＝16.7ms）以上を必要とする。

20

【0007】

本発明はこのような問題点に鑑みてなされたものであり、全ての液晶画素の残留電圧を速やかに除去できる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明によれば、略マトリクス状に配置され各々画素電極および共通電極間に液晶を挟持した複数の液晶画素、複数の液晶画素の行に沿って配置される複数の走査線、複数の液晶画素の列に沿って配置される複数の信号線、および複数の走査線および複数の信号線との交差位置近傍に配置され各々対応走査線を介して駆動され対応信号線の電位を対応液晶画素の画素電極に設定する複数の画素スイッチング素子を含む液晶表示パネルと、液晶表示パネルを制御する表示制御回路とを備え、表示制御回路は複数の走査線の全てを一緒に駆動し、この状態で複数の信号線の電位を共通電極の電位に略等しい値となるように1フレーム期間以内に遷移させ、この遷移に要する所定時間の経過を待って電源を遮断するように構成される液晶表示装置が提供される。

30

【発明の効果】

【0009】

この液晶表示装置では、表示制御回路が複数の走査線の全てを一緒に駆動し、この状態で複数の信号線の電位を共通電極の電位に略等しい値に遷移させ、この遷移に要する所定時間の経過を待って電源を遮断する。これにより、複数の画素電極の電位を従来のように行単位に遷移させる場合よりも短い時間で共通電極に略等しい値に設定できる。従って、全ての液晶画素の残留電圧を速やかに除去できる。

40

【発明を実施するための最良の形態】

【0010】

以下、本発明の一実施形態に係る液晶表示装置について添付図面を参照して説明する。図1はこの液晶表示装置の回路構成を概略的に示す。液晶表示装置は、複数の液晶画素PXを有する反射型の液晶表示パネルDP、および液晶表示パネルDPを制御する表示制御回路CNTを備える。液晶表示パネルDPはアレイ基板2および対向基板3間に液晶層4を挟持した構造である。

50

【0011】

アレイ基板2は、例えばガラス等の透明絶縁基板上にマトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って配置される複数の走査線Y（Y1～Ym）、複数の画素電極PEの列に沿って配置される複数の信号線X（X1～Xn）、およびこれら走査線Yおよび信号線Xの交差位置近傍に配置される画素スイッチング素子Wを有する。各画素スイッチング素子Wは例えばゲートが1本の走査線Yに接続され、ソースおよびドレインバスが1本の信号線Xおよび1個の画素電極PE間にそれぞれ接続されるポリシリコン薄膜トランジスタからなる。

【0012】

対向基板3は例えばガラス等の透明絶縁基板上に配置されるカラーフィルタ（図示せず）、および複数の画素電極PEに対向してカラーフィルタ上に配置される共通電極CE等を含む。各画素電極PEは光を反射する反射導電膜からなり、共通電極CEは光を透過するITO等の透過導電膜からなる。画素電極PEおよび共通電極CEはこれらの間に配置される液晶層4の画素領域と共に液晶画素PXを構成する。また、各画素PXは画素電極PEおよび共通電極CE間に得られる液晶容量C_{lc}および液晶容量C_{lc}に並列に接続される補助容量C_{st}を有する。アレイ基板2は各々対応行の画素電極PEに容量結合される複数の補助容量線CSを有し、各補助容量C_{st}は対応画素電極と対応補助容量線CS間に得られる。複数の補助容量線CSは共通電極CEに接続される。また、複数の信号線X1～Xnは図1に示すように複数の静電保護抵抗R_{cs}をそれぞれ介して最外郭の補助容量線CSに接続されている。各液晶画素PXの透過率は対応画素領域内の液晶分子配列によって決り、この液晶分子配列は画素電極PEおよび共通電極CE間の差電圧として保持される駆動電圧に対応した電界によって制御される。

【0013】

表示制御回路CNTはコントローラ5、電源回路6、走査ドライバ10、および信号ドライバ20、電源スイッチPWを含む。コントローラ5は電源スイッチPWのオン操作およびオフ操作に伴って電源回路6、走査ドライバ10、および信号ドライバ20を制御する。走査ドライバ10は複数の走査線Y1～Ymを順次駆動するために設けられ、信号ドライバ20は各走査線Yが駆動される間に複数の信号線X1～Xnを並列的に駆動するために設けられる。電源回路6はコントローラ5、走査ドライバ10、および信号ドライバ20の動作に必要な電源電圧を供給するために設けられる。電源回路6は、画素スイッチング素子Wを導通させるオン電圧V_{gon}を走査ドライバ10に供給するゲートオン電源部6A、画素スイッチング素子Wを非導通にさせるオフ電圧V_{goff}を走査ドライバ10に出力するゲートオフ電源部6B、ロジック系電源電圧DVDDをコントローラ5、走査ドライバ10および信号ドライバ20に出力するロジック系電源部6C、並びにアナログ系電源電圧AVDDを信号ドライバ20に出力すると共に共通電圧V_{com}を共通電極CEに出力するアナログ系電源部6Dを含む。ちなみに、ロジック系電源部6Cは電源スイッチPWのオン操作に連動してロジック系電源電圧DVDDを出力するように構成されているが、電源スイッチPWのオフ操作に連動してロジック系電源電圧DVDDの出力を停止するように構成されていない。

【0014】

走査ドライバ10および信号ドライバ20の制御に関し、コントローラ5は順次複数の走査線Yを駆動するための垂直制御信号CTYおよび、映像情報から1行（ライン）単位に得られる映像信号VIDEOを複数の信号線Xにそれぞれ割り当てるための水平制御信号CTX等を発生する。垂直制御信号CTYは、1垂直走査期間毎に発生されるパルスである垂直スタート信号STV、垂直走査期間において走査線数分だけ順次発生されるパルスである垂直クロック信号CKV、複数の走査線Y1～Ymの駆動を許可する出力イネーブル信号OE、および複数の走査線Y1～Ymと一緒に駆動するための全選択信号ASELを含む。また、水平制御信号CTXは、1水平走査期間毎に発生される発生パルスである水平スタート信号STHおよび垂直走査期間において信号線数分順次発生されるパルスである画素水平クロック信号CKH、1行分の映像信号VIDEOに対応して信号線X1～Xnを

10

20

30

40

50

並列的に駆動するために1水平走査期間(1H)毎にスタート信号STHから所定時間遅れて発生されるパルスであるストロブ信号STB、および1水平走査期間毎および1垂直走査期間毎にコモン電圧Vcomに対して画素電圧の極性を設定する極性信号POLを含む。垂直制御信号CTYはコントローラ5から走査ドライバ10に供給され、水平制御信号CTXはコントローラ5から信号ドライバ20に映像信号VIDEOと共に供給される。

【0015】

図2は走査ドライバ10の構成例を示す。この構成例では、走査ドライバ10がシフトレジスタ11、複数のORゲート回路12、およびレベルシフタ13を含む。シフトレジスタ11は垂直スタート信号STVを垂直クロック信号CKVに同期してシフトし、これを走査線Y1~Ymに対してそれぞれ設けられた出力端から選択信号として順次出力する。複数のORゲート回路12はシフトレジスタ11から走査線Y1~Ymに対して順次出力される選択信号をそれぞれレベルシフタ13に出力すると共に、インバータ14を介して供給され走査線Y1~Ymに対して共通な全選択信号ASELをレベルシフタ13に出力する。レベルシフタ13は、出力イネーブル信号OEがインバータ15を介して供給される状態で、選択信号または全選択信号ASELによって選択された走査線Yに対してオン電圧Vgonを出力し、非選択の走査線Yに対してオフ電圧Vgoffを出力する。尚、図2において省略されているが、ロジック系電源電圧DVDDはシフトレジスタ11だけでなく、複数のORゲート回路12およびインバータ14、15等にも供給される。

【0016】

図3は信号ドライバ20の構成例を示す。信号ドライバ20はシフトレジスタ21、サンプルホールド回路22、出力バッファ回路23を含む。シフトレジスタ21は水平スタート信号STHを水平クロック信号CKHに同期してシフトし、これを信号線X1~Xnに対してそれぞれ設けられた出力端から映像信号VIDEOのサンプルタイミング信号として順次出力する。サンプルホールド回路22はシフトレジスタ21から順次出力されるサンプルタイミング信号にそれぞれ応答して映像信号VIDEOをサンプリングし、これにより得られる複数のサンプル値を並列的に保持し、さらにこれらサンプル値を極性信号POLによって表される極性に設定してからストロブ信号STBに응答して一緒に出力バッファ回路23に出力する。出力バッファ回路23はこれらサンプル値をそれぞれ液晶表示パネルDPに適合する画素電圧に増幅して複数の信号線X1~Xnに並列的に出力する。出力バッファ回路23には、複数の出力バッファ23'が信号線X1~Xnについて設けられている。各出力バッファ23'はストロブ信号STBが供給されない間において高インピーダンス状態に維持され、このストロブ信号STBが供給される間だけ画素電圧を出力する。図3に示すように、ロジック系電源電圧DVDDはシフトレジスタ21に供給され、アナログ系電源電圧AVDDはサンプルホールド回路22および出力バッファ回路23に供給される。

【0017】

この液晶表示装置では、コントローラ5は電源スイッチPWのオン操作に伴ってロジック系電源部6Cから供給されるロジック系電源電圧DVDDにより起動し、電源回路6、走査ドライバ10、および信号ドライバ20の制御を開始する。コントローラ5は最初にアナログ系電源電圧AVDD、コモン電圧Vcom、オン電圧Vgon、オフ電圧Vgoffを順次出力するように電源回路6を制御し、これに続いて複数の走査線Y1~Ymを1水平走査期間ずつ順次駆動するように走査ドライバ10を制御し、さらに各走査線Yが駆動される間に複数の信号線X1~Xnを並列的に駆動するように信号ドライバ20を制御する。走査ドライバ10が走査線Y1にオン電圧Vonを出力して残りの走査線Y2~Ymにオフ電圧Voffを出力すると、走査線Y1に対応する複数の画素スイッチング素子Wだけが導通する。信号ドライバ20がこの間に1行分の映像信号VIDEOに対応した画素電圧を並列的に複数の信号線X1~Xnに出力すると、これら画素電圧がそれぞれ複数の信号線X1~Xnから画素スイッチング素子Wを介して先頭行の画素電極PEに印加される。このようにして、画素電圧が全行の画素電極PEに順次印加される。各行の画素スイッチング素子Wが1水平走査期間だけ導通して非導通になるため、対応行の液晶画素PXが画素電極

P Eおよび共通電極C E間の電位差として駆動電圧を保持する。コントローラ5はこのような制御を1垂直走査期間毎に繰り返す。

【0018】

また、コントローラ5は、電源スイッチPWのオフ操作に伴なって全選択信号A S E Lを出力して複数の走査線Y 1～Y mの全てを一緒に駆動するように走査ドライバ10を制御し、この状態で複数の信号線X 1～X nの電位を共通電極C Eの電位に略等しい値に遷移させるように信号ドライバ20を制御し、さらにこの遷移に要する遷移時間 τ に対応した所定時間（10ms以内）の経過を待って電源を遮断するように電源回路6を制御する。

【0019】

全選択信号A S E Lが図4に示す立下りに同期してコントローラ5から走査ドライバ10に出力されると、この全選択信号A S E Lが複数のORゲート回路12からレベルシフタ13に供給され、レベルシフタ13がオン電圧V_{on}を複数の走査線Y 1～Y mの全てに出力する。これにより、複数の画素スイッチング素子Wと一緒に導通する。この間において、ストロブ信号S T Bはコントローラ5から信号ドライバ20に供給されない。これにより、信号ドライバ20が複数の信号線X 1～X nに対して高インピーダンス状態に維持される。複数の画素電極P Eおよび共通電極C E間に電位差があると、画素スイッチング素子Wおよび静電保護抵抗R_{cs}を介して電流が流れ、複数の信号線X 1～X nの電位が共通電極C Eの電位に略等しい値に遷移する。このときの遷移時間 τ は静電保護抵抗R_{cs}の抵抗値と画素容量（液晶容量C_{lc}+補助容量C_{st}）との積によって決る。この遷移時間 τ は1フレーム期間以内に設定され、この遷移時間 τ に対応した所定時間が全選択信号A S E Lの出力（立下り時点）から経過すると、コントローラ5は電源回路6を制御して電源を遮断する。具体的には、図4に示すように、1フレーム期間である約16.7ms以内の時間となる10ms以内にオフ電圧V_{goff}が0ボルトになるように設定し、以降オフ電圧V_{goff}、オン電圧V_{gon}、アナログ系電源電圧A V D D、およびロジック系電源電圧D V D Dをこの順序で0ボルトにする。

【0020】

本実施形態の液晶表示装置では、表示制御回路C N Tが複数の走査線Y 1～Y mの全てを一緒に駆動し、この状態で複数の信号線X 1～X nの電位を共通電極C Eの電位に略等しい値に遷移させ、この遷移に要する所定時間の経過を待って電源を遮断する。これにより、複数の画素電極P Eの電位を従来のように行単位に遷移させて白表示データを一旦書込んで白表示させる場合よりも短い1フレーム期間内の10ms以内の時間で共通電極C Eに略等しい値に設定できる。従って、全ての液晶画素P Xの残留電圧を速やかに除去できる。すなわち、電源スイッチPWのオフ操作後において残像が観察されなくなる。

【0021】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【0022】

上述の実施形態では、信号ドライバ20が電源スイッチPWのオフ操作後においてハイインピーダンス状態に維持するために、走査ドライバ10は全選択信号A S E Lの制御により複数の走査線Y 1～Y mの全てを一緒に駆動しているが、コントローラ5から垂直スタート信号S T Vを継続的に走査ドライバ10に出力し、必要であれば垂直クロック信号C K Vの周波数を高めて選択信号をシフトレジスタ11の全出力端から並列的に出力させるようにしてもよい。

【0023】

また、遷移時間 τ の設定は、静電保護抵抗R_{cs}の抵抗値と画素容量との積によって簡単な構成にて設定するようにしているが、これに特定されることなく他の設定手段を用いて設定するようにしてもよい。

【0024】

さらに、本発明は反射型の液晶表示パネルD Pに適用されたが、画像表示のためにバッ

10

20

30

40

50

クライト光に加えて周囲光を利用する半透過型の液晶表示パネルにも適用可能である。

【図面の簡単な説明】

【0025】

【図1】 本発明の一実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図2】 図1に示す走査ドライバの構成例を示す図である。

【図3】 図1に示す信号ドライバの構成例を示す図である。

【図4】 図1に示す液晶表示装置の動作を説明するための波形図である。

【符号の説明】

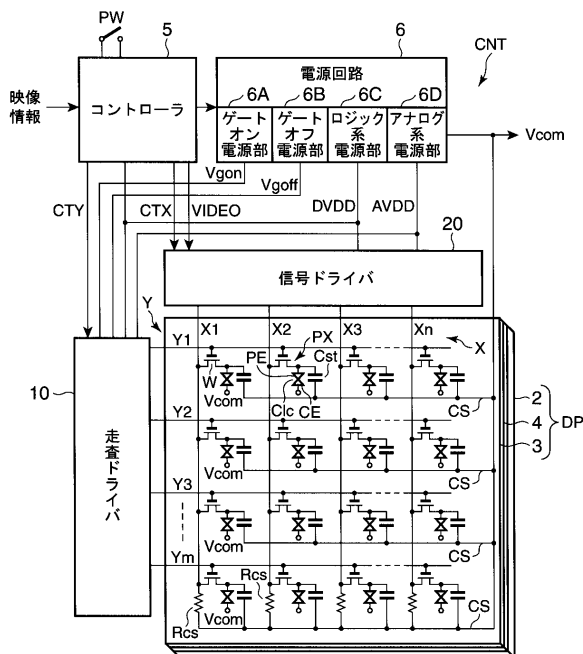
【0026】

2…アレイ基板、3…対向基板、4…液晶層、5…コントローラ、6…電源回路、10…走査ドライバ、20…信号ドライバ、21…シフトレジスタ、22…サンプルホールド回路、23…出力バッファ回路、23'…出力バッファ、PE…画素電極、CE…共通電極、PX…液晶画素、DP…液晶表示パネル、CNT…表示制御回路、X…信号線、Y…走査線、W…画素スイッチング素子、Rcs…静電保護抵抗。

10

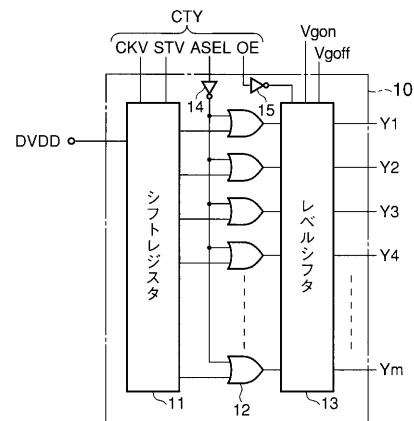
【図1】

図1



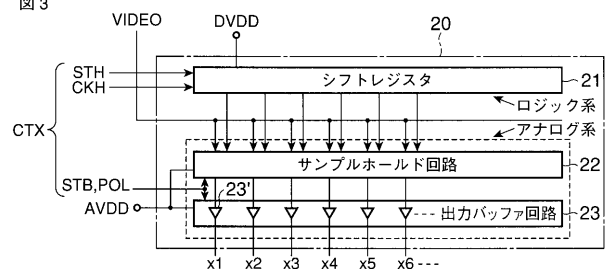
【図2】

図2



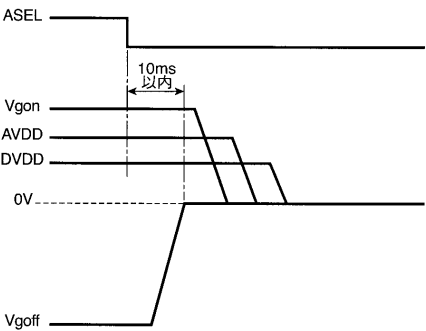
【図3】

図3



【 図 4 】

図 4



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/133	5 2 0
	H 0 4 N 5/66	1 0 2 Z

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 鶴田 正之
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NA80 NB22 NC03 NC10 NC12 NC16 NC22 NC23 NC26
NC34 NC35 ND02 ND12 ND39
5C006 AC11 AC24 AF42 AF43 AF67 AF68 AF71 BB16 BC06 BC20
FA11 FA34
5C058 AA06 BA35
5C080 AA10 BB05 DD08 DD29 FF07 FF11 JJ02 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008164843A	公开(公告)日	2008-07-17
申请号	JP2006353262	申请日	2006-12-27
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	鶴田正之		
发明人	鶴田 正之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3696 G02F1/13306 G02F2001/133397 G09G3/3677 G09G2310/0289 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.670.D G09G3/20.623.U G09G3/20.622.Q G09G3/20.612.G G02F1/133.550 G02F1/133.520 H04N5/66.102.Z		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NB22 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND02 2H093/ND12 2H093/ND39 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF67 5C006/AF68 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BC20 5C006/FA11 5C006/FA34 5C058/AA06 5C058/BA35 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZE31 2H193/ZF03 2H193/ZF22 2H193/ZF36		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP4997399B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：快速消除所有液晶像素的残留电压。液晶显示装置包括：多个液晶像素PX，其大致呈矩阵状排列，并且分别具有被夹持在像素电极PE和公共电极CE之间的液晶；以及沿着多个液晶像素PX的行排列的多个扫描。通过对应的扫描线Y，线Y，沿着多个液晶像素PX的列布置的多个信号线X，多个扫描线Y和分别布置在与多个信号线X的交叉点附近的多个信号线X 液晶显示面板DP包括：多个像素开关元件W，其被驱动以将对应的信号线X的电位设定到对应的液晶像素PX的像素电极PE；以及显示控制电路CNT，其控制液晶显示面板DP。在该状态下，显示控制电路CNT一起驱动所有多条扫描线Y，使多条信号线X的电势转变为基本上等于公共电极CE的电势的值，并且经过了该转变所需的预定时间。它被配置为等待并关闭电源。[选型图]图1

