

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-15466

(P2008-15466A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H093
GO2F 1/133 (2006.01)	GO2F 1/133 550	5C006
GO9G 3/36 (2006.01)	GO9G 3/36	5C080
GO9G 3/20 (2006.01)	GO9G 3/20 624B	
審査請求 有 請求項の数 5 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2006-354120 (P2006-354120)	(71) 出願人	501426046
(22) 出願日	平成18年12月28日 (2006.12.28)		エルジー・フィリップス エルシーデー
(31) 優先権主張番号	10-2006-0061531		カンパニー, リミテッド
(32) 優先日	平成18年6月30日 (2006.6.30)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(33) 優先権主張国	韓国 (KR)		イドードン 20
		(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 液晶応答速度を向上させ、正確な画像表現を可能にする横電界方式液晶表示装置及びその駆動方法を提供する。

【解決手段】 液晶層を介在して互いに対向配置された第1基板及び第2基板と、前記第1基板において互いに直交する第1データライン及びゲートラインによって形成される画素領域と、前記画素領域内の第1データラインと接続された画素電極と、前記画素領域内に前記第1データラインと平行に形成される第2データラインと、前記第2データラインに接続されたリセット電極と、前記第2基板に形成された共通電極と、を備える構成とした。

。【選択図】 図3

CE

PE

Re

【特許請求の範囲】

【請求項 1】

液晶層を介在して互いに対向配置された第 1 基板及び第 2 基板と、
前記第 1 基板において互いに直交する第 1 データライン及びゲートラインによって形成される画素領域と、
前記画素領域内の第 1 データラインと接続された画素電極と、
前記画素領域内に前記第 1 データラインと平行に形成される第 2 データラインと、
前記第 2 データラインに接続されたりセット電極と、
前記第 2 基板に形成された共通電極と、
を備える、液晶表示素子。

10

【請求項 2】

液晶層を介在して互いに対向配置された第 1 基板及び第 2 基板、前記第 1 基板に形成された画素電極及びリセット電極、並びに前記第 2 基板に形成された共通電極を備えた横電界方式液晶表示装置の駆動方法であって、
第 1 時間の間に、前記画素電極には第 1 電圧を印加し、前記共通電極及びリセット電極には第 2 電圧を印加する段階と、
第 2 時間の間に、前記画素電極及び前記リセット電極には前記第 1 電圧を印加し、前記共通電極には第 2 電圧を印加する段階と、
を備える、液晶表示装置の駆動方法。

【請求項 3】

前記第 2 電圧は 0 V であり、前記第 1 電圧は前記第 2 電圧よりも高い電圧であることを特徴とする、請求項 2 に記載の液晶表示装置の駆動方法。

20

【請求項 4】

前記第 1 時間の間に、前記第 1 電圧が印加される画素電極と、前記第 2 電圧が印加されるリセット電極との間に水平電界が形成されることを特徴とする、請求項 2 に記載の液晶表示装置の駆動方法。

【請求項 5】

前記第 2 時間の間に、前記第 1 電圧が印加される画素電極及びリセット電極と、前記第 2 電圧が印加される共通電極との間に垂直電界が形成されることを特徴とする、請求項 2 に記載の液晶表示装置の駆動方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、液晶応答速度を向上させ、正確な画像表現による高品位画質を実現できる液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

一般に、IPS (In-Plane Switching) モード液晶表示装置は、TN モード液晶表示装置の最大の欠点とされる狭い視野角の問題を解決するために開発された、広視野角を有する液晶表示装置である。かかる IPS モード (以下、「横電界方式」という) 液晶表示装置では、共通電極及び画素電極が同一基板上に共に形成され、これらの電極間で発生する水平電界によって液晶が駆動されることから、TN モードの液晶表示装置に比べてより大きい視野角を有するようになる。

40

【0003】

図 1 は、従来の横電界方式液晶表示装置を示す図である。図 1 を参照すると、基板 10 上の所定領域に複数の液晶画素を構成し、画像が表示される領域であるアクティブ領域 (Active area: 以下、「表示領域 A/A」という) を形成し、表示領域 A/A に画像データを出力する複数のデータドライバ 30、及び複数の液晶画素へのデータ入力を制御するためのスキャン信号 (Scan signal) を出力する複数のゲートドライバ 40 が、IC (integrated circuit) チップの形態に TCP (tape carrier package) 20 に実装され、基

50

板 10 に接続されている。TCP20 には、複数の導電ラインが構成されており、各ドライバ 30、40 と表示領域 A/A との電気回路的な接続を可能にする。

【0004】

ここで、通常、データドライバ 30 は基板 10 の上段に位置し、ゲートドライバ 40 は基板 10 の側段に位置するように構成される。図面において拡大して示されている画素構造のように、縦方向にデータライン $Dm-1$ 、 Dm 、 $Dm+1$ が形成され、データラインと交差して横方向にゲートライン Gn が形成される。

【0005】

また、当該データに相応するカラーを表示するための液晶画素は、ゲートライン Gn と平行に赤 (R)、緑 (G)、青 (B) の順番に水平配列される。

10

【0006】

このように液晶画素がゲートライン Gn の形成方向と水平に配列されることから、それぞれの液晶画素内に形成される画素電極 PE と共通電極 CE は、横電界を形成すべく、データライン $Dm-1$ 、 Dm 、 $Dm+1$ の形成方向と平行または 45° 以内の方向に形成され、このような画素電極 PE と共通電極 CE 形成構造から、画素電極 PE と共通電極 CE に電界を印加しなかった時にブラック (黒) に表示されるノーマリーブブラック (normally black) モードを表示すべく、矢印で表すように (必要によっては矢印反対方向に) データライン形成方向にラビングを行い液晶を配向する。

【0007】

図 2 は、上記のような構成と特徴を有する従来の横電界方式液晶表示装置の液晶画素内の液晶分子の動きを説明するための状態図であり、(a) は、電界非形成時の液晶分子の配列状態を示し、(b) は、電界形成時の液晶分子の配列状態を示す。

20

【0008】

一般に、液晶画素の液晶分子 LC は、図 2 (a) のように、画素電極 PE と共通電極 CE に電界を印加しなかった時 (すなわち、 $PE = CE = 0V$)、初期配向方向に配列された状態を維持する。

【0009】

この初期状態において画素電極 PE と共通電極 CE 間にそれぞれ電圧 (例えば、 $PE = 7V$ 、 $CE = 0V$) を印加して電界が形成されると、図 2 の (b) のように、画素電極 PE と共通電極 CE が形成する電界方向に液晶分子 LC が回転し、印加された電界の大きさに比例して光透過率を変化させるようになる。このような液晶分子 LC の配向変更をライジング (rising) という。

30

【0010】

その後、画素電極 PE と共通電極 CE 間に形成された電界が消えると、再び図 2 の (a) のような初期状態に液晶分子 LC が再配列される。このような液晶分子の配向復帰をフォーリング (falling) という。

【0011】

もちろん上記のような液晶分子 LC の起動 (rising 及び falling) は、IPS モード液晶表示装置の他、いずれの液晶表示装置に共通する特性である。

【0012】

この場合、液晶分子 LC は、電界形成によるライジング (rising) 起動時には、印加された電界の大きさに比べて速く回転するが、電界が消えた後のフォーリング (falling) 起動時には、液晶分子 LC の動きがライジング (rising) 起動に比べて非常に遅く現れる。これは、ライジング (rising) 起動時には、液晶分子 LC が電界によって速く回転するが、フォーリング (falling) 起動時には、液晶及び配向膜の物性 (例えば、弾性係数、回転粘度、配向力等) のみに依存して液晶分子が起動するためである。

40

【0013】

このように液晶分子 LC の遅いフォーリング (falling) 起動は、次のフレームを表示する際に不正確な液晶分子配列を招き、結局として表示しようとする映像を明確に表示できず、画像の品質を低下させる原因となる。

50

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明は上記の問題点を解決するためのもので、その目的は、液晶応答速度を向上させ、正確な画像表現による高品位画質を実現できる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0015】

上記目的を達成する本発明に係る横電界方式液晶表示装置の一つは、液晶層を介在して互いに対向配置された第1基板及び第2基板と、前記第1基板において互いに直交する第1データライン及びゲートラインによって形成される画素領域と、前記画素領域内の第1データラインと接続された画素電極と、前記画素領域内に前記第1データラインと平行に形成される第2データラインと、前記第2データラインに接続されたりセット電極と、前記第2基板に形成された共通電極と、を備える構成とした。 10

【0016】

本発明に係る横電界方式液晶表示装置の駆動方法は、液晶層を介在して互いに対向配置された第1基板及び第2基板、前記第1基板に形成された画素電極及びリセット電極、及び前記第2基板に形成された共通電極を備えた横電界方式液晶表示装置の駆動方法であって、第1時間、前記画素電極に第1電圧を印加し、前記共通電極及びリセット電極に第2電圧を印加する段階と、第2時間、前記画素電極及び前記リセット電極に前記第1電圧を印加し、前記共通電極に第2電圧を印加する段階と、を備える構成とした。 20

【0017】

前記第2電圧は0Vであり、前記第1電圧は前記第2電圧よりも高い電圧である。

【0018】

前記第1時間、前記第1電圧が印加される画素電極と、前記第2電圧が印加されるリセット電極との間に水平電界が形成され、前記第2時間、前記第1電圧が印加される画素電極及びリセット電極と、前記第2電圧が印加される共通電極との間に垂直電界が形成される。

【発明の効果】

【0019】

本発明に係る液晶表示装置及びその駆動方法によれば、リセット電極を備え、このリセット電極にリセット電圧を印加し、データ信号による液晶応答後に、次のデータ信号の入力のための液晶のフォーリング(falling)起動が速に行われるようにしたため、液晶表示パネルの正確な映像表現が可能になる。 30

【発明を実施するための最良の形態】

【0020】

以下、添付の図面を参照しつつ本発明について詳細に説明する。

【0021】

図3は、本発明による横電界方式液晶表示装置の画素構成を示す平面図で、液晶表示装置に構成される電極の構成形態のみを平面図示した。 40

【0022】

本発明は、横電界方式液晶表示装置において、画素電極と共通電極による電界の形成及び非形成時に液晶分子の起動を速かに誘導することにその目的があり、この目的を達成するために、既存の画素電極PEと共通電極CEの他に、リセット電極Reをさらに形成し、各電極の電圧印加時期を別にして横電界方式の液晶表示装置に垂直電界を形成する。

【0023】

図示のように、画素電極PEは第1基板に形成され、共通電極CEは、画素電極の形成された第1基板と液晶層(図示せず)を介在して対向配置された第2基板の全面に形成される。

【0024】

リセット電極 R e は、画素電極 P E と同一基板に形成され、共通電極 C E とは対向配置され、画素電極 P E とは所定距離隔たって形成される。該リセット電極 R e は、各画素別に形成しても良く、数個の画素をまとめたブロック別に形成しても良い。

【0025】

上記のように構成されるリセット電極 R e は、水平電界が形成される横電界方式液晶表示装置に垂直電界が印加されるようにして液晶分子の起動を迅速に誘導する役割を担う。画素電極 P E、共通電極 C E 及びリセット電極 R e が示されている図 3 には電極配置構造のみ示されているが、通常の横電界方式液晶表示装置に適用可能である。

【0026】

以下、図 3 の電極配置構造を通常の横電界方式液晶表示装置に適用した好適な一実施例について説明する。 10

【0027】

図 4 は、本発明による横電界方式液晶表示装置を示す平面図で、液晶画素は回路的等価表現とした。

【0028】

図 4 に示すように、画像が表示される表示領域 A / A と、画像が表示されない非表示領域（図示せず）とに区分される第 1 基板 100 に、第 1 及び第 2 データライン D n、D n' とゲートライン G n が形成される。

【0029】

図 4 に示す基板と液晶層（図示せず）を介在して対向配置されたもう一つの基板の全面 20 には、共通電極（C E、図示せず）が形成される。

【0030】

互いに直交するように配置された第 1 データライン D 1、D 2、・・・、D n とゲートライン G 1、G 2、・・・、G n によって画素領域 P が定義され、画素領域 P の一側には、第 1 データライン D n とソース電極が連結された第 1 薄膜トランジスタ T 1 が形成され、第 1 薄膜トランジスタ T 1 のドレイン電極と画素電極 P E が連結される。

【0031】

なお、画素領域内に、第 1 データライン D 1、D 2、・・・、D n と平行に配置される第 2 データライン D 1'、D 2'、・・・、D n' が備えられ、当該画素領域の第 1 薄膜トランジスタ T 1 が形成された他側には、第 2 データライン D n' とソース電極が連結された第 2 薄膜トランジスタ T 2 が形成され、この第 2 薄膜トランジスタ T 2 のドレイン電極とリセット電極 R e が連結される。 30

【0032】

したがって、リセット電極 R e には、第 1 データライン D 1、D 2、・・・、D n のデータ電圧が画素電極に印加された後、第 2 データライン D 1'、D 2'、・・・、D n' と連結された所定のタイミングの間、リセット電圧が印加される。

【0033】

このようなリセット電極 R e の構成を通じて画素電極 / リセット電極及び共通電極間に垂直電界を形成し、液晶分子の復帰（falling）速度を加速させる駆動方法を、図 4 及び図 5 の信号タイミング図、図 6 A、図 7 A 及び図 8 A の液晶分子状態図、図 6 B、図 7 B 及び図 8 B の電界分布図、並びに既存の横電界方式液晶表示装置の液晶分子のフォーリング起動時 F の透過率と本発明の横電界方式液晶表示装置の液晶分子フォーリング起動時 F' の透過率を示すグラフである図 9 を参照して詳細に説明する。 40

【0034】

図 5 の信号タイミングは、任意のカラーを表示できる所定のデータ信号を任意の画素に順番に入力する時、各電極に印加される電圧の印加タイミングを例示する。図 6 A、図 7 A 及び図 8 A は、液晶表示装置でのデータ信号未入力時、データ信号入力時、リセット駆動時の液晶分子の状態を例示する。そして図 6 B、図 7 B 及び図 8 B は、上記各段階での電界分布を示すものである。

【0035】

具体的には、 n 番目のフレームで前述した図 3 の電極構成を持つ表示領域 A/A 内の画素 P にデータ電圧が印加されなかった状態における液晶分子の状態を、図 6 A に示している。

【0036】

以降、当該画素 P に任意のカラーを表示できる所定のデータ電圧を印加する。例えば、ホワイトカラー表示のためのホワイトデータ電圧（例えば、7 V）を第 1 データ信号とし、これを、ゲートライン $G1$ に入力されるゲート信号に同期して第 1 データライン $D1$ を介して画素電極 PE に印加し、共通電極 CE に共通電圧（例えば、0 V）を印加する。こうすると、画素電極 PE と共通電極 CE 間の水平電界が形成され、液晶分子は最初配列状態である図 6 A から図 7 A に示す状態に回転し、ホワイトカラーを表示するようになる。 10

【0037】

続いて、リセット区間となるが、これは、図 7 A の状態にある液晶分子を元状態に近い図 8 A の状態に迅速に復帰させるための駆動が行われる区間で、この区間で画素電極 PE と共通電極 CE 間の垂直電界が形成される。すなわち、第 1 データ信号が入力された画素 P の画素電極 PE と共通電極 CE に、同一フレーム区間、別のゲート信号を印加し、別のゲート信号に同期して第 2 データライン $D1'$ を介してリセット電極 Re にリセット電圧（例えば、7 V）を印加する。このとき、共通電極 CE には 0 V が持続して印加され、画素電極 PE には 7 V が持続して印加される。したがって、共通電極 CE とリセット電極 Re 間に垂直電界、及び共通電極 CE とリセット電極 Re 間に垂直電界がそれぞれ形成される。 20

【0038】

したがって、当該画素電極 PE と同じリセット電圧が印加されたリセット電極 Re によって共通電極 CE と画素電極 PE またはリセット電極 Re 間に垂直電界がそれぞれ形成されて液晶分子の初期配向への復帰力を向上させ、図 8 A の状態に速く復帰するようになる。

【0039】

図 9 は、既存の横電界方式液晶表示装置の液晶分子のフォーリング起動時 F の透過率と、本発明の横電界方式液晶表示装置の液晶分子のフォーリング起動時 F' の透過率を示すグラフである。同図からも、垂直電界を形成できる本発明による横電界方式液晶表示装置の液晶分子のフォーリング起動時の速度が、従来の液晶表示装置のそれよりも迅速であることがわかる。 30

【0040】

上述の如く、画素電極 PE とリセット電極 Re に異なる電圧を印加して水平電界が形成されるようにし、リセット区間では、画素電極 PE とリセット電極 Re には同じ電圧が印加され、これらの電極と異なる電圧が印加された共通電極によって垂直電界が形成されるようにすることによって、液晶分子の起動が迅速となるように誘導する。

【図面の簡単な説明】

【0041】

【図 1】従来の横電界方式液晶表示装置を示す図である。

【図 2】従来の横電界方式液晶表示装置の液晶画素内の液晶分子の動きを説明するための液晶分子状態図である。 40

【図 3】本発明による横電界方式液晶表示装置の構成を示す平面図である。

【図 4】本発明による横電界方式液晶表示装置を示す平面図である。

【図 5】本発明による横電界方式液晶表示装置の駆動を説明するための信号タイミング図である。

【図 6 A】本発明による横電界方式液晶表示装置の駆動による液晶分子の起動状態を示す液晶分子状態図である。

【図 6 B】当該横電界方式液晶表示装置によって生じる電界分布図である。

【図 7 A】本発明による横電界方式液晶表示装置の駆動による液晶分子の起動状態を示す液晶分子状態図である。 50

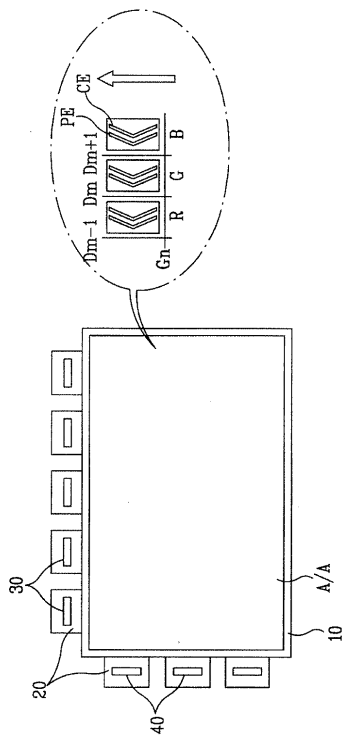
【図 7 B】当該横電界方式液晶表示装置によって生じる電界分布図である。

【図 8 A】本発明による横電界方式液晶表示装置の駆動による液晶分子の起動状態を示す液晶分子状態図である。

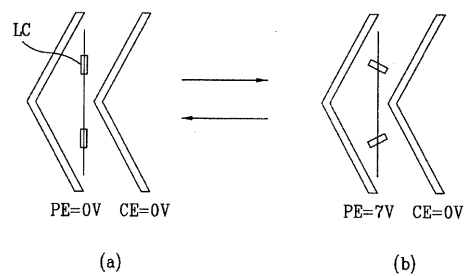
【図 8 B】当該横電界方式液晶表示装置によって生じる電界分布図である。

【図 9】既存の横電界方式液晶表示装置の液晶分子のフォーリング起動時 F の透過率と、本発明の横電界方式液晶表示装置の液晶分子のフォーリング起動時 F' の透過率を示すグラフである。

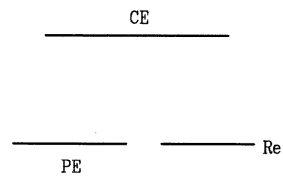
【図 1】



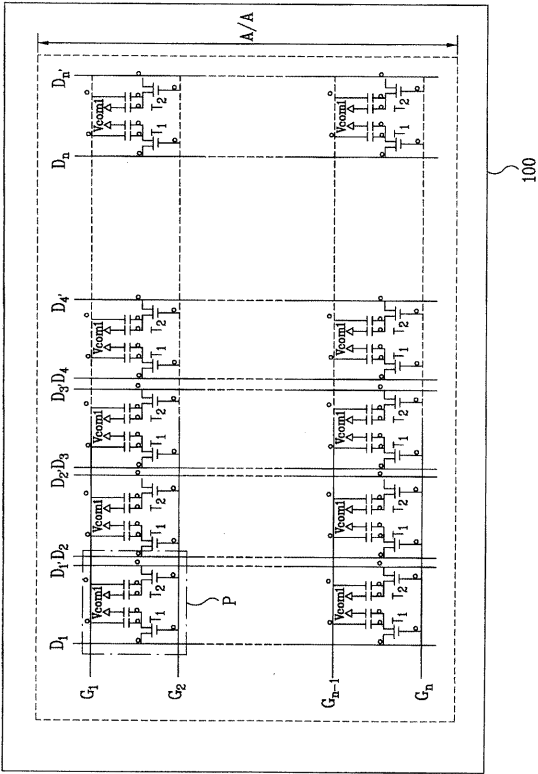
【図 2】



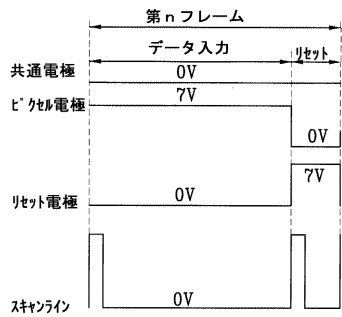
【図 3】



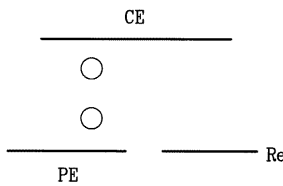
【図 4】



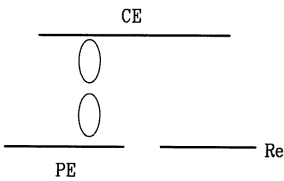
【図 5】



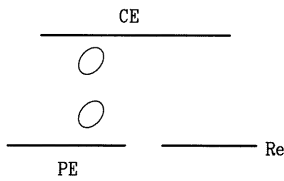
【図 6 A】



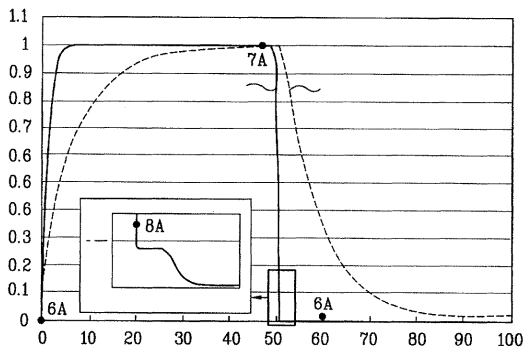
【図 7 A】



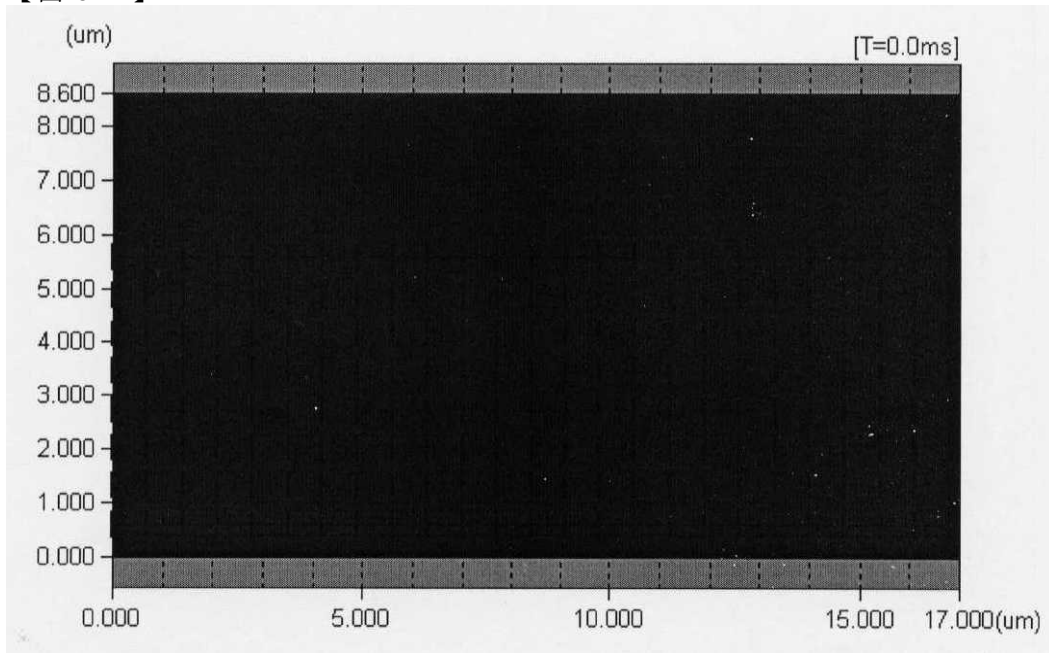
【図 8 A】



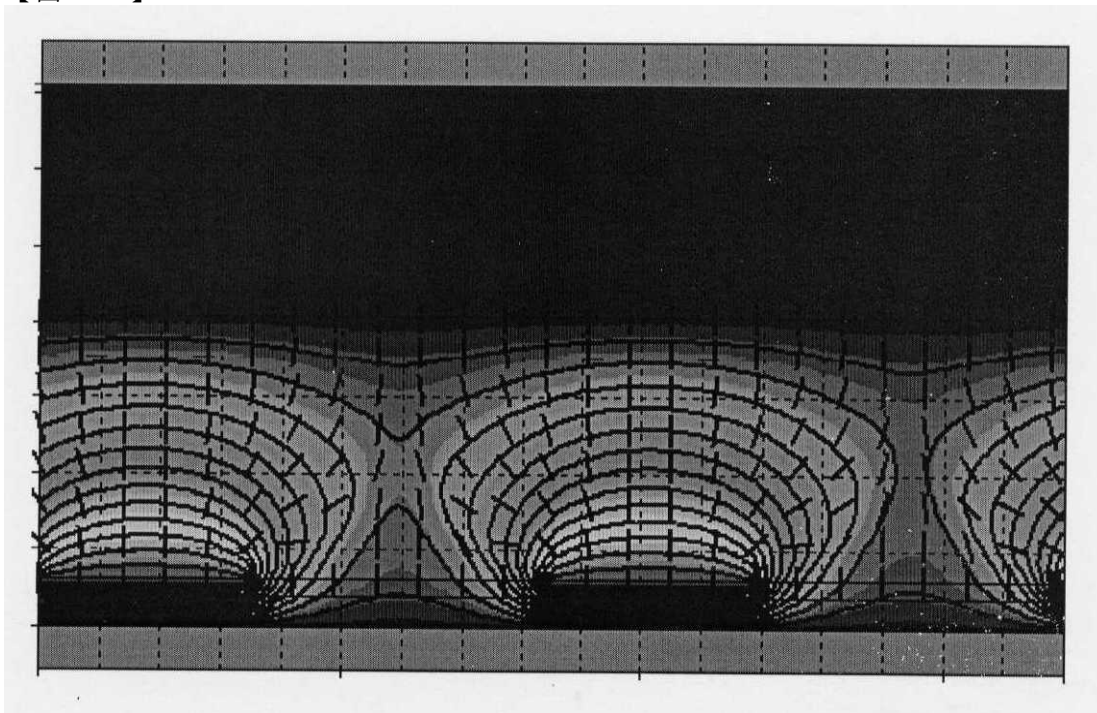
【図 9】



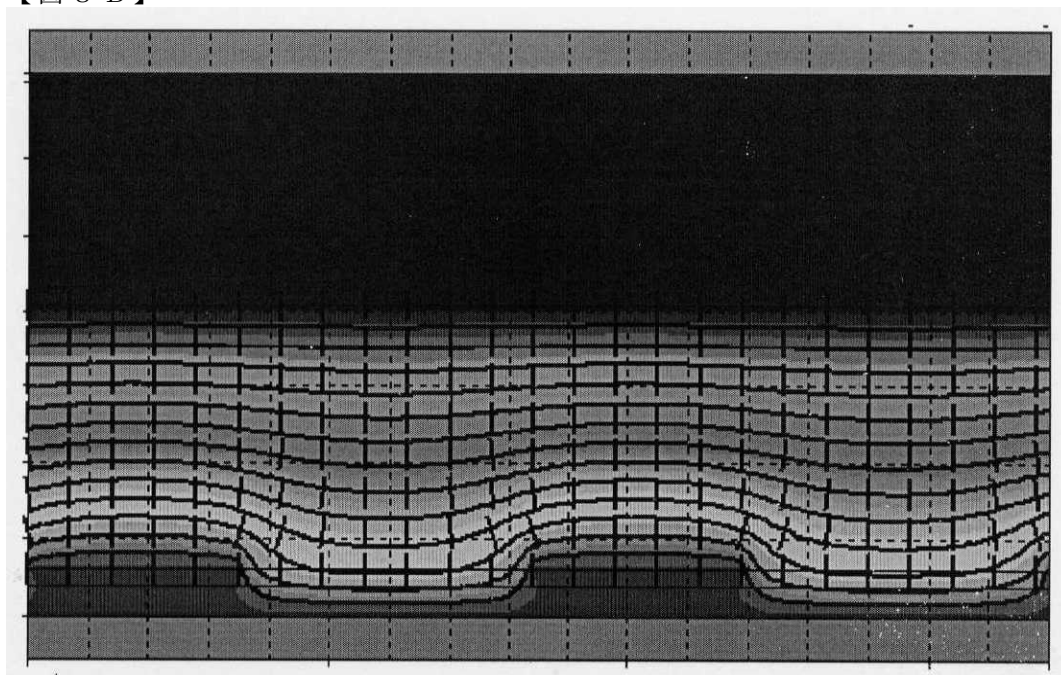
【図 6 B】



【図 7 B】



【図 8 B】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 2 4 E
	G 0 9 G 3/20	6 2 1 F
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 3 D

(74)代理人 100104352
弁理士 朝日 伸光

(74)代理人 100128657
弁理士 三山 勝巳

(72)発明者 崔 相 好
大韓民国 京畿道 軍浦市 堂井洞 エスケーベンティウム 1 0 1 - 6 1 6

F ターム(参考) 2H092 GA14 JA24 JB14 JB42 NA05 PA02 QA06
2H093 NA16 NC18 NC34 NC40 ND32 NF04
5C006 AA16 AA22 AC11 AC21 AC25 AF71 BB16 BC06 FA14 FA56
5C080 AA10 BB05 CC03 DD03 DD08 EE28 EE29 FF11 JJ02 JJ04
JJ05

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2008015466A	公开(公告)日	2008-01-24
申请号	JP2006354120	申请日	2006-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	崔相好		
发明人	崔 相 好		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3655 G09G3/3659 G09G2300/0434 G09G2310/061 G09G2320/0252		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.624.D G09G3/20.624.E G09G3/20.621.F G09G3/20.623.C G09G3/20.623.D		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JB14 2H092/JB42 2H092/NA05 2H092/PA02 2H092/QA06 2H093/NA16 2H093/NC18 2H093/NC34 2H093/NC40 2H093/ND32 2H093/NF04 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AF71 5C006/BB16 5C006/BC06 5C006/FA14 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD08 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H192/AA24 2H192/BB03 2H192/BB33 2H192/BB91 2H192/CC64 2H192/GD61 2H192/JA33 2H193/ZA04 2H193/ZA19 2H193/ZD02 2H193/ZE21 2H193/ZF59 2H193/ZQ16		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020060061531 2006-06-30 KR		
其他公开文献	JP4579899B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种面内切换模式的液晶显示装置，其增加液晶分子的响应速度并改善图像质量和图像分辨率，并提供一种驱动该方法的方法。解决方案：液晶显示装置包括彼此面对的第一和第二基板，其间具有液晶层，由第一数据线形成的像素区域和在第一基板上彼此交叉的栅极线，像素电极连接到第一基板像素区域中的数据线，与像素区域中的第一数据线平行形成的第二数据线，连接到第二数据线的复位电极，以及形成在第二基板上的公共电极。

