

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9372

(P2008-9372A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int.CI.

**G02F 1/1368 (2006.01)**  
**H01L 21/336 (2006.01)**  
**H01L 29/786 (2006.01)**

F 1

G02F 1/1368  
H01L 29/78 612D  
H01L 29/78 627C

テーマコード(参考)

2 H 0 9 2  
5 F 1 1 O

審査請求 有 請求項の数 33 O L (全 30 頁)

(21) 出願番号 特願2006-353326 (P2006-353326)  
(22) 出願日 平成18年12月27日 (2006.12.27)  
(31) 優先権主張番号 10-2006-0059346  
(32) 優先日 平成18年6月29日 (2006.6.29)  
(33) 優先権主張国 韓国(KR)

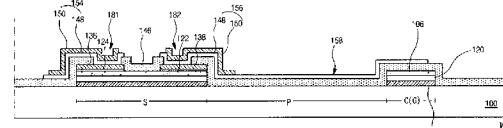
(71) 出願人 599127667  
エルジー フィリップス エルシーティー  
カンパニー リミテッド  
大韓民国 ソウル, ヨンドンポーク,  
ヨイドードン 20  
(74) 代理人 100110423  
弁理士 曽我 道治  
(74) 代理人 100084010  
弁理士 古川 秀利  
(74) 代理人 100094695  
弁理士 鈴木 竜七  
(74) 代理人 100111648  
弁理士 梶並 順  
(74) 代理人 100147566  
弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

## (57) 【要約】

【課題】液晶表示装置用アレイ基板の製作において、エッチング防止膜を含む薄膜トランジスタが構成された液晶表示装置用アレイ基板を3マスク工程によって製作可能な液晶表示装置及びその製造方法を得る。



【解決手段】ゲート配線130と、ゲート配線に連結されたゲート電極と；ゲート配線130及びゲート電極上に位置するゲート絶縁膜120と；ゲート配線130上のゲート絶縁膜120上に位置するアクティブ層122と；アクティブ層122上に位置するオーミックコンタクト層124と；オーミックコンタクト層124上に位置する第1ソース電極136及び第1ドレイン電極138と；第1ソース電極136及び第1ドレイン電極138と各々連結された第2ソース電極154及び第2ドレイン電極156と；第2ソース電極154から延長されて、ゲート配線130と交差して画素領域Pを定義するデータ配線と；画素領域Pに位置して、第2ドレイン電極156から延長された画素電極158とを含む。

【選択図】図8A

**【特許請求の範囲】****【請求項 1】**

ゲート配線と；

前記ゲート配線に連結されたゲート電極と；

前記ゲート配線及び前記ゲート電極上に位置するゲート絶縁膜と；

前記ゲート配線上の前記ゲート絶縁膜上に位置するアクティブ層と；

前記アクティブ層上に位置するオームикコンタクト層と；

前記オームикコンタクト層上に位置する第1ソース電極及び第1ドレイン電極と；

前記第1ソース電極及び前記第1ドレイン電極と各々連結された第2ソース電極及び第2ドレイン電極と；

前記第2ソース電極から延長されて、前記ゲート配線と交差して画素領域を定義するデータ配線と；

前記画素領域に位置して、前記第2ドレイン電極から延長された画素電極と；

を含むことを特徴とする液晶表示装置。

**【請求項 2】**

前記ゲート絶縁膜は、前記ゲート配線及び前記ゲート電極と同一の外郭を有することを特徴とする請求項1に記載の液晶表示装置。

**【請求項 3】**

前記アクティブ層から延長されて、前記ゲート配線の上部に位置する半導体層をさらに含むことを特徴とする請求項1に記載の液晶表示装置。

**【請求項 4】**

前記半導体層及び前記アクティブ層は、前記ゲート配線及び前記ゲート電極と同一の外郭を有することを特徴とする請求項3に記載の液晶表示装置。

**【請求項 5】**

前記オームикコンタクト層と、前記第1ソース電極及び前記第1ドレイン電極とは、前記ゲート配線によって遮られることを特徴とする請求項1に記載の液晶表示装置。

**【請求項 6】**

前記オームикコンタクト層は、前記第1ソース電極及び前記第1ドレイン電極と同一の外郭を有することを特徴とする請求項1に記載の液晶表示装置。

**【請求項 7】**

前記第1ソース電極及び前記第1ドレイン電極を各々露出する第1及び第2コンタクトホールを有する保護膜をさらに含むことを特徴とする請求項1に記載の液晶表示装置。

**【請求項 8】**

前記保護膜は、前記第1ソース電極と前記第1ドレイン電極との間の前記アクティブ層を覆うことを特徴とする請求項7に記載の液晶表示装置。

**【請求項 9】**

前記データ配線と、前記第2ソース電極及び前記第2ドレイン電極とは、各々、第1及び第2層を有することを特徴とする請求項1に記載の液晶表示装置。

**【請求項 10】**

前記画素電極は、前記第2ドレイン電極の第1層から延長されることを特徴とする請求項9に記載の液晶表示装置。

**【請求項 11】**

前記第1層は、透明であって、前記第2層は、不透明であることを特徴とする請求項10に記載の液晶表示装置。

**【請求項 12】**

前記第1層は、インジウム-スズ-オキサイドITO、インジウ-ジンク-オキサイドIZO、インジウム-スズ-ジンク-オキサイドITZOの少なくとも一つを含み、前記第2層は、アルミニウムAl、アルミニウム合金AlNd、タンゲステンW、クロムCr、モリブデンMo、チタンTi、銅Cu、タンタルTaの少なくとも一つを含むことを特徴とする請求項11に記載の液晶表示装置。

10

20

30

40

50

**【請求項 13】**

前記ゲート配線から延長されたゲートパッドと；  
 前記ゲートパッド上に位置して、前記第1層を有するゲートパッド電極と；  
 をさらに含むことを特徴とする請求項9に記載の液晶表示装置。

**【請求項 14】**

前記データ配線の第1層から延長されたゲートパッド電極をさらに含むことを特徴とする請求項9に記載の液晶表示装置。

**【請求項 15】**

前記画素電極は、前記ゲート配線と重なることを特徴とする請求項1に記載の液晶表示装置。  
10

**【請求項 16】**

前記画素電極と重なる前記ゲート配線の部分は、前記画素領域へと突出されることを特徴とする請求項15に記載の液晶表示装置。

**【請求項 17】**

前記アクティブ層は、純粋非晶質シリコンを含み、前記オーミックコンタクト層は、不純物非晶質シリコンを含むことを特徴とする請求項1に記載の液晶表示装置。  
20

**【請求項 18】**

第1マスクを使用して、基板上に、ゲート配線と、前記ゲート配線から延長されたゲートパッドと、ゲート電極と、前記ゲート配線及び前記ゲート電極上に位置するゲート絶縁膜と、前記ゲート配線上の前記ゲート絶縁膜上に位置するアクティブ層と、前記アクティブ層上に位置するオーミックコンタクト層と、前記オーミックコンタクト層上に位置する第1ソース電極及び第1ドレイン電極と、を形成する第1の段階と；  
20

第2マスクを使用して、前記第1ソース電極と前記第1ドレイン電極との間の前記アクティブ層を覆う保護膜を形成する第2の段階と；

第3マスクを使用して、前記第1ソース電極及び前記第1ドレイン電極に各々連結された第2ソース電極及び第2ドレイン電極と、前記第2ソース電極から延長されて前記ゲート配線と交差して画素領域を定義するデータ配線と、前記データ配線から延長されたデータパッド電極と、前記画素領域に前記第2ドレイン電極から延長された画素電極を形成する第3の段階と；

を含むことを特徴とする液晶表示装置の製造方法。  
30

**【請求項 19】**

前記ゲート配線上に、前記アクティブ層から延長される半導体層を形成する段階をさらに含むことを特徴とする請求項18に記載の液晶表示装置の製造方法。

**【請求項 20】**

前記第1の段階は、  
 前記半導体層を形成する段階を含むと共に；  
 前記基板上に、第1導電層と、第1絶縁膜と、純粋非晶質シリコン層と、不純物非晶質シリコン層と、第2導電層を形成する段階と；  
 前記第1マスクを使用して、スイッチング領域の一部に対応する第1部分と、ゲート領域と前記スイッチング領域の一部の両側に対応して前記第1部分より厚い第2部分を有する第1フォトレジストパターンを前記第2導電層上に形成する段階と；  
40

前記第1フォトレジストパターンを使用して、前記第2導電層と、不純物非晶質シリコン層と、純粋非晶質シリコン層と、第1絶縁膜と、第1導電層とをパターニングして、前記ゲート領域に前記ゲート配線とゲートパッドと半導体層とを形成し、前記スイッチング領域に前記ゲート電極及び前記アクティブ層を形成して、前記ゲート領域及び前記スイッチング領域に前記ゲート絶縁膜を形成する段階と；

前記第1フォトレジストパターンをアッシングして前記第1部分を除去する段階と；  
 アッシングされた前記第1フォトレジストパターンを使用して、パターニングされた前記第2導電層及び前記不純物非晶質シリコン層をパターニングし、前記第1ソース電極及び前記第1ドレイン電極と前記オーミックコンタクト層とを形成する段階と；  
50

を含むことを特徴とする請求項 1 9 に記載の液晶表示装置の製造方法。

**【請求項 2 1】**

前記第 1 フォトレジストパターンを形成する段階は、

前記第 2 導電層上にフォトレジスト層を形成する段階と；

前記第 1 マスクの半透過部が前記スイッチング領域の一部に対応するようにして、かつ、前記第 1 マスクの遮断部が前記ゲート領域と前記スイッチング領域の一部との両側に対応するようにして、前記フォトレジスト層を露光する段階と；

露光された前記フォトレジスト層を現像する段階と；

を含むことを特徴とする請求項 2 0 に記載の液晶表示装置の製造方法。

**【請求項 2 2】**

前記第 2 の段階は、前記第 1 ソース電極及び前記第 1 ドレイン電極を露出する第 1 及び第 2 コンタクトホールを形成する段階を含むことを特徴とする請求項 2 0 に記載の液晶表示装置の製造方法。 10

**【請求項 2 3】**

前記第 2 の段階は、前記第 1 ソース電極及び前記第 1 ドレイン電極を有する基板上に第 2 絶縁膜を形成する段階と；

前記第 2 マスクを使用して、前記第 1 ソース電極及び前記第 1 ドレイン電極の一部に対応する第 3 部分と、前記第 3 部分より厚い第 4 部分を有して、前記ゲートパッドの少なくとも一部を覆わない第 2 フォトレジストパターンを前記第 2 絶縁膜上に形成する段階と；

前記第 2 フォトレジストパターンを使用して、前記第 2 絶縁膜と前記不純物非晶質シリコン層とゲート絶縁膜とをパターニングし、前記ゲートパッドの少なくとも一部を露出する段階と； 20

前記第 2 フォトレジストパターンをアッシングして前記第 3 部分を除去する段階と；

アッシングされた前記第 2 フォトレジストパターンを使用して、前記パターニングされた第 2 絶縁膜をパターニングし、前記第 1 及び第 2 コンタクトホールを有する保護膜を形成する段階と；

をさらに含むことを特徴とする請求項 2 2 に記載の液晶表示装置の製造方法。

**【請求項 2 4】**

前記第 2 フォトレジストパターンを形成する段階は、

前記第 2 絶縁膜上にフォトレジスト層を形成する段階と；

前記第 2 マスクの透過部が前記ゲートパッドの少なくとも一部に対応するようにして、かつ、前記第 2 マスクの半透過部が前記第 1 ソース電極及び前記第 1 ドレイン電極の一部に対応するようにして、前記フォトレジスト層を露光する段階と； 30

露光された前記フォトレジスト層を現像する段階と；

を含むことを特徴とする請求項 2 3 に記載の液晶表示装置の製造方法。

**【請求項 2 5】**

前記データ配線と第 2 ソース電極及び第 2 ドレイン電極とは、各々、第 1 及び第 2 層を有することを特徴とする請求項 1 8 に記載の液晶表示装置の製造方法。

**【請求項 2 6】**

前記画素電極は、前記第 2 ドレイン電極の第 1 層から延長され、前記データパッド電極は、前記データ配線の第 1 層から延長されることを特徴とする請求項 2 5 に記載の液晶表示装置の製造方法。 40

**【請求項 2 7】**

前記ゲートパッド上に、前記第 1 層を有するゲートパッド電極を形成する段階をさらに含むことを特徴とする請求項 2 6 に記載の液晶表示装置の製造方法。

**【請求項 2 8】**

前記第 1 層は、透明であって、前記第 2 層は、不透明であることを特徴とする請求項 2 7 に記載の液晶表示装置の製造方法。

**【請求項 2 9】**

前記第 1 層は、インジウム - スズ - オキサイド I T O、インジウム - ジンク - オキサイ

50

DIZO、インジウム・スズ・ジンク・オキサイドITOの少なくとも一つを含み、前記第2層は、アルミニウムAl、アルミニウム合金AlNd、タンゲステンW、クロムCr、モリブデンMo、チタンTi、銅Cu、タンタルTaの少なくとも一つを含むことを特徴とする請求項28に記載の液晶表示装置の製造方法。

### 【請求項30】

前記第3の段階は、

前記ゲートパッド電極を形成する段階を含むと共に；

前記保護膜上に、前記第1及び第2層を形成する段階と；

前記第3マスクを使用して、前記ゲートパッドの少なくとも一部とデータ領域の一端と前記画素領域とに対応する第1部分と、前記データ領域の他の部分に対応して前記第1部分より厚い第2部分を有して、前記第1ソース電極と前記第1ドレイン電極との間のアクティブ層を覆う保護膜の少なくとも一部を覆わないフォトレジストパターンを前記第2層上に形成する段階と；

前記フォトレジストパターンを使用して、前記第1及び第2層をパターニングして、前記第2ソース電極及び前記第2ドレイン電極と前記データ領域の他の部分とに前記データ配線を形成する段階と；

前記フォトレジストパターンをアッシングして前記第1部分を除去する段階と；

アッシングされた前記フォトレジストパターンを使用して、パターニングされた前記第2層をパターニングして、前記データ領域の一端に前記データパッド電極と前記画素電極と前記ゲートパッド電極とを形成する段階と；

を含むことを特徴とする請求項27に記載の液晶表示装置の製造方法。

### 【請求項31】

前記フォトレジストパターンを形成する段階は、

前記第2層上にフォトレジスト層を形成する段階と；

前記第3マスクの半透過部が前記ゲートパッドの少なくとも一部と前記データ領域の一端と前記画素領域とに対応するようにして、かつ、前記第3マスクの遮断部が前記データ領域の他の部分に対応するようにして、かつ、前記第3マスクの透過部が前記第1ソース電極と前記第1ドレイン電極との間のアクティブ層を覆う保護膜の少なくとも一部に対応するようにして、前記フォトレジスト層を露光する段階と；

露光された前記フォトレジスト層を現像する段階と；

を含むことを特徴とする請求項30に記載の液晶表示装置の製造方法。

### 【請求項32】

前記画素電極は、前記ゲート配線と重なることを特徴とする請求項18に記載の液晶表示装置の製造方法。

### 【請求項33】

前記画素電極と重なる前記ゲート配線の部分は、前記画素領域へと突出されることを特徴とする請求項32に記載の液晶表示装置の製造方法。

### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、液晶表示装置及びその製造方法に関し、特に、液晶表示装置用アレイ基板の製作において、エッチング防止膜を含む薄膜トランジスタが構成された液晶表示装置用アレイ基板を3マスク工程によって製作可能にした技術に関するものである。

#### 【背景技術】

#### 【0002】

一般的な液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用している。液晶は、構造が細く長いので、分子の配列において方向性を有しており、任意に液晶に電界を加えると、分子配列の配列方向を制御することができる。

従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表現することができる。

10

20

30

40

50

## 【0003】

液晶表示装置は、共通電極が形成されたカラーフィルタ基板（上部基板）と、画素電極が形成されたアレイ基板（下部基板）と、これら両基板間に充填された液晶により構成される。このような液晶表示装置は、共通電極及び画素電極が上下に印加される電場により液晶を駆動する方式であって、透過率及び開口率等の特性が優れている。

現在では、薄膜トランジスタと薄膜トランジスタに連結された画素電極とが行列方式で配列された能動行列型の液晶表示装置（AM-LCD、以下、液晶表示装置と称する）が解像度及び動画像の具現能力が優れており、最も注目を浴びている。

## 【0004】

以下、図1を参照しながら、従来の液晶表示装置の構成について説明する。 10

図1は、一般的な液晶表示装置を概略的に示す斜視図である。

図1において、液晶パネル51は、液晶層（図示せず）を間に有して相互に離隔して構成された第1基板5と第2基板10により構成されている。第2基板10と向かい合う第1基板5の一面には、ブラックマトリックス6と、赤色、緑色、青色のカラーフィルタ7a、7b、7cと、カラーフィルタ上に透明な共通電極9とが構成されている。

## 【0005】

第1基板5と向かい合う第2基板10には、多数の画素領域Pが定義されており、また、画素領域Pの一側に沿って延長して形成されたゲート配線14と、ゲート配線14が形成される画素領域Pの一側と、平行でない他側に沿って延長して形成されたデータ配線26とが構成されている。 20

## 【0006】

図1の構成により、画素領域Pは、ゲート配線14とデータ配線26とが交差して定義され、両配線の交差地点には、薄膜トランジスタTが構成される。

画素領域Pには、薄膜トランジスタTと接触する透明な画素電極32が構成されており、画素電極32は、インジウム・スズ・オキサイドITO及びインジウム・ジンク・オキサイドIZOのように、光の透過率が比較的に優れた透明導電性金属で形成される。

## 【0007】

上記のように構成された液晶表示装置用アレイ基板は、5～6マスク工程により製作される。以下、従来の液晶表示装置用アレイ基板の製作工程について、簡略的に紹介する。

ここでは、例えば5マスク工程について説明し、マスク工程のみを並べている。 30

## 【0008】

第1マスク工程：ゲート電極及びゲート配線（及びゲートパッド）の形成工程。

第2マスク工程：ゲート電極の上部のアクティブ層及びオーミックコンタクト層の形成工程。

第3マスク工程：データ配線（及びデータパッド）、ソース電極及びドレイン電極の形成工程。

第4マスク工程：基板全面に保護膜を形成して、ドレイン電極を露出するコンタクトホールを形成する工程。

第5マスク工程：コンタクトホールを通じて接触する画素電極を形成する工程。 40

## 【0009】

以上の5マスク工程によって液晶表示装置用アレイ基板を製作することができる。

しかし、このように多数の工程によってアレイ基板が製作されるが、工程が多いほど不良が発生する確率が大きくなつて生産収率が低下するので、工程時間の増加と工程費用の上昇とによって製品の競争力が弱化される問題がある。

そこで、このような問題を解決するために、工程数を低減させた4マスク工程が提案されている。

## 【0010】

図2は、従来の4マスク工程によって製作した液晶表示装置用アレイ基板の一部を拡大して示す平面図である。

図2において、アレイ基板は、絶縁基板60上に一方向に延長されたゲート配線62と 50

、ゲート配線 6 2 に交差して画素領域 P を定義するデータ配線 9 8 とを含む。

【0011】

ゲート配線 6 2 の一端にはゲートパッド電極 6 4 が構成され、データ配線 9 8 の一端にはデータパッド電極 1 0 0 が構成される。

ゲートパッド電極 6 4 及びデータパッド電極 1 0 0 の上部には、各々これと接触する透明なゲートパッド電極端子 1 1 4 と、データパッド電極端子 1 1 6 とが構成される。

【0012】

ゲート配線 6 2 とデータ配線 9 8 との交差地点には、ゲート配線 6 2 と接触するゲート電極 6 4 と、ゲート電極 6 4 の上部に位置した第1半導体層 9 0 a と、第1半導体層 9 0 a の上部に離隔され位置して、データ配線 9 8 に連結されたソース電極 9 4 と、ソース電極 9 4 から離隔されたドレイン電極 9 6 と、を含む薄膜トランジスタ T が構成される。 10

【0013】

画素領域 P には、ドレイン電極 9 6 と接触する透明な画素電極 P X L が構成される。また、ゲート配線 6 2 の一部上部には、画素電極 P X L と接触するアイランド状のストレージ電極 8 6 が形成される。ゲート配線 6 2 の一部を第1電極として、ストレージ電極 8 6 を第2電極とし、これら両電極間に位置したゲート絶縁膜（図示せず）を誘電体としたストレージキャパシタ C s t が形成される。 20

【0014】

ここで、データ配線 9 8 の下部には、第1半導体層 9 0 a から延長された第2半導体層 9 0 b が構成されて、アイランド状のストレージ電極 8 6 の下部には、第3半導体層 9 0 c が形成される。 20

第1半導体層 9 0 a のアクティブ層 9 2 a の一部は、ゲート電極 6 4 によって遮られないので、バックライト等のような光に露出されて光電流（photo current）を発生する。このような光電流は、薄膜トランジスタの漏洩電流として機能する。 30

【0015】

また、データ配線 9 8 と下部の半導体層 9 0 b とが同一の工程でパターニングされるが、このパターニング時において、半導体層 9 0 b の下部層である純粋非晶質シリコン層 7 0 は、データ配線 9 8 の幅より広くパターニングされる。

これにより、純粋非晶質シリコン層 7 0 は、バックライトのような光に露出されて光電流を発生する。このように発生した光電流により、隣接した画素電極 P X L との間でカップリング（coupling）現象が発生して、液晶パネルの画面に波状ノイズ（wave noise）が発生する問題がある。 30

【0016】

以下、図 3 A、図 3 B を参照しながら、波状ノイズについて詳しく説明する。

図 3 A、図 3 B は、図 2 内の I I - I I 線、V - V 線に沿って切断した断面図である。

図 3 A、図 3 B において、従来の 4 マスク工程によって薄膜トランジスタアレイ基板 6 0 を製作すると、ソース電極 9 4 及びドレイン電極 9 6 の下部に第1半導体層 9 0 a が構成され、データ配線 9 8 の下部に第2半導体層 9 0 b が構成される。 40

【0017】

ソース電極 9 4 及びドレイン電極 9 6 は、第1半導体層 9 0 a 上に位置し、保護膜 P A S は、ソース電極 9 4 及びドレイン電極 9 6 上に位置する。

第1半導体層 9 0 a 及び第2半導体層 9 0 b は、純粋非晶質シリコン層（a - Si : H）7 0 と、不純物を含む非晶質シリコン層（n + a - Si : H）7 2 とに積層されて構成される。第1半導体層 9 0 a を構成する純粋非晶質シリコン層は、アクティブ層 9 2 a として作用し、上部の不純物非晶質シリコン層は、オーミックコンタクト層 9 2 b として作用する。 40

【0018】

また、第1半導体層 9 0 a のアクティブ層 9 2 a の一部は、ゲート電極 6 4 によって遮られないので、バックライト等のような光に露出されて光電流を発生する。このような光電流は、薄膜トランジスタの漏洩電流として機能する。漏洩電流は、画素領域 P に充電さ 50

れた電圧を非正常に漏洩するようにして、薄膜トランジスタの動作を低下する原因となる。

#### 【0019】

また、データ配線98の下部に位置して、データ配線98の両側に突出された第2半導体層90bの純粋非晶質シリコン層70は、下部の光源に露出されて光電流を発生する。

また、下部の光源のちらつきによって、純粋非晶質シリコン層70は、微細に反応して活性化と非活性化状態とが繰り返されて、これによる光電流の変化が発生する。

このような光電流の変化成分は、隣接する画素電極PXLに流れる信号と共にカップリングされ、画素電極PXLに位置した液晶の動きを歪曲する。

これにより、液晶パネルの画面には、波状の細い線が示される波状ノイズが発生する。 10

また、データ配線98の下部に位置する純粋非晶質シリコン層70は、データ配線98の両側に各々約1.7μm程度突出される。

#### 【0020】

一般的に、データ配線98と画素電極PXLとは、アライン誤差を勘案して4.75μm程度の隔離距離を置いてパターニングされるが、上記突出部分を勘案すると、データ配線98と画素電極PXLとの隔離距離Dは、6.45μmになる。

すなわち、データ配線98の一側に突出された部分の長さだけ、画素電極PXLが遠くパターニングされて、この部分の光漏れを遮るブラックマトリックスBMの幅W1も広くなって、開口領域が削減される問題がある。

#### 【0021】

また、上記波状ノイズが発生するデータ配線98と、その下部の第2半導体層90bと、漏洩電流が発生する薄膜トランジスタとの構造は、従来の汎用的な4マスク工程によって必然に発生する。以下、従来の4マスク工程について説明する。 20

#### 【0022】

ここでは、図4A～図4G、図5A～図5G、図6A～図6Gの工程図を参照しながら、従来の4マスク工程によってアレイ基板を製作する方法について説明する。

図4A～図4G、図5A～図5G、図6A～図6Gは、図2内のI I - I I I線、I I I - I I I線、I V - I V線に沿って切断した従来の工程断面図であり、工程順に示している。 30

#### 【0023】

図4A、図5A及び図6Aは、第1マスク工程を示している。

図4A、図5A及び図6Aにおいては、基板60上に、スイッチング領域Sを含む画素領域P、ゲート領域G、データ領域D及びストレージ領域Cを定義する。

ストレージ領域Cは、ゲート領域Gの一部に定義される。

#### 【0024】

また、多数の領域(S、P、G、D、C)が定義された基板60上に、一方向に延長されて、一端にゲートパッド66を含むゲート配線62と、ゲート配線62に連結されて、スイッチング領域Sに位置するゲート電極64とを形成する。 40

#### 【0025】

ここで、ゲートパッド66及びゲート配線62とゲート電極64とは、アルミニウムA1、アルミニウム合金A1Nd、タンゲステンW、クロムCr、モリブデンMo等の単一金属や、アルミニウムA1/クロムCr(または、モリブデンMo)等を含む導電性金属グループのうちから選択された一つまたはそれ以上の金属を蒸着することにより形成される。

#### 【0026】

図4B～図4E、図5B～図5E、図6B～図6Eは、第2マスク工程を示している。

まず、図4B、図5B及び図6Bにおいては、ゲート電極64及びゲートパッド66を含むゲート配線62が形成された基板60の全面に、ゲート絶縁膜68と、純粋非晶質シリコン層(a-Si:H)70と、不純物を含む非晶質シリコン層(n+、または、P+a-Si:H)72と、導電性金属層74とを形成する。 50

## 【0027】

ゲート絶縁膜68は、窒化シリコンSiNX、酸化シリコンSiO<sub>2</sub>等を含む無機絶縁物質、または場合によっては、ベンゾシクロブテンBCB、アクリル系樹脂等を含む有機絶縁物質のうちから一つを蒸着して形成され、金属層74は、上記導電性金属グループのうちから選択された一つまたはそれ以上の物質を蒸着して形成される。

## 【0028】

導電性金属層74が形成された基板60全面に、フォトレジストを塗布して感光層76を形成する。

感光層76の離隔された上部に、透過部B1、遮断部B2、半透過部B3で構成されたマスクMを配置させる。 10

半透過部B3は、マスクMにスリット状または半透過膜を形成して、光の強度を弱くしたり、または光の透過量を少なくしたりして、感光層を不完全露光させる機能を有する。

## 【0029】

また、遮断部B2は、光を完全に遮断する機能を有し、透過部B1は、光を透過させ、光によって感光層76が完全な化学的变化、すなわち、完全露光させる機能を有する。

一方、スイッチング領域Sには、半透過部B3を設けると共に、半透過部B3の両側に遮断部B2を配置させ、ストレージ領域Cには、遮断部B2を配置させ、ゲート領域Gと交差する方向であるデータ領域Dには、遮断部B2を配置させる。

以下、マスクMの上部に光を照射して、下部の感光層76を露光して現像する工程を行う。 20

## 【0030】

続いて、図4C、図5C及び図6Cにおいては、スイッチング領域Sとデータ領域Dとストレージ領域Cとの上部に、パターニングされた第1～第3感光パターン78a、78b、78cを形成する。

第1～第3感光パターン78a、78b、78cの周辺に露出された金属層74と、その下部の不純物非晶質シリコン層72と、純粋非晶質シリコン層70とを除去する工程を行う。 30

## 【0031】

この除去工程においては、金属層74の種類に応じて、金属層74及びその下部層70、72を同時に除去したり、金属層74を先にエッティングした後、乾式エッティング工程によって下部の純粋非晶質シリコン層70と不純物を含む非晶質シリコン層72を除去したりする。

## 【0032】

次に、上記除去工程が完了すると、図4D、図5D及び図6Dにおいて、第1～第3感光パターン78a、78b、78cの下部に、第1金属パターン80と、第1金属パターン80から画素領域Pの一側に沿って延長された第2金属パターン82と、ストレージ領域Cに対応したアイランド状の第3金属パターン86とが形成される。 40

## 【0033】

この金属パターン形成工程においては、第1～第3金属パターン80、82、86の下部に、純粋非晶質シリコン層70と不純物を含む非晶質シリコン層72とが存在しており、便宜上、第1金属パターン80の下部に構成されたのは第1半導体層90a、第2金属パターン82の下部に構成されたのは第2半導体層90b、第3金属パターン86の下部に構成されたのは第3半導体層90cとする。

## 【0034】

また、第1感光パターン78aのうち、ゲート電極64の中心に対応して高さが低い部分を除去して、下部の金属パターン80を露出するためのアッシング工程を行う。

この結果、ゲート電極64の中心に対応する第1金属パターン80の一部が露出されて、第1～第3感光パターン78a、78b、78cの周辺に、第1～第3金属パターン80、82、86の周辺が同時に露出される。

アッシング工程の後、第1金属パターン80の露出された部分と、その下部の不純物非 50

晶質シリコン層 7 2 とを除去する工程を行う。

【 0 0 3 5 】

次に、上記除去工程が完了すると、図 4 E、図 5 E 及び図 6 E においては、ゲート電極 6 4 の上部に位置した第 1 半導体層 9 0 a のうち、下部層（純粋非晶質シリコン層）は、アクティブ層 9 2 a として機能し、アクティブ層 9 2 a の上部で、一部が除去されて離隔された上部層（不純物非晶質シリコン層）は、オーミックコンタクト層 9 2 b として機能する。

【 0 0 3 6 】

また、アクティブ層 9 2 a の上部のオーミックコンタクト層 9 2 b を除去しながら、下部のアクティブ層 9 2 a をオーバーエッチングして、アクティブ層 9 2 a の表面（アクティブチャンネル）に不純物が残らないようにする。10

一方、オーミックコンタクト層 9 2 b の上部に位置して離隔された金属パターンは、各々、ソース電極 9 4 とドレイン電極 9 6 となる。

なお、ソース電極 9 4 と接触する第 2 金属パターン（図 5 C 内の 8 2 ）は、データ配線 9 8 であって、データ配線 9 8 の一端は、データパッド 9 9 である。

【 0 0 3 7 】

また、ストレージ領域 C に対応して形成されたアイランド状の第 3 金属パターン 8 6 は、ストレージ電極になる。

すなわち、ゲート配線 6 2 は、第 1 ストレージ電極の機能を有し、上部のストレージ電極 8 6 は、第 2 ストレージ電極の機能を有する。従って、ゲート配線 6 2 、その上部のゲート絶縁膜 6 8 、第 3 半導体階 9 0 c 、その上部のストレージ電極 8 6 は、補助容量部であるストレージキャパシタ C s t を構成する。以下、残留した感光パターン 7 8 a 、7 8 b 、7 8 c を除去することにより、第 2 マスク工程を完了する。20

【 0 0 3 8 】

図 4 F、図 5 F 及び図 6 F は、第 3 マスク工程を示している。

図 4 F、図 5 F 及び図 6 F においては、ソース電極 9 4 及びドレイン電極 9 6 と、データパッド 9 9 を含むデータ配線 9 8 と、ストレージキャパシタ C s t とが構成された基板 6 0 の全面に、窒化シリコン Si N X または酸化シリコン Si O 2 を含む無機絶縁物質グループのうちから選択された一つを蒸着したり、または場合によって、ベンゾシクロブテン B C B 、アクリル系樹脂を含む有機絶縁物質グループのうちから選択された一つを塗布して、保護膜 P A S を形成する。30

【 0 0 3 9 】

以下、保護膜 P A S をパテーニングして、ドレイン電極 9 6 の一部を露出するドレインコンタクトホール C H 1 と、ストレージ電極 8 6 を露出するストレージコンタクトホール C H 2 と、ゲートパッド 6 6 の一部を露出するゲートパッドコンタクトホール C H 3 と、データパッド 9 9 の一部を露出するデータパッドコンタクトホール C H 4 とを形成する。

【 0 0 4 0 】

図 4 G、図 5 G 及び図 6 G は、第 4 マスク工程を示している。

図 4 G、図 5 G 及び図 6 G に示においては、保護膜 P A S が形成された基板 6 0 全面に、インジウム - スズ - オキサイド I T O 、インジウム - ジンク - オキサイド I Z O とインジウム - ジンク - オキサイド I Z O を含む透明な導電性金属グループのうちから選択された一つを蒸着してパテーニングし、ドレイン電極 9 6 及びストレージ電極 8 6 の両方と接触しながら画素領域 P に位置する画素電極 P X L を形成すると同時に、ゲートパッド 6 6 と接触するゲートパッド電極 G P と、データパッド 9 9 と接触するデータパッド電極 D P を形成する。40

【 0 0 4 1 】

このように、従来の 4 マスク工程により液晶表示装置用アレイ基板を製作する。

従来の 4 マスク工程によれば、既存の 5 マスク工程に比べて、画期的なほど生産費用を節減する効果及び工程時間を短縮する効果があり、また、工程時間の短縮によって不良発生確率も減少する。

**【発明の開示】****【発明が解決しようとする課題】****【0042】**

従来の液晶表示装置及びその製造方法では、上記4マスク工程によって製作された薄膜トランジスタアレイ基板が、データ配線の両側に半導体層が拡張されたの構造を有しているので、依然として画面に波状ノイズが発生するうえ、拡張された半導体層によって開口率が低下するという課題があった。

また、アクティブ層がゲート電極によって完全に遮られずに、薄膜トランジスタに漏洩電流が発生するという課題があった。さらに、オーバーエッチングされることを考慮して、アクティブ層の厚さを厚く形成しているので、工程時間及び工程費用面で、工程収率が低下するという課題があった。10

**【0043】**

本発明は、上記のような課題を解決するためになされたもので、画質及び開口率を向上させて、工程収率を高めることのできる液晶表示装置及びその製造方法を提供することを目的とする。

**【課題を解決するための手段】****【0044】**

本発明に係る液晶表示装置は、ゲート配線と；ゲート配線に連結されたゲート電極と；ゲート配線及びゲート電極上に位置するゲート絶縁膜と；ゲート配線上のゲート絶縁膜上に位置するアクティブ層と；アクティブ層上に位置するオーミックコンタクト層と；オーミックコンタクト層上に位置する第1ソース電極及び第1ドレイン電極と；第1ソース電極及び第1ドレイン電極と各々連結された第2ソース電極及び第2ドレイン電極と；第2ソース電極から延長されて、ゲート配線と交差して画素領域を定義するデータ配線と；画素領域に位置して、第2ドレイン電極から延長された画素電極と；を含むものである。20

**【0045】**

また、ゲート絶縁膜は、ゲート配線及びゲート電極と同一の外郭を有するものである。

また、アクティブ層から延長されて、ゲート配線の上部に位置する半導体層をさらに含み、半導体層及びアクティブ層は、ゲート配線及びゲート電極と同一の外郭を有するものである。

また、オーミックコンタクト層と、第1ソース電極及び第1ドレイン電極とは、ゲート配線によって遮られて、オーミックコンタクト層は、第1ソース電極及び第1ドレイン電極と同一の外郭を有するものである。30

**【0046】**

また、第1ソース電極及び第1ドレイン電極を各々露出する第1及び第2コンタクトホールを有する保護膜をさらに含むものである。

また、保護膜は、第1ソース電極と第1ドレイン電極との間のアクティブ層を覆うものである。

また、データ配線と、第2ソース電極及び第2ドレイン電極とは、各々、第1及び第2層を有するものである。

**【0047】**

また、画素電極は、第2ドレイン電極の第1層から延長されるものである。40

また、第1層は、透明であって、第2層は、不透明であるものである。

また、第1層は、インジウム-スズ-オキサイドITO、インジウム-ジンク-オキサイドIZO、インジウム-スズ-ジンク-オキサイドITZOの少なくとも一つを含み、第2層は、アルミニウムAl、アルミニウム合金AlNd、タングステンW、クロムCr、モリブデンMo、チタンTi、銅Cu、タンタルTaの少なくとも一つを含むものである。

**【0048】**

また、ゲート配線から延長されたゲートパッドと；ゲートパッド上に位置して、第1層を有するゲートパッド電極と；をさらに含むものである。50

また、データ配線の第1層から延長されたゲートパッド電極をさらに含むものである。

また、画素電極は、ゲート配線と重なって、画素電極と重なるゲート配線の部分は、画素領域へと突出されるものである。

また、アクティブ層は、純粋非晶質シリコンを含み、オーミックコンタクト層は、不純物非晶質シリコンを含むものである。

#### 【0049】

また、本発明に係る液晶表示装置の製造方法は、第1マスクを使用して、基板上に、ゲート配線と、ゲート配線から延長されたゲートパッドと、ゲート電極と、ゲート配線及びゲート電極上に位置するゲート絶縁膜と、ゲート配線上のゲート絶縁膜上に位置するアクティブ層と、アクティブ層上に位置するオーミックコンタクト層と、オーミックコンタクト層上に位置する第1ソース電極及び第1ドレイン電極と、を形成する第1の段階と；第2マスクを使用して、第1ソース電極と第1ドレイン電極との間のアクティブ層を覆う保護膜を形成する第2の段階と；第3マスクを使用して、第1ソース電極及び第1ドレイン電極に各々連結された第2ソース電極及び第2ドレイン電極と、第2ソース電極から延長されてゲート配線と交差して画素領域を定義するデータ配線と、データ配線から延長されたデータパッド電極と、画素領域に第2ドレイン電極から延長された画素電極を形成する第3の段階と；を含むものである。

#### 【0050】

また、ゲート配線上に、アクティブ層から延長される半導体層を形成する段階をさらに含むものである。

また、第1の段階は、半導体層を形成する段階を含むと共に、基板上に、第1導電層と、第1絶縁膜と、純粋非晶質シリコン層と、不純物非晶質シリコン層と、第2導電層を形成する段階と；第1マスクを使用して、スイッチング領域の一部に対応する第1部分と、ゲート領域とスイッチング領域の一部の両側に対応して第1部分より厚い第2部分を有する第1フォトレジストパターンを第2導電層上に形成する段階と；第1フォトレジストパターンを使用して、第2導電層と、不純物非晶質シリコン層と、純粋非晶質シリコン層と、第1絶縁膜と、第1導電層とをパターニングして、ゲート領域にゲート配線とゲートパッドと半導体層とを形成し、スイッチング領域にゲート電極及びアクティブ層を形成して、ゲート領域及びスイッチング領域にゲート絶縁膜を形成する段階と；第1フォトレジストパターンをアッシングして第1部分を除去する段階と；アッシングされた第1フォトレジストパターンを使用して、パターニングされた第2導電層及び不純物非晶質シリコン層をパターニングし、第1ソース電極及び第1ドレイン電極とオーミックコンタクト層とを形成する段階と；を含むものである。

#### 【0051】

第1フォトレジストパターンを形成する段階は、第2導電層上にフォトレジスト層を形成する段階と；第1マスクの半透過部がスイッチング領域の一部に対応するようにして、かつ、第1マスクの遮断部がゲート領域とスイッチング領域の一部との両側に対応するようにして、フォトレジスト層を露光する段階と；露光されたフォトレジスト層を現像する段階と；を含むものである。

#### 【0052】

また、第2の段階は、第1ソース電極及び第1ドレイン電極を露出する第1及び第2コンタクトホールを形成する段階を含むものである。

また、第2の段階は、第1ソース電極及び第1ドレイン電極を有する基板上に第2絶縁膜を形成する段階と；第2マスクを使用して、第1ソース電極及び第1ドレイン電極の一部に対応する第3部分と、第3部分より厚い第4部分を有して、ゲートパッドの少なくとも一部を覆わない第2フォトレジストパターンを第2絶縁膜上に形成する段階と；第2フォトレジストパターンを使用して、第2絶縁膜と不純物非晶質シリコン層とゲート絶縁膜とをパターニングし、ゲートパッドの少なくとも一部を露出する段階と；第2フォトレジストパターンをアッシングして第3部分を除去する段階と；アッシングされた第2フォトレジストパターンを使用して、パターニングされた第2絶縁膜をパターニングして、第1

10

20

30

40

50

及び第2コンタクトホールを有する保護膜を形成する段階と；をさらに含むものである。

【0053】

また、第2フォトレジストパターンを形成する段階は、第2絶縁膜上にフォトレジスト層を形成する段階と；第2マスクの透過部がゲートパッドの少なくとも一部に対応するようにして、かつ、第2マスクの半透過部が第1ソース電極及び第1ドレイン電極の一部に対応するようにして、フォトレジスト層を露光する段階と；露光されたフォトレジスト層を現像する段階と；を含むものである。

【0054】

また、データ配線と第2ソース電極及び第2ドレイン電極とは、各々、第1及び第2層を有するものである。

また、画素電極は、第2ドレイン電極の第1層から延長され、データパッド電極は、データ配線の第1層から延長されるものである。

また、ゲートパッド上に、第1層を有するゲートパッド電極を形成する段階をさらに含むものである。

また、第1層は、透明であって、第2層は、不透明であるものである。

【0055】

また、第1層は、インジウム-スズ-オキサイドITO、インジウム-ジンク-オキサイドIZO、インジウム-スズ-ジンク-オキサイドITZOの少なくとも一つを含み、第2層は、アルミニウムAl、アルミニウム合金AlNd、タンゲステンW、クロムCr、モリブデンMo、チタンTi、銅Cu、タンタルTaの少なくとも一つを含むものである。

【0056】

また、第3の段階は、ゲートパッド電極を形成する段階を含むと共に、保護膜上に、第1及び第2層を形成する段階と；第3マスクを使用して、ゲートパッドの少なくとも一部とデータ領域の一端と画素領域とに対応する第1部分と、データ領域の他の部分に対応して第1部分より厚い第2部分を有して、第1ソース電極と第1ドレイン電極との間のアクティブ層を覆う保護膜の少なくとも一部を覆わないフォトレジストパターンを第2層上に形成する段階と；フォトレジストパターンを使用して、第1及び第2層をパターニングして、第2ソース電極及び第2ドレイン電極とデータ領域の他の部分とにデータ配線を形成する段階と；フォトレジストパターンをアッシングして第1部分を除去する段階と；アッシングされたフォトレジストパターンを使用して、パターニングされた第2層をパターニングして、データ領域の一端にデータパッド電極と画素電極とゲートパッド電極とを形成する段階と；を含むものである。

【0057】

また、フォトレジストパターンを形成する段階は、第2層上にフォトレジスト層を形成する段階と；第3マスクの半透過部がゲートパッドの少なくとも一部とデータ領域の一端と画素領域とに対応するようにして、かつ、第3マスクの遮断部がデータ領域の他の部分に対応するようにして、かつ、第3マスクの透過部が第1ソース電極と第1ドレイン電極との間のアクティブ層を覆う保護膜の少なくとも一部に対応するようにして、フォトレジスト層を露光する段階と；露光されたフォトレジスト層を現像する段階と；を含むものである。

また、画素電極は、ゲート配線と重なって、画素電極と重なるゲート配線の部分は、画素領域へと突出されるものである。

【発明の効果】

【0058】

本発明は、アレイ基板を3マスク工程で製作するので、工程単純化による工程時間の短縮及び工程費用の節減を実現し、生産収率を改善して、製品の競争力を高めることができる。

また、半導体層及びアクティブ層は、金属電極及び配線の外部に延長されないので、波状ノイズを改善して、開口率を高めることができる。

さらに、ゲート電極がアクティブ層を遮るので、薄膜トランジスタでの漏洩電流を改善することができる。

**【発明を実施するための最良の形態】**

**【0059】**

実施の形態1.

以下、添付した図面を参照しながら、本発明の実施の形態1について説明する。

本発明の実施の形態1においては、液晶表示装置用アレイ基板を3マスク工程で製作する。

図7は、本発明の実施の形態1に係る液晶表示装置用アレイ基板の一部を拡大して示す平面図である。

10

**【0060】**

図7において、絶縁基板100上には、一方向に延長されて一端にゲートパッド132が構成されたゲート配線130と、ゲート配線130と交差して画素領域Pを定義すると共に、一端にデータパッド162を含むデータ配線160とが構成されている。

**【0061】**

ゲートパッド132は、上部に透明電極からなるゲートパッド電極164が構成されており、データパッド162は、それ自体が透明電極で構成されている。

ゲート配線130とデータ配線160との交差地点には、ゲート電極118と、アクティブ層及びオーミックコンタクト層を含む第1半導体層と、オーミックコンタクト層に直接接触して互いに離隔された第1ソース電極136及び第1ドレイン電極138と、第1ソース電極136及び第1ドレイン電極138に接触する第2ソース電極154と、第2ドレイン電極156と、を含む薄膜トランジスタTが構成されている。

20

**【0062】**

薄膜トランジスタTの上部には、第1及び第2ソース電極136、154と、第1及び第2ドレイン電極136、156の離隔された間に露出されたアクティブ層(図示せず)を覆うエッチング防止膜146とが構成される。

画素領域Pには、第2ドレイン電極156に連結された透明な画素電極158が構成される。

**【0063】**

一方、画素領域Pを定義する部分のゲート配線130の上部には、これを第1ストレージ電極として、ゲート配線130の上部に延長された画素電極158の一部を第2ストレージ電極とするストレージキャパシタCstが構成される。ストレージキャパシタCstを構成するために、ゲート配線130は、画素領域Pへと突出されて画素電極158と重なる。

30

**【0064】**

上記構成は、3マスク工程によって製作されており、特に、アクティブ層(図示せず)は、データ配線160の下部に存在しないのみならず、配線の外側に露出されない。

**【0065】**

以下、図8A、図8B及び図8Cを参照しながら、本発明の実施の形態1に係る薄膜トランジスタアレイ基板の断面構成について説明する。

40

図8A、図8B及び図8Cは、各々、図7内のVII-VII線、VIII-VIII線、VII - VIII線に沿って切断した断面図であり、それぞれ、スイッチング領域及び画素領域を切断した断面図と、ゲートパッドを切断した断面図と、データパッドを切断した断面図とを示している。

**【0066】**

図8A～図8Cにおいて、基板100は、多数の画素領域Pと、ゲート領域Gと、データ領域Dとにより定義される。また、ゲート領域Gの一部にストレージ領域Cが定義され、画素領域Pごとに、これに近接してスイッチング領域Sが定義される。

**【0067】**

スイッチング領域Sには、ゲート電極118と、アクティブ層122から離隔されたオ

50

一ミックコンタクト層 124 を有する第1半導体層と、オーミックコンタクト層 124 と各々接触して互いに離隔された第1ソース電極 136 及び第1ドレイン電極 138 と、第1ソース電極 136 及び第1ドレイン電極 138 に各々接触する第2ソース電極 154 及び第2ドレイン電極 156 と、からなる薄膜トランジスタ T が構成されている。

## 【0068】

第1ソース電極 136 及びその下部のオーミックコンタクト層 124 は、同一のアイランド状であり、第2ドレイン電極 138 及びその下部のオーミックコンタクト層 124 は、同一のアイランド状である。第1ソース電極 136 及び第1ドレイン電極 138 とオーミックコンタクト層 124 とは、ゲート電極の内部に位置する。

## 【0069】

ゲート電極 118 上には、ゲート絶縁膜 120 が配置される。エッチング防止膜 146 は、保護膜 140 のうち、第1ソース電極 136 及び第1ドレイン電極 138 の離隔された間に露出されたアクティブ層 122 を覆う部分を構成する。保護膜 140 は、第1ソース電極 136 及び第1ドレイン電極 138 を露出するための第1コンタクトホール 181 及び第2コンタクトホール 182 を有する。

## 【0070】

第2ソース電極 154 及び第2ドレイン電極 156 は、第1層としての透明金属層 148 と、第2層としての不透明金属層 150 とが積層された状態で構成される。

第2ソース電極 156 に連結されたデータ配線 160 は、画素領域 P の一側のデータ領域 D に構成される。データ配線 160 も、第1層 148 及び第2層 150 の積層構造で形成される。データパッド 162 は、データ配線 160 から延長された第1層 148 で構成される。

## 【0071】

画素領域 P に位置した画素電極 158 は、第2ドレイン電極 156 の第1層 148 から延長される。

また、ゲート配線 130 も、上部にゲート絶縁膜 120 及び第2半導体層 106 が構成される。第2半導体層 106 は、アクティブ層 122 から延長されている。ゲートパッド 132 の上部には、ゲートパッド電極 164 が配置される。ゲートパッド電極 164 は、第1層 148 により構成される。

## 【0072】

第1ソース電極 136 及び第1ドレイン電極 138 は、第2ソース電極 154 及び第2ドレイン電極 156 の下部の透明金属層 148 とオーミックコンタクト層 124 とのオミック接觸のために形成される。

ゲート電極 118 及びゲート配線 130 の外郭と、アクティブ層及び第2半導体層 106 の外郭と、ゲート絶縁膜 120 の外郭とは、同一である。

## 【0073】

以上のように、半導体層及びアクティブ層は、金属電極及び配線の外部に延長された形態で構成されない。このような構成によって、従来の4マスク構造の代表的な問題として作用した波状ノイズ及び開口率の問題が改善される。また、ゲート電極がアクティブ層を遮るので、薄膜トランジスタでの漏洩電流も改善される。

上記構成は、本発明で提案した3マスク工程方法によって得ることができる。

## 【0074】

以下、図9A～図9M、図10A～図10M及び図11A～図11Mは、図7内のVII-VII線、VIII-VIII線、VIIII-VIIII線に沿って切断した工程断面図であり、本発明の実施の形態1による工程順に示している。なお、図7内のVII-VII線は、薄膜トランジスタ及び画素領域の切断線であり、VIII-VIII線は、ゲートパッドの切断線であり、VIIII-VIIII線は、データパッドの切断線である。

## 【0075】

10

20

30

40

50

図9A～図9C、図10A～図10C及び図11A～図11Cは、第1マスク工程を示している。

まず、図9A、図10A及び図11Aにおいて、基板100上に、スイッチング領域S、画素領域P、ゲート領域G、データ領域D及びストレージ領域Cを定義する。ストレージ領域Cは、ゲート領域Gの一部に定義される。

#### 【0076】

多数の領域S、P、G、D、Cが定義された基板100上に、第1導電層102と、第1絶縁膜104と、純粋非晶質シリコン層(a-Si:H)106と、不純物非晶質シリコン層(n+a-Si:H)108と、第2導電層110とを積層する。

また、第2導電層110の上部に、フォトレジストを塗布して感光層112を形成する。

#### 【0077】

第1絶縁膜104は、窒化シリコンSiNX及び酸化シリコンSiO<sub>2</sub>を含む無機絶縁物質グループのうちから選択された一つまたは一つ以上の物質を蒸着して形成される。第1導電層102及び第2導電層110は、アルミニウムAl、アルミニウム合金AlNd、クロムCr、モリブデンMo、タンゲステンW、チタンTi、銅Cu、タンタルTa等を含む導電性金属グループのうちから選択された一つまたは一つ以上の金属を蒸着することにより形成される。

#### 【0078】

ここで、第1導電層102としては、アルミニウムAlのような抵抗が低い金属を選択して形成し、選択された金属が化学的に弱いか、または、物理的に弱い場合には、これを保護するための別途の金属をさらに蒸着して形成する。

第2導電層110としては、モリブデンMoのように、乾式エッティングが可能な物質を使用する。

#### 【0079】

一方、感光層112を形成した後、感光層112が形成された基板100の離隔された上部に、透過部B1、遮断部B2及び半透過部B3で構成された第1マスクMを配置させる。

この際、スイッチング領域Sに対応して、半透過部B3を中心に両側に、遮断部B2を配置させる。ゲート領域(ストレージ領域Cを含む)Gに半透過部B3を配置させる。

#### 【0080】

続いて、第1マスクMの上部から光を照射して下部の感光層112を露光する工程の後に、薬液を利用して現像する工程を行う。図9B、図10B及び図11Bに示すように、スイッチング領域Sには、中心部が低い高さで現像され段差を有する形状の第1感光パターン114が残って、ゲート領域Gには、元々の高さでパターニングされた第2感光パターン116が残る。従って、第1感光パターン114及び第2感光パターン116の周辺に第2導電層(図9A内の110)が露出される。

#### 【0081】

第1感光パターン114及び第2感光パターン116の周辺に露出された第2導電層(図9A、図10A及び図11A内の110)と、その下部の不純物非晶質シリコン層(図9A、図10A、図11A内の108)と、純粋非晶質シリコン層(図9A、図10A及び図11A内の106)と、第1絶縁膜(図9A、図10A及び図11A内の104)と、第1導電層(図9A、図10A及び図11A内の102)を除去する工程を行う。

この際、第2導電層として乾式エッティング工程が可能な物質を使用した場合には、第2導電層及びその下部の不純物非晶質シリコン層と、純粋非晶質シリコン層及び第1絶縁膜と同時に乾式エッティング方式で除去する。

一方、そうでない場合には、別途のエッティング方式を使用する。

#### 【0082】

以後、第1導電層(図9A内の102)を除去する工程を行う。第1導電層(図9A内の102)がアルミニウムAlまたはアルミニウム合金AlNdで形成された場合、この

10

20

30

40

50

工程は、一般的に、湿式エッチング工程によって除去されるので、上記工程とは別途の工程を行う。

#### 【0083】

上記工程によって、スイッチング領域Sには、ゲート電極118、ゲート絶縁膜120、純粋非晶質シリコン層106及び不純物非晶質シリコン層108が積層された第1半導体層126と、ソース／ドレインパターン128とが残る。ゲート領域Gには、一端にゲートパッド132を含むゲート配線130と、ゲート絶縁膜120と導電パターン129とが残る。

#### 【0084】

以下、第1感光パターン114の低い部分及び第2感光パターン116は、完全に除去するためのアッシング工程が施される。下部の露出されたソース／ドレインパターン128及び導電パターン129と、この下部の不純物非晶質シリコン層108とを除去する工程を行う。

#### 【0085】

図9C、図10C及び図11Cに示すように、スイッチング領域Sには、アクティブ層122と、上部に離隔されたオーミックコンタクト層124と、離隔された第1ソース電極136及び第1ドレイン電極138が構成される。また、ゲート領域Gにおいては、導電パターン129と不純物非晶質シリコン層108が除去される。ゲート領域Gに残された純粋非晶質シリコン層106は、第2半導体層106に当たる。

#### 【0086】

図9D～図9H、図10D～図10H及び図11D～図11Hは、第2マスク工程を工程順に示した工程断面図である。

まず、図9D、図10D及び図11Dにおいて、第1ソース電極136及び第1ドレイン電極138が形成された基板100の全面に、無機絶縁物質グループのうちから選択された一つを蒸着して、第2絶縁膜140を形成する。

#### 【0087】

第2絶縁膜140の上部に、フォトレジストを塗布して感光層142を形成する。

感光層142の離隔された上部に、透過部B1、遮断部B2及び半透過部B3で構成された第2マスクMを配置させる。

この際、スイッチング領域Sの第1ソース電極136及び第1ドレイン電極138の一部に対応して、半透過部B3を配置させる。また、ゲートパッド132に対応して透過部B1を配置させる。それ以外の領域には、遮断部B2を配置させる。

#### 【0088】

続いて、第2マスクMの上部に光を照射して、下部の感光層142を露光し現像する工程を行う。

図9Eと図10Eと図11Eに示すように、感光層142においては、スイッチング領域Sの第1ソース電極136及び第1ドレイン電極138に対応した部分E1、E2は、低い高さで現像され、ゲートパッド132に対応した一部領域E3は、完全に除去されて、下部の第2絶縁膜140の一部が露出された状態（図10E参照）になる。

#### 【0089】

続いて、ゲートパッド132に対応する上部の露出された第2絶縁膜140と、その下部の第2半導体層134と、その下部のゲート絶縁膜120とを完全に除去する工程を行う。

図9F、図10F及び図11Fに示すように、ゲート領域Gの端でゲートパッド132が露出された状態（図10F参照）になる。

#### 【0090】

続いて、図9G、図10G及び図11Gに示すように、スイッチング領域Sに対応して、第1ソース電極136及び第1ドレイン電極138に対応した低い高さの感光層142を除去するアッシング工程を行い、下部の第2絶縁膜140を露出する工程を行う。

#### 【0091】

10

20

30

40

50

また、露出された部分の第2絶縁膜140を除去して、連続的に、感光層142を除去する工程を行う、図9Hと図10Hと図11Hに示したように、第1ソース電極136及び第1ドレイン電極138を各々露出するための第1コンタクトホール181及び第2コンタクトホール182が、第2絶縁膜140に形成される。

#### 【0092】

第2絶縁膜140は、保護膜140に当たる。

また、保護膜140の一部は、第1ソース電極136と第1ドレイン電極138との離隔された間にに対応して、露出されたアクティブ層122を覆う。このような保護膜140部分は、エッチング防止膜146に当たる。

エッチング防止膜146は、アクティブ層122の表面の汚染または、以下の導電層を蒸着する際に、表面にダメージを与えるのを防ぐ機能を有する。10

一方、スイッチング領域S及びゲートパッド132部分を除いた領域には、保護膜140が積層された状態で残っている。

#### 【0093】

図9I～図9M、図10I～図10M及び図11I～図11Mは、第3マスク工程を工程順に示している。

まず、図9I、図10I及び図11Iにおいて、スイッチング領域Sにエッチング防止膜146を形成し、ゲートパッド132が露出された基板100の全面に、第1層148及び第2層150を形成する。

#### 【0094】

第1層148は、インジウム・スズ・オキサイドITO及びインジウム・ジンク・オキサイドIZOを含む透明な導電性金属グループのうちから選択された一つを蒸着して形成される。第2層150は、上部に導電性金属グループのうちから選択された一つまたは一つ以上の金属を蒸着することにより、不透明な導電性金属層150として形成される。20

#### 【0095】

第2層150の上部に、フォトレジストを塗布して感光層152を形成する。また、感光層152の離隔された上部に、透過部B1と遮断部B2と半透過部B3で構成されたマスクMを配置させる。

この際、スイッチング領域Sには、エッチング防止膜146に対応して透過部B1が位置し、透過部B1の両側に遮断部B2が位置する。また、画素領域P及びストレージ領域Cに対応して半透過部B3が位置する。ゲートパッド132に対応して半透過部B3が位置する。データ領域Dの端に対応して半透過部B3が位置する。半透過部B3が位置した領域を除いたデータ領域Dには、遮断部B2が位置する。それ以外の領域は、透過部B1が位置する。30

#### 【0096】

続いて、マスクMの上部に光を照射して下部の感光層152を露光した後、薬液を利用した現像工程を行う。

図9J、図10J及び図11Jに示すように、スイッチング領域Sに対応した部分は、エッチング防止膜146に対応した上部の第2層150を露出するように現像されて、画素領域P及びストレージ領域Cは、元々の高さより低くなった状態で現像される。40

また、ゲートパッド132に対応した部分は、低い高さで現像される。

さらに、データ領域Dに対応する感光層152においては、データ領域Dの端に対応した部分は、低い高さで現像され、それ以外の領域は、元々の高さで残る。

#### 【0097】

以下、感光層152の周辺に、第2層150が露出された状態になり、連続的に露出された第2層150及びその下部の第1層148を除去する工程を行う。

図9K、図10K及び図11Kに示すように、スイッチング領域Sに対応して、第1ソース電極136及び第1ドレイン電極138と接触する第2ソース電極154及び第2ドレイン電極156を形成する。

#### 【0098】

10

20

30

40

50

画素領域 P には、第 2 ドレイン電極 156 から延長された画素パターン 158 を形成する。

この際、第 2 ソース電極 154 及び第 2 ドレイン電極 156 と画素パターン 158 とは、第 1 層 148 及び第 2 層 150 の積層構造で形成される。

データ領域 D においても、第 2 ソース電極 154 と接触しながら一端にデータパッドパターン 162 を含む第 1 層 148 及び第 2 層 150 の積層構造のデータ配線 160 が形成される。ゲートパッド 132 の上部には、第 1 層 148 及び第 2 層 150 が積層された状態で残る。

#### 【0099】

以下、感光パターン 152 のうち、低い高さで現像された部分を除去するアッシング工程を行う。 10

図 9L、図 10L 及び図 11L に示すように、画素パターン 158 と、データパッドパターン 162 の第 2 層 150 と、ゲートパッド 132 の上部の第 2 層 150 とを露出する。 15

#### 【0100】

最後に、露出された第 2 層 150 のみを除去する工程を行う。

図 9M、図 10M 及び図 11M に示すように、第 1 層 148 を有する画素電極 158 とデータパッド 162 とが形成されて、ゲートパッド 132 の上部には、第 1 層を有するゲートパッド電極 164 が形成される。 20

#### 【0101】

以上のように、本発明の実施の形態 1 による 3 マスク工程によって液晶表示装置用アレイ基板を製造することができる。

一方、このようなアレイ基板と、これと向かい合う対応基板、例えば、カラーフィルタ基板を合着して、両基板間に液晶を注入して、液晶表示装置を製造することができる。 25

#### 【図面の簡単な説明】

#### 【0102】

【図 1】一般的な液晶表示装置を概略的に示した斜視図である。

【図 2】従来の液晶表示装置用アレイ基板の一部を拡大した平面図である。

【図 3A】図 2 の I-I - I-I 線に沿って切断した断面図である。 30

【図 3B】図 2 の V-V 線に沿って切断した断面図である。

【図 4A】図 2 の I-I - I-I 線に沿って切断して、従来の工程順に示した工程断面図である。 35

【図 4B】図 4A に続く製造工程を示す断面図である。

【図 4C】図 4B に続く製造工程を示す断面図である。

【図 4D】図 4C に続く製造工程を示す断面図である。

【図 4E】図 4D に続く製造工程を示す断面図である。

【図 4F】図 4E に続く製造工程を示す断面図である。

【図 4G】図 4F に続く製造工程を示す断面図である。

【図 5A】図 2 の III-III 線に沿って切断して、従来の工程順に示した工程断面図である。 40

【図 5B】図 5A に続く製造工程を示す断面図である。

【図 5C】図 5B に続く製造工程を示す断面図である。

【図 5D】図 5C に続く製造工程を示す断面図である。

【図 5E】図 5D に続く製造工程を示す断面図である。

【図 5F】図 5E に続く製造工程を示す断面図である。

【図 5G】図 5F に続く製造工程を示す断面図である。

【図 6A】図 2 の IV-IV 線に沿って切断して、従来の工程順に示した工程断面図である。 45

【図 6B】図 6A に続く製造工程を示す断面図である。

【図 6C】図 6B に続く製造工程を示す断面図である。 50

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 6 E】図 6 D に続く製造工程を示す断面図である。

【図 6 F】図 6 E に続く製造工程を示す断面図である。

【図 6 G】図 6 F に続く製造工程を示す断面図である。

【図 7】本発明の実施の形態 1 による液晶表示装置用アレイ基板の一部を拡大した平面図である。

【図 8 A】図 7 の V I - V I 線に沿って切断した断面図である。

【図 8 B】図 7 の V I I - V I I 線に沿って切断した断面図である。

【図 8 C】図 7 の V I I I - V I I I 線に沿って切断した断面図である。

【図 9 A】図 7 の V I - V I 線に沿って切断して、本発明の実施の形態 1 による工程順に示した工程断面図である。 10

【図 9 B】図 9 A に続く製造工程を示す断面図である。

【図 9 C】図 9 B に続く製造工程を示す断面図である。

【図 9 D】図 9 C に続く製造工程を示す断面図である。

【図 9 E】図 9 D に続く製造工程を示す断面図である。

【図 9 F】図 9 E に続く製造工程を示す断面図である。

【図 9 G】図 9 F に続く製造工程を示す断面図である。

【図 9 H】図 9 G に続く製造工程を示す断面図である。

【図 9 I】図 9 H に続く製造工程を示す断面図である。

【図 9 J】図 9 I に続く製造工程を示す断面図である。 20

【図 9 K】図 9 J に続く製造工程を示す断面図である。

【図 9 L】図 9 K に続く製造工程を示す断面図である。

【図 9 M】図 9 L に続く製造工程を示す断面図である。

【図 10 A】図 7 の V I I - V I I 線に沿って切断して、本発明の実施の形態 1 による工程順に示した工程断面図である。

【図 10 B】図 10 A に続く製造工程を示す断面図である。

【図 10 C】図 10 B に続く製造工程を示す断面図である。

【図 10 D】図 10 C に続く製造工程を示す断面図である。

【図 10 E】図 10 D に続く製造工程を示す断面図である。

【図 10 F】図 10 E に続く製造工程を示す断面図である。 30

【図 10 G】図 10 F に続く製造工程を示す断面図である。

【図 10 H】図 10 G に続く製造工程を示す断面図である。

【図 10 I】図 10 H に続く製造工程を示す断面図である。

【図 10 J】図 10 I に続く製造工程を示す断面図である。

【図 10 K】図 10 J に続く製造工程を示す断面図である。

【図 10 L】図 10 K に続く製造工程を示す断面図である。

【図 10 M】図 10 L に続く製造工程を示す断面図である。

【図 11 A】図 7 の V I I I - V I I I 線に沿って切断して、本発明の実施の形態 1 による工程順に示した工程断面図である。 40

【図 11 B】図 11 A に続く製造工程を示す断面図である。

【図 11 C】図 11 B に続く製造工程を示す断面図である。

【図 11 D】図 11 C に続く製造工程を示す断面図である。

【図 11 E】図 11 D に続く製造工程を示す断面図である。

【図 11 F】図 11 E に続く製造工程を示す断面図である。

【図 11 G】図 11 F に続く製造工程を示す断面図である。

【図 11 H】図 11 G に続く製造工程を示す断面図である。

【図 11 I】図 11 H に続く製造工程を示す断面図である。

【図 11 J】図 11 I に続く製造工程を示す断面図である。

【図 11 K】図 11 J に続く製造工程を示す断面図である。

【図 11 L】図 11 K に続く製造工程を示す断面図である。 50

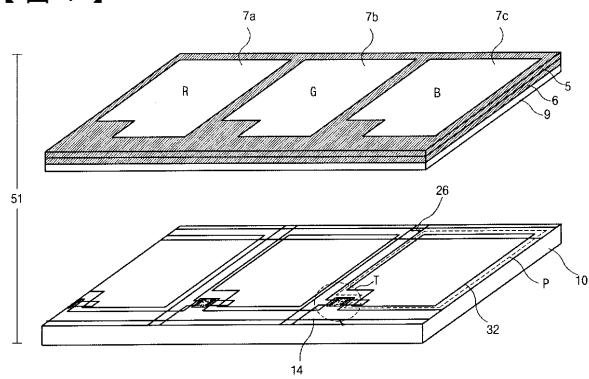
【図11M】図11Lに続く製造工程を示す断面図である。

【符号の説明】

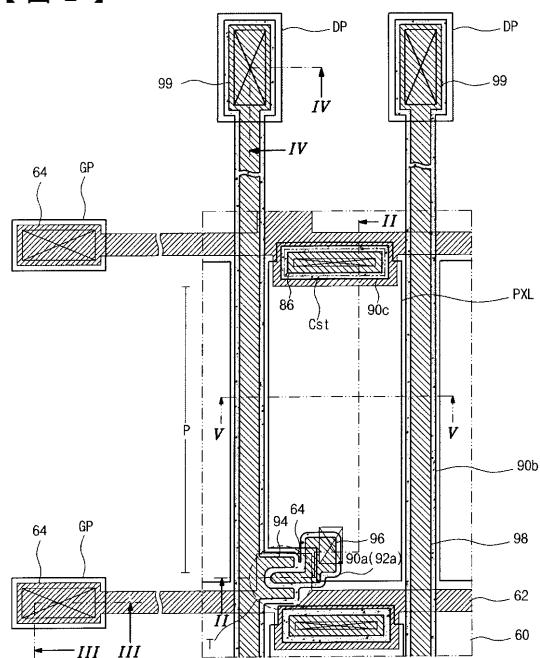
【0103】

100 基板、118 ゲート電極、120 ゲート絶縁膜、122 アクティブ層、  
124 オーミックコンタクト層、130 ゲート配線、146 エッティング防止膜。

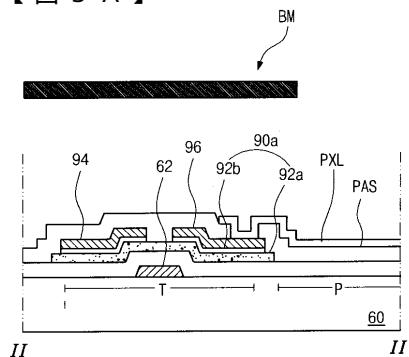
【図1】



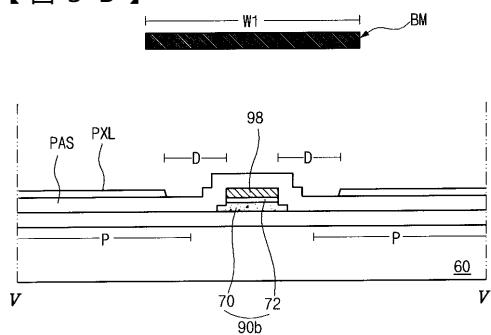
【図2】



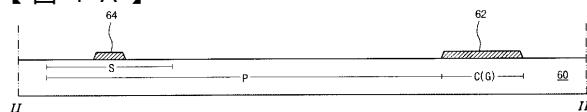
【図3A】



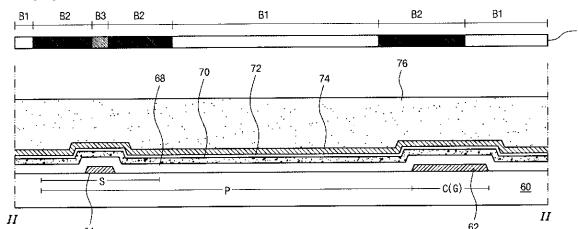
【図3B】



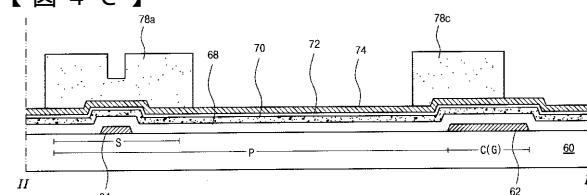
【図4A】



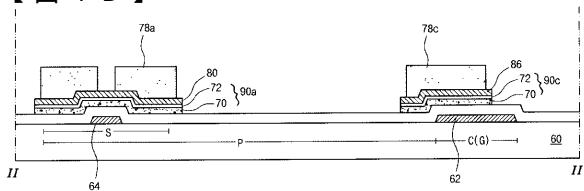
【図4B】



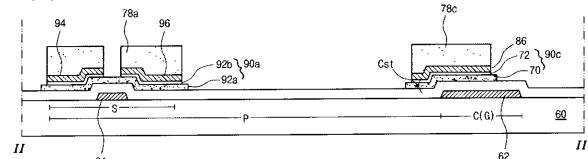
【図4C】



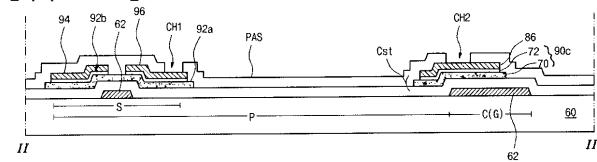
【図4D】



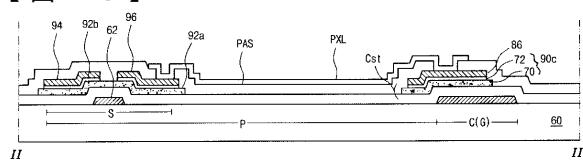
【図4E】



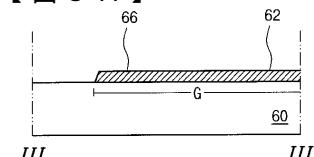
【図4F】



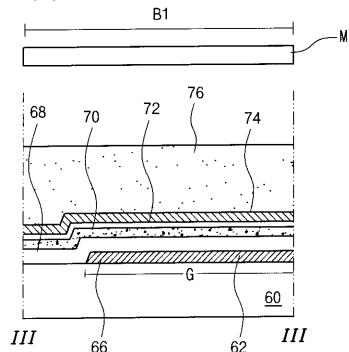
【図4G】



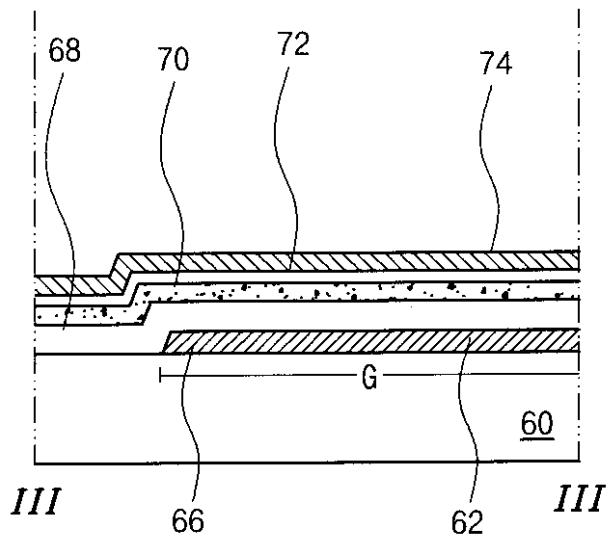
【図5A】



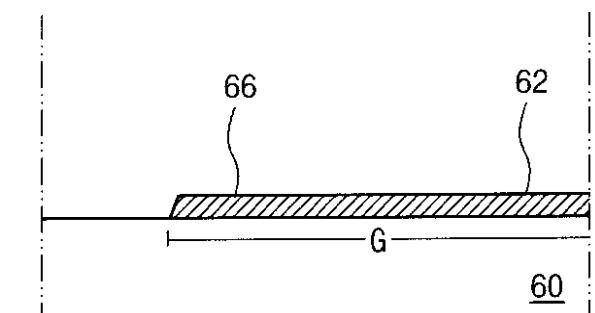
【図5B】



【図 5 C】



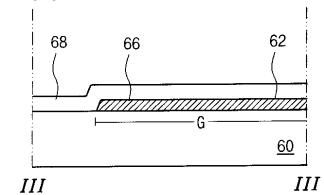
【図 5 D】



III

III

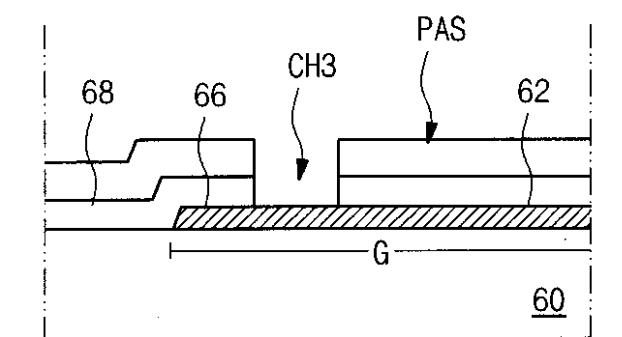
【図 5 E】



III

III

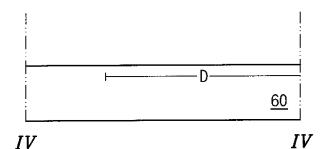
【図 5 F】



III

III

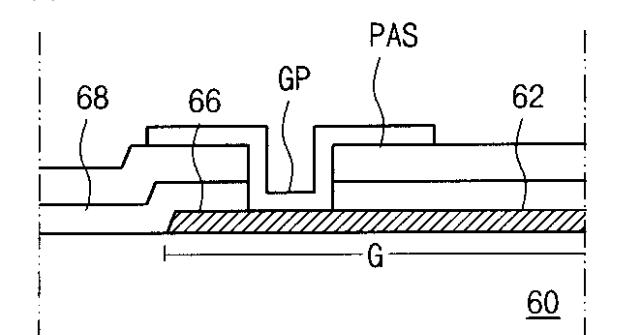
【図 6 A】



IV

IV

【図 5 G】



III

III

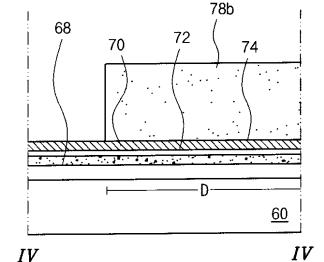
【図 6 B】



IV

IV

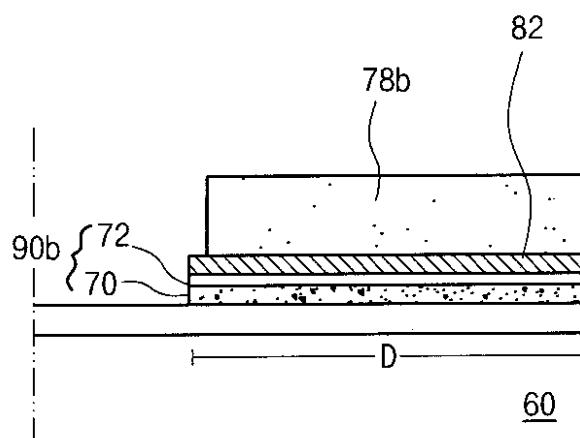
【図 6 C】



IV

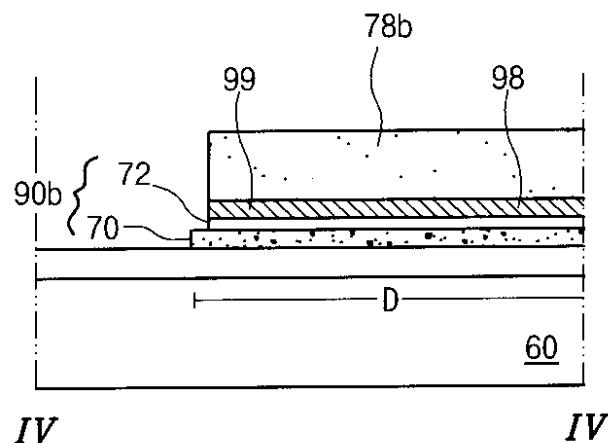
IV

【図6D】



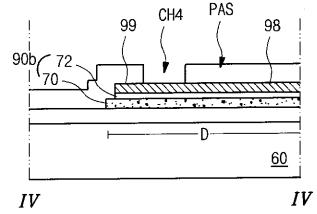
IV

【図6E】



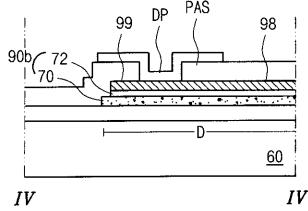
IV

【図6F】

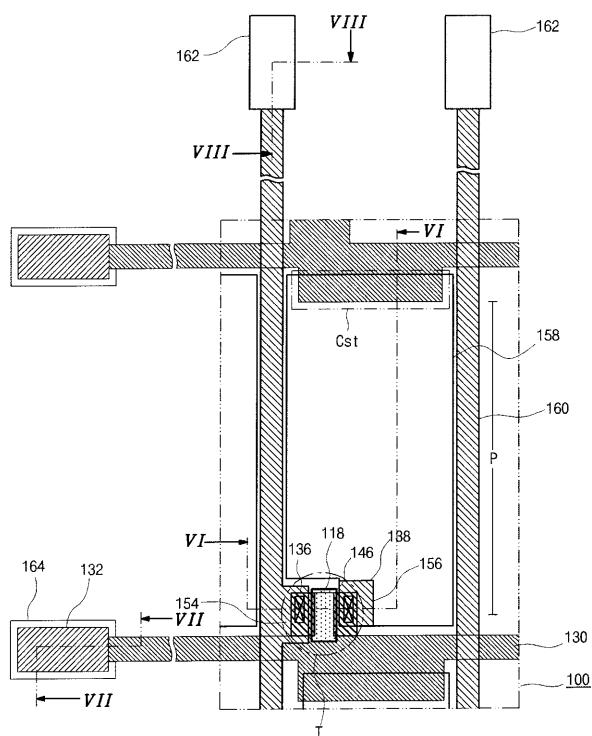


IV

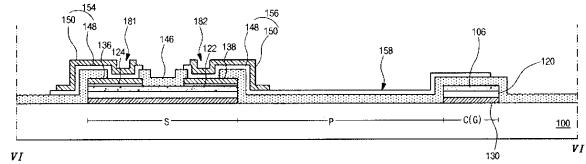
【図6G】



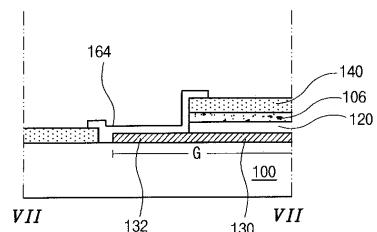
【図7】



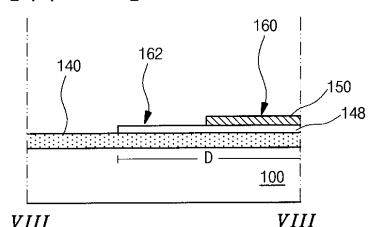
【図 8 A】



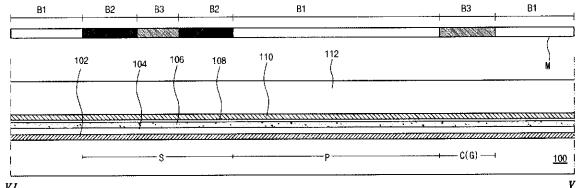
【図 8 B】



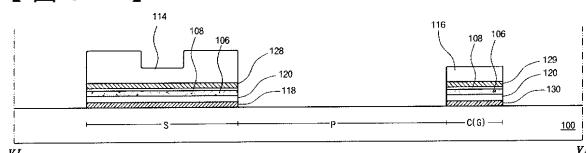
【図 8 C】



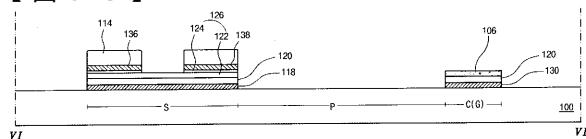
【図 9 A】



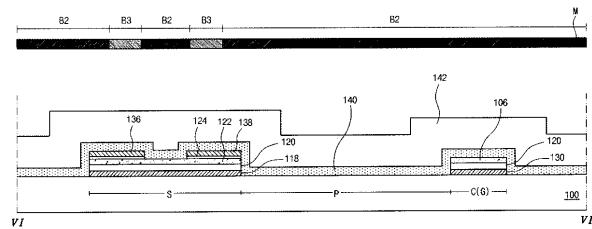
【図 9 B】



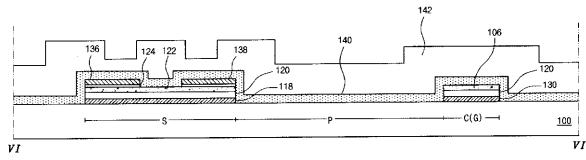
【図 9 C】



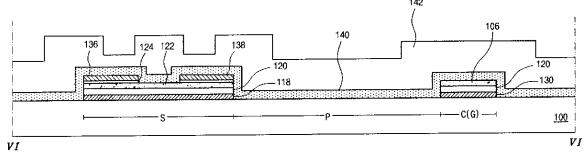
【図 9 D】



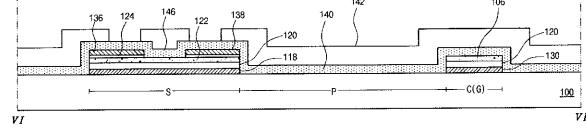
【図 9 E】



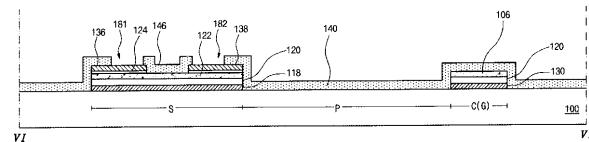
【図 9 F】



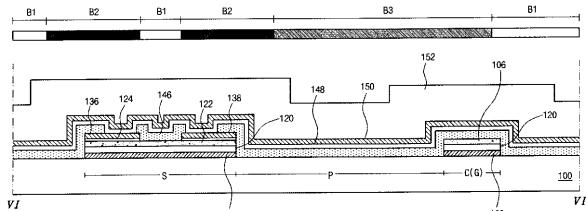
【図 9 G】



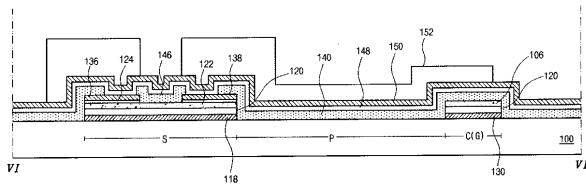
【図 9 H】



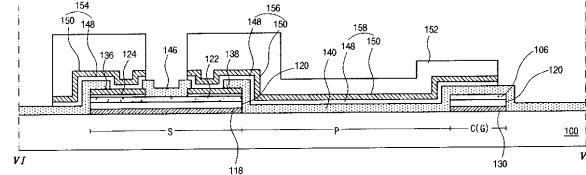
【図 9 I】



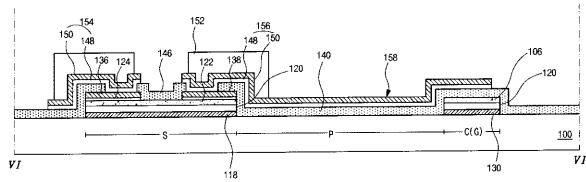
【図 9 J】



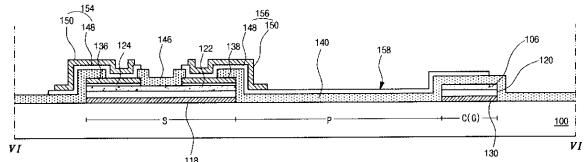
【図 9 K】



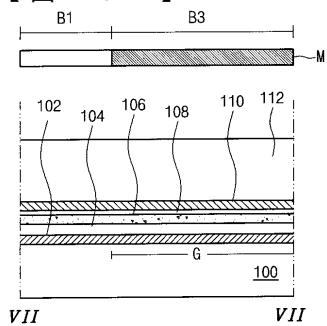
【図9L】



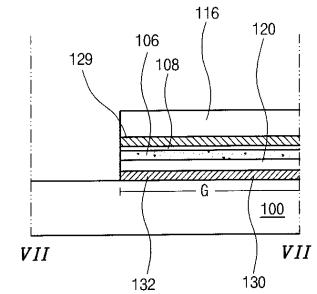
【図9M】



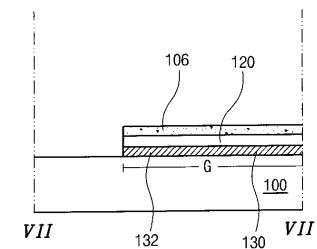
【図10A】



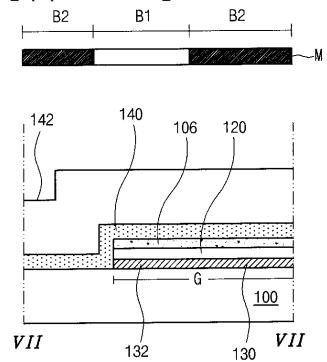
【図10B】



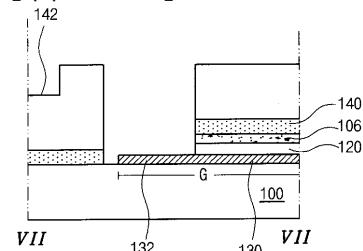
【図10C】



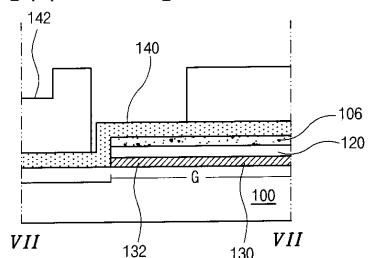
【図10D】



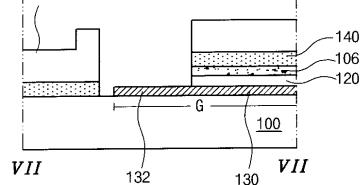
【図10F】



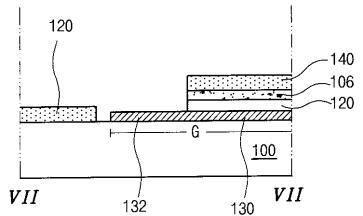
【図10E】



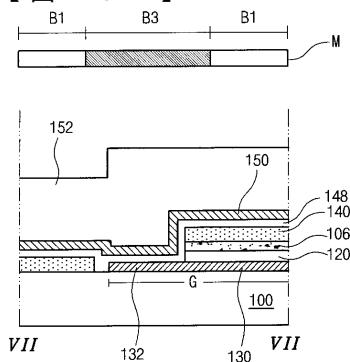
【図10G】



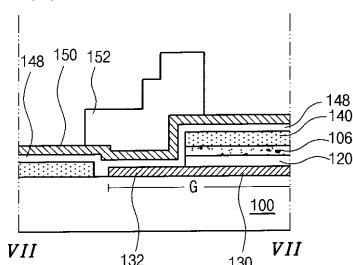
【図10H】



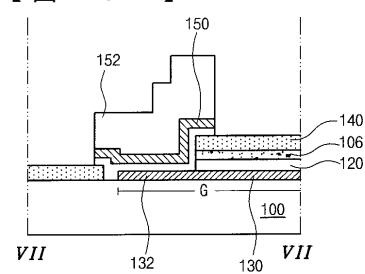
【図 10 I】



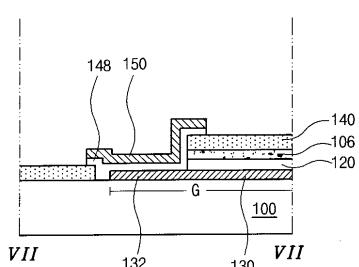
【図 10 J】



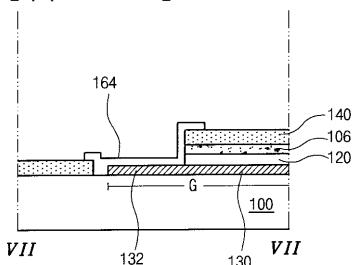
【図 10 K】



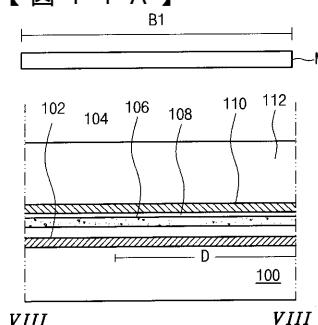
【図 10 L】



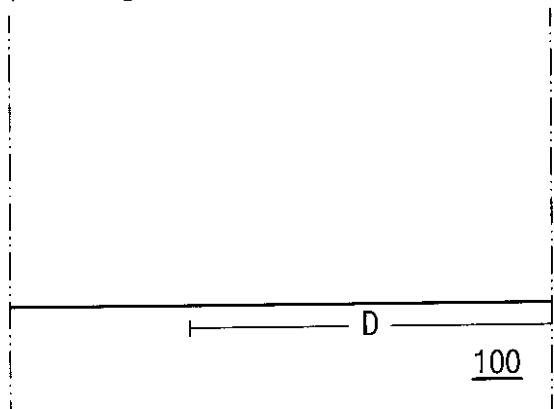
【図 10 M】



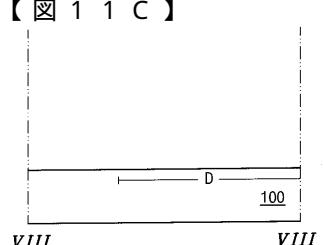
【図 11 A】

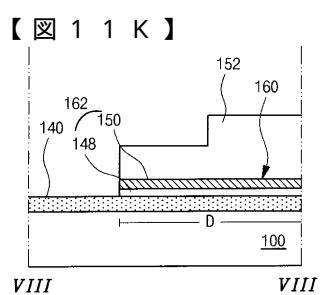
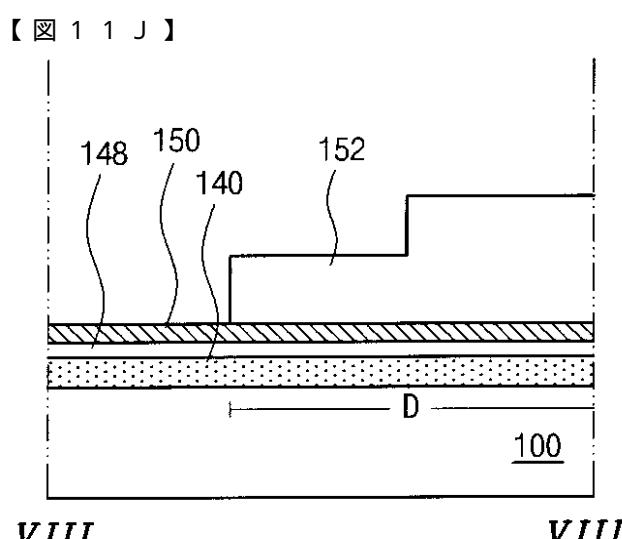
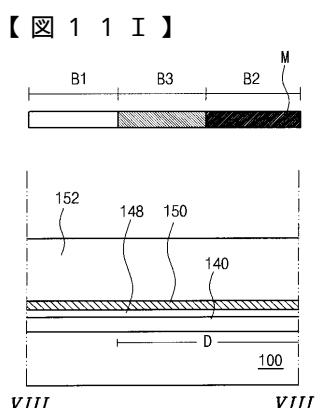
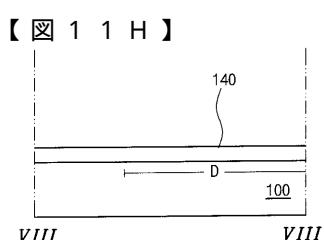
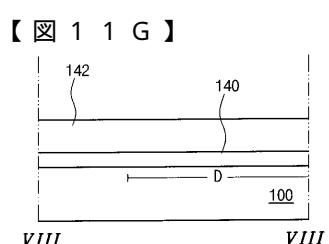
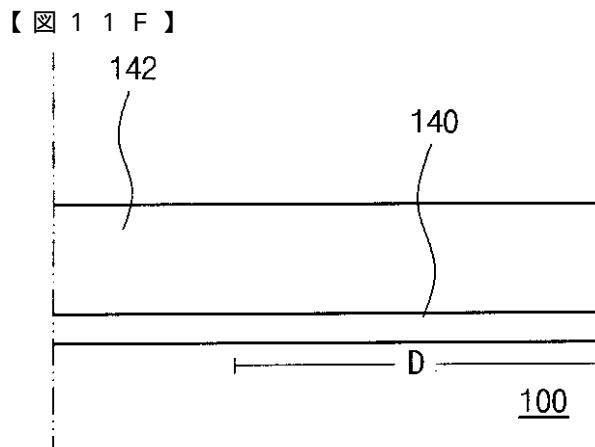
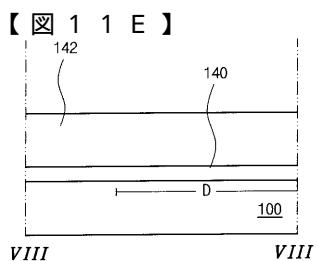
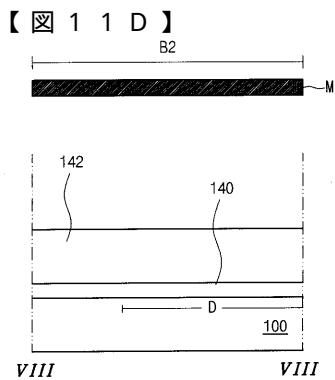


【図 11 B】

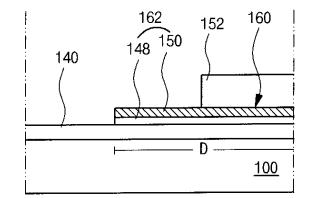


【図 11 C】





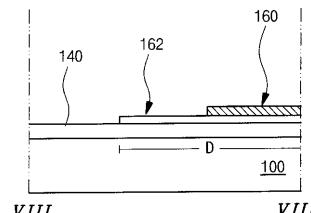
【図 1 1 L】



VIII

VIII

【図 1 1 M】



VIII

VIII

---

フロントページの続き

(72)発明者 ドンヤン・キム

大韓民国、769-911、キョンブク、ウィソン-グン、ポンヤン-ミヨン、プンニ 1-リ、  
932-ビヨンジ

F ターム(参考) 2H092 GA43 JA26 JA29 JA34 JA38 JA42 JA44 JA46 JA47 JB33  
JB57 JB64 JB66 KB04 KB14 MA14 MA16 MA18 MA27 MA37  
NA07 NA24 NA27  
5F110 AA06 AA16 AA30 BB01 CC07 EE02 EE03 EE04 EE06 EE43  
FF02 FF03 FF27 GG02 GG15 HK09 HK16 NN72 QQ01

|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 液晶显示装置及其制造方法  |         |            |
| 公开(公告)号        | <a href="#">JP2008009372A</a>   | 公开(公告)日 | 2008-01-17 |
| 申请号            | JP2006353326  | 申请日     | 2006-12-27 |
| [标]申请(专利权)人(译) | 乐金显示有限公司  |         |            |
| 申请(专利权)人(译)    | Eruji飞利浦杜迪股份有限公司  |         |            |
| [标]发明人         | ドンヤンキム  |         |            |
| 发明人            | ドンヤン・キム   |         |            |
| IPC分类号         | G02F1/1368 H01L21/336 H01L29/786  |         |            |
| CPC分类号         | H01L29/66765 G02F1/136209 G02F1/136227 G02F1/1368 G02F2001/136236 G02F2001/136295<br>H01L27/1214 H01L27/124 H01L27/1288   |         |            |
| FI分类号          | G02F1/1368 H01L29/78.612.D H01L29/78.627.C  |         |            |
| F-TERM分类号      | 2H092/GA43 2H092/JA26 2H092/JA29 2H092/JA34 2H092/JA38 2H092/JA42 2H092/JA44 2H092<br>/JA46 2H092/JA47 2H092/JB33 2H092/JB57 2H092/JB64 2H092/JB66 2H092/KB04 2H092/KB14<br>2H092/MA14 2H092/MA16 2H092/MA18 2H092/MA27 2H092/MA37 2H092/NA07 2H092/NA24 2H092<br>/NA27 5F110/AA06 5F110/AA16 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03<br>5F110/EE04 5F110/EE06 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110<br>/GG15 5F110/HK09 5F110/HK16 5F110/NN72 5F110/QQ01 2H192/AA24 2H192/BC31 2H192/CB05<br>2H192/CB71 2H192/DA02 2H192/EA04 2H192/FA65 2H192/HA44 2H192/HA47 |         |            |
| 代理人(译)         | 英年古河<br>Kajinami秩序<br>上田俊一  |         |            |
| 优先权            | 1020060059346 2006-06-29 KR   |         |            |
| 其他公开文献         | <a href="#">JP4668893B2</a>   |         |            |
| 外部链接           | <a href="#">Espacenet</a>   |         |            |

### 摘要(译)

甲在用于液晶显示装置的阵列基板的制造中，薄膜晶体管获得的液晶显示装置和其制造方法可以通过用于被配置为包括蚀刻停止层的阵列基板的液晶显示装置的一个三个掩模工艺来制造。栅极布线连接到栅极布线；栅极绝缘膜，位于栅极布线和栅极电极；有源层，位于栅极布线上的栅极绝缘膜上；122；位于有源层122上的欧姆接触层124；位于欧姆接触层124上的第一源电极136和第一漏电极138；第一源电极136和第一漏电极138第二源电极154和第二漏电极156彼此连接；数据线从第二源电极154延伸并与栅极线130交叉以限定像素区域P；，以及从第二漏电极156延伸的像素电极158。（图8A）。

