

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2008-3548

(P2008-3548A)

(43) 公開日 平成20年1月10日(2008.1.10)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/36 (2006.01)

G O 9 G 3/36

2H093

G09G 3/20 (2006.01)

G09G 3/20 611A

5C006

GO2F 1/133 (2006.01)

G09G 3/20 621D

5C080

G09G 3/20 622G

G O 9 G 3/20 6 2 2 Q

審査請求 有 請求項の数 20 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2006-339019 (P2006-339019)

(22) 出願日 平成18年12月15日 (2006.12.15)

(31) 優先権主張番号 10-2006-0055800

(32) 優先日 平成18年6月21日 (2006. 6. 21)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 599127667

エルジー フィリップス エルシーデー
カンパニー リミテッド

大韓民国 ソウル, ヨンドンポーク,
ヨイドードン 20

(74) 代理人 100110423

弃理士 曾我 道治

(74) 代理人 100084010

弁理士 古川 秀利

(74) 代理人 100094695

弁理士 鈴木 憲七

(74) 代理人 100111648

棄理士 梶並 順

最終頁に続く

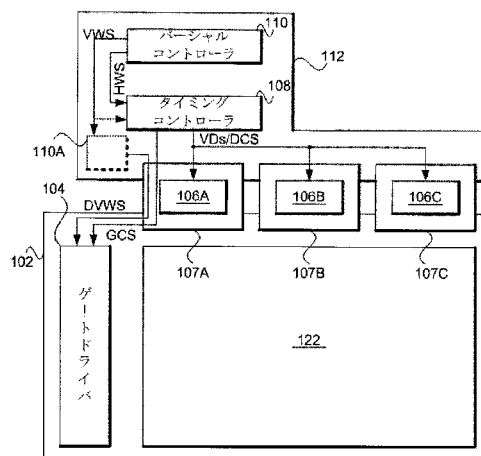
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】液晶パネル上に部分的に画像を表示する機能を有する液晶表示装置及びその駆動方法を提供する。

【解決手段】液晶パネル１０２と、液晶パネル１０２上に形成されたゲートライン及びデータラインと、ゲートラインにゲート信号を供給するゲートドライバ１０４と、液晶パネル１０２上のデータラインにデータ電圧を供給するデータドライバと、ゲートラインに供給されるゲート信号のうち一部を遮断するようにゲートドライバを制御するパルシャルコントローラ１１０とを備えている。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

複数のゲートライン及びデータラインが形成された液晶パネルと、前記ゲートラインにゲート信号を供給するゲートドライバと、前記データラインにデータ電圧を供給するデータドライバと、前記ゲートラインに供給される前記ゲート信号のうちの一部を遮断するように前記ゲートドライバを制御するパーシャルコントローラとを備えたことを特徴とする液晶表示装置。

【請求項 2】

前記ゲートドライバは、前記ゲート信号をそれぞれ発生するように従属接続された複数のシフトレジスタステージと、前記パーシャルコントローラの制御にตอบสนองして、前記複数のシフトレジスタステージから対応するゲートラインに供給される前記ゲート信号を、それぞれ選択的に遮断する複数の出力切替部とを備えたことを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 3】

前記パーシャルコントローラは、各フレームに対応した垂直同期信号の周期のうちの一部の期間を占有する垂直ウィンドウパルスと、前記複数の出力切替部に共通に供給することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記複数の出力切替部は、前記垂直ウィンドウパルスの期間に前記ゲート信号を遮断することを特徴とする請求項 3 に記載の液晶表示装置。

20

【請求項 5】

前記ゲートドライバは、前記液晶パネル上に実装されるように製造されたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記パーシャルコントローラは、前記ゲート信号のうちの前記一部を除いた残りに対応する前記液晶パネル上の画素のうち、一部の画素が黒色で表示されるように前記データドライバをさらに制御することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記パーシャルコントローラは、前記液晶パネル上の画素のうち、前記一部のゲート信号に対応する画素が黒色に初期化されるように、前記データドライバをさらに制御することを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 8】

前記パーシャルコントローラから前記ゲートドライバに供給された制御信号を、一定の期間にわたって遅延させる遅延器をさらに含むことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記遅延器は、各フレームに対応した垂直同期信号の周期の間にわたって、前記制御信号を遅延させることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記パーシャルコントローラは、前記ゲート信号のうちの前記一部を除いた残りに対応する前記液晶パネル上の画素のうち、一部の画素が黒色で表示されるように前記データドライバをさらに制御することを特徴とする請求項 7 に記載の液晶表示装置。

40

【請求項 11】

複数のゲートライン及びデータラインが形成された液晶パネルと、前記ゲートラインにゲート信号を供給するゲートドライバと、前記データラインにデータ電圧を供給するデータドライバと、前記ゲートドライバ及び前記データドライバの駆動タイミングを制御すると共に、前記データドライバに画素データストリームを供給するタイミングコントローラと、前記ゲートラインに供給される前記ゲート信号のうちの一部を遮断するように前記ゲートドライバを制御するパーシャルコントローラとを備えることを特徴とする液晶表示装置。

50

【請求項 1 2】

前記ゲートドライバは、前記ゲート信号をそれぞれ発生するように、前記タイミングコントローラからのゲートスタートパルスに従属的に応答する複数のシフトレジスタステージと、前記パルシャルコントローラの制御に応答して、前記複数のシフトレジスタステージから対応するゲートラインに供給される前記ゲート信号を、それぞれ選択的に遮断する複数の出力切替部とを備えることを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 3】

前記パルシャルコントローラは、各フレームに対応した垂直同期信号の周期のうちの一部の期間を占有する垂直ウィンドウパルスを、前記複数の出力切替部に共通に供給することを特徴とする請求項 1 2 に記載の液晶表示装置。

10

【請求項 1 4】

前記複数の出力切替部は、前記垂直ウィンドウパルスの期間に前記ゲート信号を遮断することを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

前記パルシャルコントローラは、前記ゲート信号のうちの前記一部を除いた残りに対応する前記液晶パネル上の画素のうち、一部の画素が黒色で表示されるように前記タイミングコントローラをさらに制御することを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 6】

前記パルシャルコントローラは、前記液晶パネル上の画素のうち、前記一部のゲート信号に対応する画素が黒色に初期化されるように、前記タイミングコントローラをさらに制御することを特徴とする請求項 1 1 に記載の液晶表示装置。

20

【請求項 1 7】

前記パルシャルコントローラから前記ゲートドライバに供給された制御信号を、一定の期間にわたって遅延させる遅延器をさらに含むことを特徴とする請求項 1 6 に記載の液晶表示装置。

【請求項 1 8】

液晶パネル上のゲートラインにゲート信号を供給するゲートドライバと、前記液晶パネル上のデータラインにデータ電圧を供給するデータドライバとを備えた液晶表示装置を駆動する方法において、前記ゲートラインに供給される前記ゲート信号のうちの一部を遮断するように、前記ゲートドライバを制御する第 1 の段階を含むことを特徴とする液晶表示装置の駆動方法。

30

【請求項 1 9】

前記第 1 の段階の前に、前記液晶パネル上の画素のうち、前記一部のゲート信号に対応する画素が黒色に初期化されるように、前記データドライバを制御する第 2 の段階をさらに含むことを特徴とする請求項 1 8 に記載の液晶表示装置の駆動方法。

【請求項 2 0】

前記ゲート信号のうちの前記一部を除いた残りに対応する前記液晶パネル上の画素のうち、一部の画素が黒色で表示されるように、パルシャルコントローラにより前記データドライバを制御する第 3 の段階をさらに含むことを特徴とする請求項 1 8 に記載の液晶表示装置の駆動方法。

40

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は液晶表示装置及びその駆動方法に関し、特に液晶パネル上の一部領域のみに画像を表示する機能を有する液晶表示装置及びその駆動方法に関する。

【背景技術】**【0 0 0 2】**

情報化社会が発展するにつれて、表示装置に対する要求も次第に多様な形態になってきている。これに応じて、LCD (Liquid Crystal Display device)、PDP (Plasma Display Panel)、ELD (Elec

50

t r o L u m i n e s c e n t D i s p l a y) など、様々なフラットパネルディスプレイが研究されており、一部は、既に様々な装備において表示装置として活用されている。

【 0 0 0 3 】

現在では、その中でも、高画質、軽量、薄型、低消費電力などの利点を持つことから、移動型画像表示装置用として、陰極線管 (C a t h o d e R a y T u b e) に代わって、L C D (以下、液晶表示装置という) が最も広く使用されている。液晶表示装置は、ノートブックコンピュータのモニタなどの移動型用としてだけでなく、テレビモニタなどに多様に開発されている。

【 0 0 0 4 】

最近、製造コストを低くするために、ゲートドライバが搭載された液晶パネルを含む、ゲートオンガラスタイプ (G a t e - o n - G l a s s T y p e ; 以下、「G O G タイプ」という) の液晶表示装置が提案されている。G O G タイプの液晶表示装置においては、ゲートドライバが液晶パネルと共に同時に製造される。さらに、G O G タイプの液晶表示装置は、データドライバの搭載された液晶パネルを含むこともある。

【 0 0 0 5 】

以下、図 1 のブロック図を参照しながら、従来の G O G タイプの液晶表示装置について説明する。

【 0 0 0 6 】

図 1 に示すように、従来の G O G タイプの液晶表示装置は、画像が表示される液晶パネル 2 を含む。液晶パネル 2 は、表示領域 2 2 に隣接する一方の縁部 (すなわち、左側縁部) に位置するゲートドライバ 4 を含む。液晶パネル 2 の表示領域 2 2 は、図示していない複数のゲートライン及び複数のデータラインによって区分された各画素領域に形成された薄膜トランジスタ T F T を含む。各薄膜トランジスタは、対応するデータライン及び対応するゲートラインに電氣的に接続される。ゲートドライバ 4 は表示領域 2 2 上のゲートラインと電氣的に接続される。

【 0 0 0 7 】

図 1 の G O G タイプの液晶表示装置には、テープキャリアパッケージ (T a p e C a r r i e r P a c k a g e ; 以下、T C P という) 7 A ~ 7 C によって液晶パネル 2 に接続されたプリント基板 1 2 が含まれる。T C P 7 A ~ 7 C には、データドライバ I C チップ (I n t e g r a t e d C i r c u i t C h i p) 6 A ~ 6 C が対応して搭載される。これらデータドライバ I C チップ 6 A ~ 6 C は、液晶パネル 2 上の複数のデータラインを分割して駆動する。このために、各データドライバ I C チップ 6 A ~ 6 C は、対応する T C P 7 A ~ 7 C によって、液晶パネル 2 上の複数のデータラインのうち的一部分と電氣的に接続される。プリント基板 1 2 にはタイミングコントローラ 8 が実装される。タイミングコントローラ 8 は、ゲートドライバ 4 及びデータドライバ I C チップ 6 A ~ 6 C を制御する。このために、プリント基板 1 2 上のタイミングコントローラ 8 は、T C P 7 A ~ 7 C 上のデータドライバ I C チップ 6 A ~ 6 C と電氣的に接続されると共に、T C P 7 A ~ 7 C のいずれか 1 つを介して、液晶パネル 2 上のゲートドライバ 4 と電氣的に接続される。

【 0 0 0 8 】

液晶パネル 2 に搭載されたゲートドライバ 4 は、図 2 のブロック図のように、従属接続された複数のシフトレジスタステージ S / R 1 ~ S / R n を含む。液晶パネル 2 には、複数のシフトレジスタステージ S / R 1 ~ S / R n の個数に相当するゲートラインが存在する。複数の各シフトレジスタステージ S / R 1 ~ S / R n から発生する出力信号は、次のシフトレジスタステージの入力端に供給されて、次のシフトレジスタステージが駆動されるようにする。また、複数のシフトレジスタステージ S / R 1 ~ S / R n から出力された各出力信号は、対応するゲートラインに供給される。このような複数のシフトレジスタステージ S / R 1 ~ S / R n の出力信号は、図 3 のタイミングチャートに示すように、順次遅延するイネーブルパルスを持続的に有する。

10

20

30

40

50

【 0 0 0 9 】

また、従属接続されたシフトレジスタステージ $S/R1 \sim S/Rn$ のうち、第1シフトレジスタステージ $S/R1$ の入力端子には、ゲートスタートパルス GSP が入力される。ゲートスタートパルス GSP によって、複数のシフトレジスタステージ $S/R1 \sim S/Rn$ のシフト動作が行われる。ゲートスタートパルス GSP は、垂直同期信号に同期すると共に、水平同期信号の周期に該当する幅を有する。

【 0 0 1 0 】

さらに、複数のシフトレジスタステージ $S/R1 \sim S/Rn$ には、2つのクロック $C1$ 、 $C2$ のいずれか一方が入力される。奇数番目のシフトレジスタステージ $S/R1$ 、 $S/R3$ 、...、 $S/Rn-1$ には、第1クロック $C1$ が入力されるが、偶数番目のシフトレジスタステージ $S/R2$ 、 $S/R4$ 、...、 S/Rn には、第2クロック $C2$ が入力される。 10

【 0 0 1 1 】

2つのクロック $C1$ 、 $C2$ は相反する位相を有する。これとは異なり、複数のシフトレジスタステージ $S/R1 \sim S/Rn$ には、3つ以上のクロック（例えば、3つ又は4つのクロック）が共通に入力されるか、又は、3つ以上のクロックのうちの一部が選択的に供給される。この場合、3つ以上のクロックは、互いに順次遅延した位相を有する。

【 0 0 1 2 】

このように、従属接続された複数の各シフトレジスタステージ $S/R1 \sim S/Rn$ は、入力されるクロック $C1$ （又は $C2$ ）にตอบสนองして入力端子に供給されるゲートスタートパルス GSP 又は以前のシフトレジスタステージの出力信号をラッチする。このような複数のシフトレジスタステージ $S/R1 \sim S/Rn$ のラッチ動作により、液晶パネル2上の複数のゲートラインには、図3に示すように、順次シフトされたゲート信号 $GL1 \sim GLn$ が対応して供給される。 20

【 0 0 1 3 】

複数のシフトレジスタステージ $S/R1 \sim S/Rn$ からのゲート信号 $GL1 \sim GLn$ は、液晶パネル2上の複数のゲートラインを順次イネーブルさせて、薄膜トランジスタが1ライン分ずつ順次ターンオン（Turn-on）するようにする。これにより、複数のデータライン上のデータ電圧が液晶パネル2上の画素に1ライン分ずつ順次供給され、画像が表示されるようにする。

【 発明の開示 】

30

【 発明が解決しようとする課題 】

【 0 0 1 4 】

液晶表示装置においては、液晶パネル2の表示領域のうちの一部のみに画像を表示する場合が頻繁に発生する。例えば、液晶パネル2の表示領域22の中央部のみに画像を表示する場合を挙げることができる。この場合、GOGタイプの液晶表示装置は、液晶パネル2の表示領域22のうち、非画像区間（例えば、上下縁部）には黒レベルのデータ電圧が入力されるように、ゲートドライバ4、データドライバICチップ6A～6C、及びタイミングコントローラ8などの複雑な制御を行わなければならない。これにより、GOGタイプの液晶表示装置においては、電力の不要な消費が増加せざるを得ないという課題があった。 40

【 0 0 1 5 】

本発明は、画面の一部分における画像表示を容易に行うことのできる液晶表示装置及びその駆動方法を提供することを目的とする。

【 0 0 1 6 】

また、本発明は不要な電力を消費することなく、画面の一部分への画像表示が可能な液晶表示装置及びその駆動方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 7 】

本発明による液晶表示装置は、複数のゲートライン及びデータラインが形成された液晶パネルと、ゲートラインにゲート信号を供給するゲートドライバと、データラインにデー 50

タ電圧を供給するデータドライバと、ゲートラインに供給されるゲート信号のうちの一部を遮断するようにゲートドライバを制御するパーシャルコントローラとを備えたものである。

【0018】

また、本発明による液晶表示装置のゲートドライバは、ゲート信号をそれぞれ発生するように従属接続された複数のシフトレジスタステージと、パーシャルコントローラの制御にตอบสนองして、複数のシフトレジスタステージから対応するゲートラインに供給されるゲート信号をそれぞれ選択的に遮断する複数の出力切替部とを備えたものである。

【0019】

また、本発明による液晶表示装置のパーシャルコントローラは、各フレームに対応した垂直同期信号の周期のうちの一部の期間を占有する垂直ウィンドウパルスを、複数の出力切替部に共通に供給するものである。

10

【0020】

また、本発明による液晶表示装置の複数の出力切替部は、垂直ウィンドウパルスの期間にゲート信号を遮断するものである。

【0021】

また、本発明による液晶表示装置のゲートドライバは、液晶パネル上に実装されるように製造されたものである。

【0022】

また、本発明による液晶表示装置のパーシャルコントローラは、ゲート信号のうちの一部を除いた残りに対応する液晶パネル上の画素のうち、一部の画素が黒色で表示されるように、データドライバをさらに制御するものである。

20

【0023】

また、本発明による液晶表示装置のパーシャルコントローラは、液晶パネル上の画素のうち、一部のゲート信号に対応する画素が黒色に初期化されるように、データドライバをさらに制御するものである。この場合、液晶表示装置は、パーシャルコントローラからゲートドライバに供給された制御信号を、一定の期間にわたって遅延させる遅延器をさらに含むことが好ましい。また、遅延器は、各フレームに対応した垂直同期信号の周期の間にわたって、制御信号を遅延させるものである。

【0024】

また、本発明による液晶表示装置は、複数のゲートライン及びデータラインが形成された液晶パネルと、ゲートラインにゲート信号を供給するゲートドライバと、データラインにデータ電圧を供給するデータドライバと、ゲートドライバ及びデータドライバの駆動タイミングを制御すると共にデータドライバに画素データストリームを供給するタイミングコントローラと、ゲートラインに供給されるゲート信号のうちの一部を遮断するようにゲートドライバを制御するパーシャルコントローラとを備えたものである。

30

【0025】

また、本発明による液晶表示装置のゲートドライバは、ゲート信号をそれぞれ発生するように、タイミングコントローラからのゲートスタートパルスに従属的にตอบสนองする複数のシフトレジスタステージと、パーシャルコントローラの制御にตอบสนองして、複数のシフトレジスタステージから対応するゲートラインに供給されるゲート信号を、それぞれ選択的に遮断する複数の出力切替部とを備えたものである。

40

【0026】

また、本発明による液晶表示装置のパーシャルコントローラは、各フレームに対応した垂直同期信号の周期のうちの一部の期間を占有する垂直ウィンドウパルスを複数の出力切替部に共通に供給するものである。

【0027】

また、本発明による液晶表示装置の複数の出力切替部は、垂直ウィンドウパルスの期間にゲート信号を遮断するものである。

【0028】

50

また、本発明による液晶表示装置のパーシャルコントローラは、ゲート信号のうちの一部を除いた残りに対応する液晶パネル上の画素のうち、一部の画素が黒色で表示されるように、タイミングコントローラをさらに制御するものである。

【0029】

また、本発明による液晶表示装置のパーシャルコントローラは、液晶パネル上の画素のうち、一部のゲート信号に対応する画素が黒色に初期化されるように、タイミングコントローラをさらに制御するものである。この場合、液晶表示装置は、パーシャルコントローラからゲートドライバに供給された制御信号を、一定の期間にわたって遅延させる遅延器をさらに備える。

【0030】

また、本発明による液晶表示装置の駆動方法は、液晶パネル上のゲートラインにゲート信号を供給するゲートドライバと、液晶パネル上のデータラインにデータ電圧を供給するデータドライバとを備えた液晶表示装置を駆動する方法において、ゲートラインに供給されるゲート信号のうちの一部を遮断するように、ゲートドライバを制御する第1の段階を含むものである。

【0031】

また、本発明による液晶表示装置の駆動方法は、第1の段階の前に、液晶パネル上の画素のうち、一部のゲート信号に対応する画素が黒色に初期化されるように、データドライバを制御する第2の段階をさらに含むものである。

【0032】

また、本発明による液晶表示装置の駆動方法は、ゲート信号のうちの一部を除いた残りに対応する液晶パネル上の画素のうち、一部の画素が黒色で表示されるように、パーシャルコントローラによりデータドライバを制御する第3の段階をさらに含むものである。

【発明の効果】

【0033】

本発明による液晶表示装置によれば、垂直同期信号の区間のうち一部を占有する垂直ウィンドウパルスにより、ゲート信号のうちの一部を遮断して、液晶パネルの表示領域のうちの一部が駆動されないようにする。これにより、液晶パネルの表示領域のうち、上段部分、下段部分、及び中央部分のいずれか1箇所のみ画像を表示させることができる。また、局部表示時には、不要な電力の消費を防止することができる。また、本発明による液晶表示装置によれば、垂直ウィンドウパルスによってデータ駆動部の動作も周期的に中止されるので、局部表示時における電力の不要な消費をさらに軽減することができる。

【0034】

また、本発明による液晶表示装置によれば、局部表示が開始されるときに、垂直ウィンドウパルスの区間に該当する表示領域上の一部区間を黒色に初期化することにより、液晶パネルの表示領域のうちの非駆動区間における雑音を除去することができる。

【0035】

また、本発明による液晶表示装置によれば、水平同期信号の区間のうちの一部を占有する水平ウィンドウパルスにより、データ電圧のうちの一部が黒レベルを有するようにし、液晶パネルの表示領域のうち、左側部分、右側部分、及び中央部分のいずれか1箇所のみ画像を表示させることができる。

【0036】

さらに、本発明による液晶表示装置によれば、垂直及び水平ウィンドウパルスを利用して、ゲートラインのうちの一部のみが駆動されるようにすると共に、駆動されるゲートライン上の画素に供給されるデータ電圧のうちの一部を黒色で表示させることにより、液晶パネルの表示領域のうち、上段の左側部分、中央部分、及び右側部分と、下段の左側部分、中央部分、及び右側部分と、上段と下段との間の中央の左側部分、中央部分、及び右側部分と、のいずれか1箇所のみ画像を局部的に表示させることができる。

【発明を実施するための最良の形態】

【0037】

10

20

30

40

50

実施の形態 1 .

以下、添付図面を参照しながら、本発明の好ましい実施の形態について説明する。

【0038】

図4は本発明の実施の形態1によるGOGタイプの液晶表示装置を概略的に示すブロック図である。図4に示すように、本発明の実施の形態1による液晶表示装置は、TCP107A~107Cによって液晶パネル102に接続されたプリント基板112を含む。なお、図4においては、代表的にゲートドライバ104のみを示しているが、データドライバ(図示せず)も同様の構成を有している。

【0039】

液晶パネル102は、画像が表示される表示領域122と、表示領域122に隣接する一方の縁部(すなわち、左側縁部)に配置されたゲートドライバ104とを備える。表示領域122には、複数のゲートライン及び複数のデータライン(図示せず)が交差するように形成される。これらゲートライン及びデータラインによって区分された画素領域には、薄膜トランジスタTFTがそれぞれ形成される。各薄膜トランジスタTFTは、対応するゲートライン及び対応するデータラインに電氣的に接続される。各薄膜トランジスタTFTは、対応するゲートライン上のゲート信号に応答し、対応するデータライン上のデータ電圧が該当画素領域に選択的に入力されるようにする。表示領域122上のゲートラインは、液晶パネル102の左側の縁部まで延びてゲートドライバ104に電氣的に接続される。

【0040】

TCP107A~107Cには、液晶パネル102上のデータラインを分割駆動するデータドライブICチップ106A~106Cがそれぞれ搭載される。各TCP107は、搭載されたデータドライブICチップ106を、プリント基板112及び液晶パネル102上のデータラインと電氣的に接続させると共に、プリント基板112を、液晶パネル102とも電氣的に接続させる。このために、TCP107A~107Cは、配線パターンが形成された柔軟な絶縁性フィルムを含む。

【0041】

プリント基板112は、ゲートドライバ104及びデータドライブICチップ106A~106Cを制御するタイミングコントローラ108を備える。タイミングコントローラ108は、TCP107A~107Cによってゲートドライバ104及びデータドライブICチップ106A~106Cと電氣的に接続される。ゲートドライバ104には、タイミングコントローラ108からゲート制御信号GCSが供給される。ゲート制御信号GCSは、水平同期信号と同一、又は少なくとも2倍以上の周期を有する少なくとも1つ以上のクロックCLKと、垂直同期信号の周期毎に1回ずつ発生するゲートスタートパルスGSPとを含む。データドライブICチップ106A~106Cには、データ制御信号DCS及び画素データストリームVDSが供給される。画素データストリームVDSは、画素データが1ライン分ずつ区分されるように直列状にデータドライブICチップ106A~106Vに供給される。

【0042】

図4において、液晶表示装置は、パーシャルコントローラ110を備えており、パーシャルコントローラ110は、プリント基板112に実装されて、画像が液晶パネル102の表示領域122の一部領域のみに表示されるように制御する。パーシャルコントローラ110は、ゲートドライバ104の出力期間を制御する垂直ウィンドウ制御信号VWSを、TCP107A~107Cのいずれか1つ(すなわち、第1のTCP107A)を介して、液晶パネル102の縁部に位置するゲートドライバ104に供給する。ゲートドライバ104に供給される垂直ウィンドウ制御信号VWSは、垂直同期信号の周期の間(1枚の画像が表示される間)に、ゲート信号の出力制限期間を指定する基底論理(例えば、ロー論理)の垂直ウィンドウパルスを含む。

【0043】

垂直ウィンドウ制御信号VWSに応答するゲートドライバ104は、複数のゲートライ

10

20

30

40

50

ンに供給されるゲート信号のうち垂直ウィンドウパルスの期間にイネーブルされるゲート信号を、それらに対応するゲートラインに供給されないようにする。それに対して、垂直ウィンドウ制御信号VWSのうち、特定論理（例えば、ハイ論理）のイネーブル区間にゲートドライバ104から発生するゲート信号は、対応するゲートラインに供給される。このように、液晶パネル102の表示領域122上の複数のゲートラインのうち、一部のみが垂直同期周期毎に1回ずつ駆動されて、残りは駆動されなくなる。これにより、液晶パネル102の表示領域122上の一部分のみに画像が表示される。垂直ウィンドウ制御信号VWSに含まれる垂直ウィンドウパルスの幅及び位置は、ユーザ又は映像プログラムにより設定されたウィンドウデータの論理値によって可変できる。このウィンドウデータは、タイミングコントローラ108又は図示しない外部のシステム（すなわち、コンピュータシステムのグラフィックカード、又は、テレビ受信機の映像復調モジュール）から、パーシャルコントローラ110に供給される。つまり、パーシャルコントローラ110は、タイミングコントローラ108又は外部のシステムからの、ウィンドウデータの論理値に該当する幅及び位相の垂直ウィンドウパルスを有する垂直ウィンドウ制御信号VWSを発生し、垂直ウィンドウ制御信号VWSを第1のTCP107Aを介して、液晶パネル102上のゲートドライバ104に供給する。

10

20

30

40

50

【0044】

従って、ゲートドライバ104は、ゲートラインのうちの一部区間のゲートラインのみにゲート信号を供給し、一部区間を除く残りのゲートラインに供給されるゲート信号は供給しない。これにより、液晶パネル102の表示領域122の垂直駆動幅が減少する。この結果、液晶パネル102の表示領域122の中央部分、上側部分、又は下側部分に、画像が表示される。このように、垂直ウィンドウパルスの期間に該当する表示領域122のうち、一部区間上のゲートラインが駆動されないため、局部表示時の不要な電力が消費されることはない。それに対して、表示領域122のうち、垂直ウィンドウパルスに該当する垂直区間では、劣化した画像又は雑音成分が表示される。

【0045】

なお、他の形態において、パーシャルコントローラ110から発生した垂直ウィンドウ制御信号VWSは、タイミングコントローラ108にも供給できる。この場合、パーシャルコントローラ110とゲートドライバ104との間には、フレーム遅延器112Aがさらに設置される。フレーム遅延器110Aは、パーシャルコントローラ110からゲートドライバ104に供給される垂直ウィンドウ制御信号VWSを1フレーム（すなわち、1垂直同期信号）の期間遅延させる。フレーム遅延器110Aにより、液晶パネル102の表示領域のうち、垂直ウィンドウ区間の初期化が、局部表示の開始される最初のフレーム（すなわち、最初の垂直同期信号の周期）の間に実行される。垂直ウィンドウ区間の初期化期間（すなわち、最初の垂直ウィンドウパルスが発生する垂直同期信号の期間）に、タイミングコントローラ108は、黒レベルの画素データ及びビデオ情報の画素データを、データドライブICチップ106A～106Cに供給する。黒レベルの画素データは、垂直ウィンドウ制御信号VWSの垂直ウィンドウパルスの期間（すなわち、基底論理期間）に含まれる水平同期信号の期間に、タイミングコントローラ108からデータドライブICチップ106A～106Cに供給される。それに対して、ビデオ情報に該当する画素データは、垂直ウィンドウ制御信号VWSのイネーブル期間（すなわち、特定論理期間）に含まれる残りの水平同期信号の期間に、タイミングコントローラ108からデータドライブICチップ106A～106Cに供給される。これにより、液晶パネル102の表示領域122のうち、垂直ウィンドウパルスの幅に該当する一部の垂直区間には黒色が表示されるが、垂直ウィンドウ制御信号VWSのイネーブル期間に該当する残りの区間にはビデオ画像が表示される。この垂直ウィンドウ区間の初期化後において、遅延した垂直ウィンドウ制御信号DVWSに垂直ウィンドウパルスが含まれるフレーム（すなわち、垂直同期信号）の期間（すなわち、局部表示期間）に、タイミングコントローラ108は、垂直ウィンドウ制御信号VWSのイネーブル期間のみにビデオ情報に該当する画素データを、データドライブICチップ106A～106Cに供給する。それに対して、タイミングコン

トローラ 108 は、垂直ウィンドウパルスの期間では、画素データをデータドライブ IC
 チップ 106A ~ 106C に供給しなくなり、データドライブ IC チップ 106A ~ 10
 6C が駆動されないようにする。つまり、タイミングコントローラ 108 は、液晶パネル
 102 の表示領域 122 のうち、垂直ウィンドウパルスの期間に該当する垂直区間の黒レ
 ベルの画素データは更新されないようにするが、液晶パネル 102 の表示領域 122 のう
 ち、垂直ウィンドウ制御信号 VWS のイネーブル期間に該当する残りの区間上のビデオ情
 報の画素データのみが更新されるようにする。これにより、液晶パネル 102 の表示領域
 122 のうち、垂直ウィンドウパルスの期間に該当する垂直区間では、黒色が表示され、
 液晶パネル 102 の表示領域 122 のうち、垂直ウィンドウ制御信号 VWS のイネーブル
 期間に該当する残りの区間では、ビデオ情報が表示される。一方、ゲートドライバ 104
 は、遅延した垂直ウィンドウ制御信号 DVWS のうち、特定論理のイネーブル期間に発生
 するゲート信号のみを、それらと対応するゲートラインに供給する。つまり、ゲートドラ
 イバ 104 は、複数のゲートラインに供給されるゲート信号のうち、垂直ウィンドウパル
 スの期間にイネーブルされるゲート信号が、それらに対応するゲートラインに供給されな
 いようにする。これにより、液晶パネル 102 の表示領域 122 上の複数のゲートライン
 のうち、垂直ウィンドウ期間に該当する一部のゲートラインが駆動されないが、遅延した
 垂直ウィンドウ制御信号 DVWS のイネーブル期間に該当する残りのゲートラインのみが
 、垂直同期周期毎に 1 回ずつ駆動される。このように、データドライブ IC チップ 106
 A ~ 106C が周期的に駆動されないと共に、一部のゲートラインが駆動されないので、
 局部表示期間における電力消費量をさらに低減することができる。

10

20

【0046】

さらに、パースナルコントローラ 110 は、水平ウィンドウ制御信号 HWS を生成して
 、タイミングコントローラ 108 に供給することもできる。タイミングコントローラ 10
 8 に供給される水平ウィンドウ制御信号 HWS は、水平同期信号の周期の間（1 ライン分
 の画素データが液晶パネル 102 の表示領域 122D に入力される間）に、画素データの
 出力制限期間を指定する基底論理（例えば、ロー論理）の水平ウィンドウパルスを有する
 。水平ウィンドウ制御信号 HWS に応答するタイミングコントローラ 108 は、水平同期
 信号の周期毎に、黒レベルの画素データ及びビデオ情報の画素データを含む 1 ライン分の
 画素データを、データドライブ IC チップ 106A ~ 106C に供給する。黒レベルの画
 素データは、水平ウィンドウ制御信号 HWS の水平ウィンドウパルスの期間（すなわち、
 基底論理期間）に、タイミングコントローラ 108 からデータドライブ IC チップ 106
 A ~ 106C に供給される。それに対して、ビデオ情報に該当する画素データは、水平ウ
 インドウ制御信号 HWS のイネーブル期間（すなわち、特定論理期間）に、タイミングコ
 ントローラ 108 からデータドライブ IC チップ 106A ~ 106C に供給される。この
 ような黒レベルの画素データ及びビデオ情報の画素データを含む 1 ライン分の画素デー
 ストリームは、垂直ウィンドウ制御信号 VWS のイネーブル区間においてのみに出力され
 る。これにより、液晶パネル 102 の表示領域 122 のうち、水平ウィンドウパルスの幅
 に該当する一部の水平区間は、黒色が表示されるが、水平ウィンドウ制御信号 HWS のイ
 ネーブル期間に該当する残りの水平区間は、ビデオ画像が表示される。これにより、画像
 は、液晶パネル 102 の表示領域 122 の上段の左側部分、中央部分、及び右側部分と、
 下段の左側部分、中央部分、及び右側部分と、上段及び下段間の中央の左側部分、中央部
 分、及び右側部分と、のいずれか 1 箇所のみに局部的に表示される。

30

40

【0047】

図 5 は図 4 内のゲートドライバ 104 を詳細に説明するためのブロック図である。図 5
 に示すように、ゲートドライバ 104 は、ゲートスタートパルス GSP の入力ラインに従
 属接続された複数のシフトレジスタステージ S/R1 ~ S/R5 と、シフトレジスタステ
 ージ S/R1 ~ S/R5 にそれぞれ接続された複数の出力切替部 104A ~ 104E とを
 含む。複数のシフトレジスタステージ S/R1 ~ S/R5 は、第 1 及び第 2 クロック CLK
 1、CLK2 のいずれか 1 つを入力する。第 1 及び第 2 クロック CLK1、CLK2 は
 、シフトレジスタステージ S/R1 ~ S/R5 に交代に入力される。つまり、奇数番目の

50

シフトレジスタステージ $S/R1$ 、 $S/R3$ 、 $S/R5$ には、第1クロック $CLK1$ が入力されるが、偶数番目のシフトレジスタステージ $S/R2$ 、 $S/R4$ には、第2クロック $CLK2$ が入力される。第1及び第2クロック $CLK1$ 、 $CLK2$ は、相反する位相を有すると共に、水平同期信号の $1/2$ に該当する周波数（すなわち、2倍に相当する周期）を有する。複数のシフトレジスタステージ $S/R1 \sim S/R5$ は、第1クロック $CLK1$ 又は第2クロック $CLK2$ に応答し、ゲートスタートパルス GSP 又は以前のシフトレジスタステージ $S/R1 \sim S/R4$ からのゲート信号（ $Vg1 \sim Vg4$ のいずれか1つ）をラッチし、対応するゲートライン $GL1 \sim GL5$ に供給されるゲート信号 $Vg1 \sim Vg5$ を発生する。第1シフトレジスタステージ $S/R1$ は、第1クロック $CLK1$ に応答し、ゲートスタートパルス GSP をラッチさせて第1ゲート信号 $Vg1$ を発生する。第1ゲート信号 $Vg1$ は、第1出力切替部 $104A$ 及び第2シフトレジスタステージ $S/R2$ に供給される。第2シフトレジスタステージ $S/R2$ は、第2クロック $CLK2$ によって、以前のステージである第1シフトレジスタステージ $S/R1$ からの第1ゲート信号 $Vg1$ をラッチして、第2ゲート信号 $Vg2$ を発生する。第2ゲート信号 $Vg2$ は、第2出力切替部 $104B$ 及び次のステージである第3シフトレジスタステージ $S/R3$ に供給される。第1クロック $CLK1$ に応答する第3シフトレジスタステージ $S/R3$ も、以前のステージである第2シフトレジスタステージ $S/R2$ からの第2ゲート信号 $Vg2$ をシフトさせて、第3ゲート信号 $Vg3$ を発生する。第3ゲート信号 $Vg3$ は、第3出力切替部 $104C$ 及び次のステージである第4シフトレジスタステージ $S/R4$ に供給される。これにより、残りのシフトレジスタステージ $S/R4$ 、 $S/R5$ も、第1クロック $CLK1$ 又は第2クロック $CLK2$ に応答して、以前のシフトレジスタステージ $S/R3$ 、 $S/R4$ からの第3ゲート信号 $Vg3$ 又は第4ゲート信号 $Vg4$ をラッチし、対応するゲート信号 $Vg4$ （又は $Vg5$ ）を発生する。複数の各シフトレジスタステージ $S/R1 \sim S/R5$ から発生する複数のゲート信号 $Vg1 \sim Vg5$ は、1つの水平同期信号の期間ずつ、順次特定論理（例えば、ハイ論理）の状態でイネーブルされる。

【0048】

複数の出力切替部 $104A \sim 104E$ は、液晶パネル 102 の表示領域 122 上の複数のゲートライン $GL1 \sim GL5$ と電氣的にそれぞれ接続される。また、複数の出力切替部 $104A \sim 104E$ は、図4に示すパーシャルコントローラ 110 からの垂直ウィンドウ制御信号 VWS 、又は遅延器 $110A$ からの遅延した垂直ウィンドウ制御信号 $DVWS$ を、共通に入力する。垂直ウィンドウ制御信号 VWS 又は遅延したウィンドウ制御信号 $DVWS$ に共通に応答する複数の各出力切替部 $104A \sim 104E$ は、対応するシフトレジスタステージ $S/R1 \sim S/R5$ から、対応するゲートライン $GL1 \sim GL5$ に供給されるゲート信号 $Vg1 \sim Vg5$ を切り替える。垂直ウィンドウ制御信号 VWS 又は遅延した垂直ウィンドウ制御信号 $DVWS$ の垂直ウィンドウパルスの期間（基底論理の期間）では、出力切替部 $104A \sim 104E$ は、対応するシフトレジスタステージ $S/R1 \sim S/R5$ からの対応するゲートライン $GL1 \sim GL5$ に供給される対応するゲート信号 $Vg1 \sim Vg5$ を遮断する。それとは反対に、垂直ウィンドウ制御信号 VWS 又は遅延した垂直ウィンドウ制御信号 $DVWS$ の特定論理のイネーブル期間では、各出力切替部 $104A \sim 104E$ は、対応するシフトレジスタステージ $S/R1 \sim S/R5$ からのゲート信号 $Vg1 \sim Vg5$ を対応するゲートライン $GL1 \sim GL5$ に供給する。

【0049】

例えば、垂直ウィンドウ制御信号 VWS 又は遅延した垂直ウィンドウ制御信号 $DVWS$ に含まれる基底論理の垂直ウィンドウパルスが、垂直同期信号の期間のうちの初期の2つの水平同期信号の期間を占有する場合には、第1及び第2出力切替部 $104A$ 、 $104B$ によって第1及び第2シフトレジスタステージ $S/R1$ 、 $S/R2$ から第1及び第2ゲートライン $GL1$ 、 $GL2$ にそれぞれ供給される第1及び第2ゲート信号 $Vg1$ 、 $Vg2$ が遮断されるが、第3～第5シフトレジスタステージ $S/R3 \sim S/R5$ のそれぞれから発生した第3～第5ゲート信号 $Vg3 \sim Vg5$ は、第3～第5出力切替部 $104C \sim 104E$ を介して、対応する第3～第5ゲートライン $GL3 \sim GL5$ に供給される。第1及び第

2 ゲートライン G L 1、G L 2 上の画素は駆動されないが、第 3 ~ 第 5 ゲートライン G L 3 ~ G L 5 上の画素は正常に駆動される。この結果、液晶パネル 1 0 2 の表示領域 1 2 2 のうち下半部のみに画像が表示される。

【 0 0 5 0 】

これとは異なり、垂直ウィンドウ制御信号 V W S 又は遅延した垂直ウィンドウ制御信号 D V W S に含まれる基底論理の垂直ウィンドウパルスが、垂直同期信号の期間のうちの終わりの部分の 2 つの水平同期信号の期間を占有する場合には、第 4 及び第 5 出力切替部 1 0 4 D、1 0 4 E によって第 4 及び第 5 シフトレジスタステージ S / R 4、S / R 5 から第 4 及び第 5 ゲートライン G L 4、G L 5 にそれぞれ供給される第 4 及び第 5 ゲート信号 V g 4、V g 5 が遮断されるが、第 1 ~ 第 3 シフトレジスタステージ S / R 1 ~ S / R 3 のそれぞれから発生した第 1 ~ 第 3 ゲート信号 V g 1 ~ V g 3 は、第 1 ~ 第 3 出力切替部 1 0 4 A ~ 1 0 4 C を介して、対応する第 1 ~ 第 3 ゲートライン G L 1 ~ G L 3 に供給される。第 4 及び第 5 ゲートライン G L 4、G L 5 上の画素は駆動されないが、第 1 ~ 第 3 ゲートライン G L 1 ~ G L 3 上の画素は正常に駆動される。この結果、液晶パネル 1 0 2 の表示領域 1 2 2 のうち上半部のみに画像が表示される。

10

【 0 0 5 1 】

このように、垂直同期信号の区間のうち、一部を占有する垂直ウィンドウ制御信号 V W S 又は遅延した垂直ウィンドウ制御信号 D V W S の垂直ウィンドウパルスの位置及び幅により、液晶パネル 1 0 2 の表示領域 1 2 2 のうちの上段部分、下段部分、及び中央部分のいずれか 1 箇所のみ画像が表示される。このように、対応するゲート信号 V g 1 ~ V g 5 を切り替える複数の出力切替部 1 0 4 A ~ 1 0 4 E は、垂直ウィンドウ制御信号 V W S 又は遅延した垂直ウィンドウ制御信号 D V W S に制御可能な制御用スイッチを含む。また、他の方法において、複数の各出力切替部 1 0 4 A ~ 1 0 4 E は、垂直ウィンドウ制御信号 V W S 又は遅延した垂直ウィンドウ制御信号 D V W S によって、選択的に駆動されるバッファを含む。この場合、制御用スイッチ又はバッファは、対応するシフトレジスタステージと対応するゲートラインとの間に接続される。

20

【 0 0 5 2 】

図 5 においては、ゲートドライバ 1 0 4 が、第 1 ~ 第 5 シフトレジスタステージ S / R 1 ~ S / R 5 及び第 1 ~ 第 5 出力切替部 1 0 4 A ~ 1 0 4 E で構成された例を示したが、これは、説明の便宜を図るためにゲートドライバの一部分のみを示したものであり、シフトレジスタステージ及び出力切替部の数が拡張され得ることは、通常の知識を有する者であれば容易に理解できるであろう。また、図 5 のゲートドライバ 1 0 4 には、第 1 及び第 2 クロック C L K 1、C L K 2 を含む 2 位相クロックが使用されたものが説明されているが、これは一例に過ぎず、通常の知識を有する者であれば必要に応じて 3 位相以上のクロック（例えば、3 位相クロック、又は、4 位相クロック）が使用され得ることが理解されるであろう。

30

【 0 0 5 3 】

図 6 は図 5 内の第 1 シフトレジスタステージ (S / R 1 0) を詳細に説明するための回路図である。図 6 に示すように、第 1 シフトレジスタステージ S / R 1 は、第 1 ~ 第 7 トランジスタ T R 1 ~ T R 7 から構成される。第 1 トランジスタ T R 1 は、ゲートスタートパルス G S P の入力ラインに接続されたゲート端子と、第 1 供給電圧 V d d の入力ラインに接続されたソース端子と、第 3 トランジスタ T R 3 のゲート端子に接続されたドレイン端子とを含む。第 1 シフトレジスタ S / R 1 以外の他のシフトレジスタの場合、第 1 トランジスタ T R 1 のゲート端子は、以前のシフトレジスタステージの出力ラインに接続される。第 2 トランジスタ T R 2 のゲート端子及びソース端子は、第 1 供給電圧 V d d の入力ラインに接続される。第 2 トランジスタ T R 2 のドレイン端子は、反転ノード Q B に接続される。第 3 トランジスタ T R 3 のゲート端子は、前述したように、第 1 トランジスタ T R 1 のドレイン端子に接続される。第 3 トランジスタ T R 3 は、反転ノード Q B に接続されたソース端子と、第 4、第 5 及び第 7 トランジスタ T R 4、T R 5、T R 7 のドレイン端子と、第 2 供給電圧 V s s の入力ラインに接続されたドレイン端子とを含む。つまり、

40

50

第2トランジスタTR2のドレイン端子と、第3トランジスタTR3のソース端子とは、反転ノードQBに共通に接続される。第4トランジスタTR4は、ゲートスタートパルスGSPの入力ラインに接続されたゲート端子及び反転ノードQBに接続されたソース端子を含む。第1シフトレジスタステージS/R1以外の残りのシフトレジスタステージS/R2～S/R5の場合、第4トランジスタTR4のゲート端子は、以前のシフトレジスタステージS/R1～S/R4からのゲート信号Vg1～Vg4の入力ラインに接続される。第5トランジスタTR5は、反転ノードQBに接続されたゲート端子及び非反転ノードQに接続されたソース端子を含む。第6トランジスタTR6のゲート端子は非反転ノードQに接続される。第6トランジスタTR6のソース端子は、第1クロックCLK1の入力ラインに接続される。第1シフトレジスタステージS/R1のみでなく、残りの奇数番目のシフトレジスタステージS/R3、S/R5の場合も、第6トランジスタTR6のソース端子は、第1クロックCLK1の入力ラインに接続される。これとは異なり、偶数番目のシフトレジスタステージS/R2、S/R4においては、第6トランジスタTR6のソース端子は、第2クロックCLK2の入力ラインに接続される。第6トランジスタTR6のドレイン端子は、第1出力切替部104aの入力端子と、次のシフトレジスタステージS/R2の入力端子とに接続される。第7トランジスタTR7のゲート端子は、反転ノードQBに接続される。第7トランジスタTR7のソース端子は、第6トランジスタTR6のドレイン端子と、第1出力切替部104aの入力端子と、次のシフトレジスタステージS/R2の入力端子とに接続される。

10

【0054】

20

次に、上記構成を有する第1シフトレジスタステージS/R1の動作について詳細に説明する。第1クロックCLK1と第2クロックCLK2とは相反する位相を有し、ゲートスタートパルスGSPは、第1クロックCLK1のロー論理区間と一致するか、又は第1クロックCLK1のハイ論理区間の開始部分と一部重なる。ハイ状態のゲートスタートパルスGSPが発生すると、第1及び第4トランジスタTR1、TR4は、ターンオンする。高電位の第1供給電圧Vddは、ターンオンした第1トランジスタTR1を介して、非反転ノードQに充電されて非反転ノードQ上の電圧を上昇させる。非反転ノードQ上の電圧がしきい電圧レベル以上になると、第6トランジスタTR6は、第1クロックCLK1の入力ラインを、次のシフトレジスタステージS/R2及び対応する出力切替部（すなわち、第1出力切替部104a）の入力端子と電気的に接続させる。一方、ハイ論理のゲートスタートパルスに応答する第4トランジスタTR4は、反転ノードQB上に充電された電圧を介して、第2供給電圧Vssの入力ラインの方向に放電させ、反転ノードQB上の電圧を下降させる。さらに、非反転ノードQ上の電圧がしきい電圧より上昇すると、第3トランジスタTR3もターンオンして、反転ノードQB上の電圧を第2供給電圧Vssの入力ラインの方向に放電させる。これにより、反転ノードQB上の電圧は、第3及び第4トランジスタTR3、TR4によって迅速に低下する。反転ノードQB上の電圧がしきい電圧以下に低下すると、第5トランジスタTR5は、ターンオフ（Turn-off）して非反転ノードQ上の電圧が放電されないようにする。しきい電圧以下に低下した反転ノードQB上の電圧に응答する第7トランジスタTR7もターンオフし、第2供給電圧Vssの入力ラインが、次のシフトレジスタステージS/R2及び対応する出力切替部104Aの入力端子と電気的に分離される。

30

40

【0055】

このように、非反転ノードQがしきい電圧以上の電圧を維持する反転ノードQB上の電圧が、しきい電圧以下に低下した状態は、ゲートスタートパルスGSPがロー論理状態に移行しても、第1クロックCLK1がハイ論理状態に上昇し、その後、再びロー論理状態に移行するまで維持される。この状態から、第1クロックCLK1がハイ論理状態に上昇すると、次のシフトレジスタステージS/R2及び対応する出力切替部104Aの入力端子には、高電位のゲート信号Vg1が発生する。次のシフトレジスタステージS/R2及び対応する第1出力切替部104Aの入力端子上の高電位電圧によって、非反転ノードQ上の電圧が上昇し、第1クロックCLK1のハイ論理状態の電圧が、減衰せずに次のシフ

50

トレジスタステージ S / R 2 及び対応する出力切替部 1 0 4 A の入力端子に供給される。この結果、次のシフトレジスタステージ S / R 2 及び対応する出力切替部 1 0 4 A には、第 1 クロック C L K 1 のハイ論理区間と同じ幅（すなわち、水平同期信号の周期）を有する高電位のゲート信号 V g が供給される。

【 0 0 5 6 】

ゲートスタートパルス G S P がロー状態に移行すると、第 1 及び第 4 トランジスタ T R 1、T R 4 は、ターンオフする。非反転ノード Q に供給されていた第 1 供給電圧 V d d が第 1 トランジスタ T R 1 によって遮断されるが、反転ノード Q B から第 4 トランジスタ T R 4 を介して第 2 供給電圧 V s s の入力ラインに接続される放電通路が開放される。反転ノード Q B 上の電圧は、第 2 トランジスタ T R 2 を介して供給される第 1 供給電圧 V d d によって上昇する。反転ノード Q B 上の電圧がしきい電圧に達すると、第 5 及び第 7 トランジスタ T R 5、T R 7 がターンオンする。非反転ノード Q 上の電圧は、第 5 トランジスタ T R 5 を介して、第 2 供給電圧 V s s の入力ラインの方向に放電されて、徐々に低下する。次のシフトレジスタステージ S / R 2 及び対応する出力切替部 1 0 4 a の入力端子に、第 7 トランジスタ T R 7 を介して、低電位の第 2 供給電圧 V s s が供給される。非反転ノード Q の電圧がしきい電圧以下に低下すると、第 3 及び第 6 トランジスタ T R 3、T R 6 がターンオフする。ターンオフした第 6 トランジスタ T R 6 により、第 1 クロック C L K 1 の入力ラインは、次のシフトレジスタステージ S / R 2 及び対応する出力切替部 1 0 4 a の入力端子と電気的に分離される。また、反転ノード Q B から、第 3 トランジスタ T R 3 を介して、第 2 供給電圧 V s s の入力ラインに接続される放電通路も開放され、反転ノード Q B 上の電圧が放電されないようにする。これにより、しきい電圧以下の非反転ノード Q 上の電圧としきい電圧以上の反転ノード Q B 上の電圧とは、ハイ論理のゲートスタートパルス G S P が供給されるまで維持される。

【 0 0 5 7 】

このようなゲート信号の発生動作は、フレーム毎に（すなわち、垂直同期信号の周期毎に）、第 1 シフトレジスタ S / R 1 によって 1 回ずつ実行される。また、第 1 シフトレジスタステージ S / R 1 のゲート信号発生動作の終了後、残りのシフトレジスタステージ S / R 2 ~ S / R 5 も、順次ゲート信号発生動作を行う。これにより、複数のシフトレジスタステージ S / R 1 ~ S / R 5 においては、フレーム毎に（すなわち、垂直同期信号の周期毎に）、順次シフトされたゲート信号が 1 回ずつ出力される。

【図面の簡単な説明】

【 0 0 5 8 】

【図 1】従来の液晶表示装置を示すブロック図である。

【図 2】図 1 内のゲートドライバを詳細に説明するためのブロック図である。

【図 3】図 1 内のゲートドライバから出力された出力信号を説明するためのタイミングチャートである。

【図 4】本発明の実施の形態 1 による液晶表示装置を示すブロック図である。

【図 5】図 4 内のゲートドライバを詳細に説明するためのブロック図である。

【図 6】図 5 内の第 1 シフトレジスタを詳細に説明するための回路図である。

【符号の説明】

【 0 0 5 9 】

1 0 2 液晶パネル、1 0 4 ゲートドライバ、1 0 4 a ~ 1 0 4 e 第 1 ~ 第 5 出力切替部、S / R 1 ~ S / R 5 第 1 ~ 第 5 シフトレジスタステージ、1 0 6 a ~ 1 0 6 c データドライブ I C チップ、1 0 7 a ~ 1 0 7 c T C P、1 0 8 タイミングコントローラ、1 1 0 パーシャルコントローラ、1 1 0 A 遅延器、1 1 2 プリント基板、1 2 2 表示領域。

10

20

30

40

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 1 M	
	G 0 9 G 3/20 6 8 0 G	
	G 0 2 F 1/133 5 5 0	

(72)発明者 スホワン・ムン
大韓民国、キョンサンブク - ド、クミ - シ、サンモ - ドン、ウバンシンセゲ・タウン 1 0 5 - 9
0 1

(72)発明者 ドヒョン・キム
大韓民国、ブサン、ブサンチン - グ、ヤンジョン・2 - ドン 3 2 - 5 8 (2 4 / 3)

(72)発明者 チウン・チェ
大韓民国、キョンサンブク - ド、クミ - シ、チンピョン - ドン 1 0 3 9 - 2 (3 / 1)

F ターム(参考) 2H093 NC16 NC22 NC34 NC49 ND34 ND39 ND42 ND54
5C006 AC22 AF42 AF44 AF46 AF51 AF52 AF53 AF61 AF68 AF69
AF71 BC02 BC03 BC11 BC20 BF03 BF14 BF24 FA47
5C080 AA10 BB05 DD26 EE28 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2008003548A	公开(公告)日	2008-01-10
申请号	JP2006339019	申请日	2006-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	スホワンムン ドヒョンキム チウンチェ		
发明人	スホワン・ムン ドヒョン・キム チウン・チェ		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G11C19/28 G09G3/3677 G09G2300/0408 G09G2310/0286 G09G2310/04 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.621.D G09G3/20.622.G G09G3/20.622.Q G09G3/20.621.M G09G3/20.680.G G02F1/133.550 G09G3/20.612.L G09G3/20.623.C G09G3/20.660.Q G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC34 2H093/NC49 2H093/ND34 2H093/ND39 2H093/ND42 2H093/ND54 5C006/AC22 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF68 5C006/AF69 5C006/AF71 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF14 5C006/BF24 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE28 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 5B074/AA10 5B074/CA01		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020060055800 2006-06-21 KR		
其他公开文献	JP5069903B2		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种具有在液晶面板上部分显示图像功能的液晶显示装置及其驱动方法。形成在液晶面板上的栅极线和数据线，栅极驱动器向栅极线提供栅极信号，数据电压提供给液晶面板上的数据线。数据驱动器和部分控制器110，用于控制栅极驱动器，以切断提供给栅极线的部分栅极信号。点域4

