

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-524365  
(P2006-524365A)

(43) 公表日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 621B	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 611A	5C080
	G09G 3/20 622N	
	G09G 3/20 622Q	

審査請求 未請求 予備審査請求 未請求 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2006-513247 (P2006-513247)  
 (86) (22) 出願日 平成16年4月21日 (2004. 4. 21)  
 (85) 翻訳文提出日 平成17年12月14日 (2005.12.14)  
 (86) 国際出願番号 PCT/US2004/012545  
 (87) 国際公開番号 W02004/095404  
 (87) 国際公開日 平成16年11月4日 (2004. 11. 4)  
 (31) 優先権主張番号 10/421, 646  
 (32) 優先日 平成15年4月21日 (2003. 4. 21)  
 (33) 優先権主張国 米国 (US)

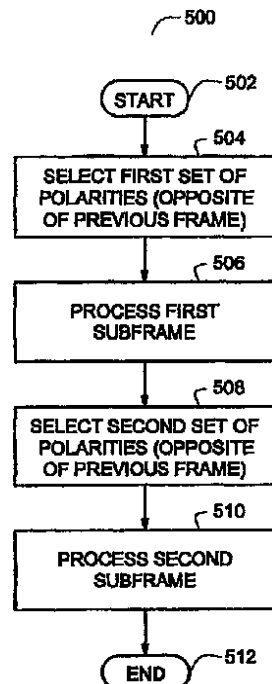
(71) 出願人 591175103  
 ナショナル・セミコンダクター・コーポレーション  
 NATIONAL SEMICONDUCTOR CORPORATION  
 アメリカ合衆国カリフォルニア州95050・サンタクララ・セミコンダクタードライブ 2900  
 (74) 代理人 100082005  
 弁理士 熊倉 禎男  
 (74) 代理人 100067013  
 弁理士 大塚 文昭  
 (74) 代理人 100086771  
 弁理士 西島 孝喜

最終頁に続く

(54) 【発明の名称】 フレームバッファ及び省電力シーケンスを備えるディスプレイシステム

(57) 【要約】

修正された極性パターンを有するLCD用のフレームを処理する方法が構成される。パターンは、フレーム内の画素位置によって観測されるライン反転及び/又はドット反転パターンを生じる極性反転方式を用いる。LCD内の列ドライバの駆動極性は、修正された極性パターンに従って切り換えられる。ディスプレイ上での各行のスキャン・シーケンスは、パターンと協働するように修正される。第1サブフレームは、駆動極性の第1セットを用いている間の第1時間間隔中にスキャンされる。第2サブフレームは、第1時間間隔と重なっていない第2時間間隔中にスキャンされる。本方法を適用することにより、ドット反転技術の利点を保持しながらLCDの列ドライバを少ない電力で動作させることができる。



## 【特許請求の範囲】

## 【請求項 1】

行及び列として編成されたLCDのための方法であって、前記LCDの列が列ドライバに関連付けられ、且つ前記LCD用のデータがフレーム内のラインに従って編成されており、

前記方法が、

特定のフレームからの少なくとも2つのラインを含む、第1サブフレーム用のラインの第1セットを選択する段階と、

前記特定のフレームからの少なくとも2つのラインを含み、且つ前記ラインの第1セットとは異なる、第2サブフレーム用のラインの第2セットを選択する段階と、

10

前記第1サブフレーム用の駆動極性の第1セットを選択する段階と、

前記駆動極性の第1セットとは異なる、前記第2サブフレーム用の駆動極性の第2セットを選択する段階と、

第1時間間隔中に前記LCDに前記駆動極性の第1セットを伝達する段階と、

第2時間間隔中に前記LCDに前記駆動極性の第2セットを伝達する段階と、

を含み、

前記第1時間間隔が前記第2時間間隔とは重ならず、これにより前記LCDは、ディスプレイ上の各画素の平均駆動電圧が経時的にゼロであるように交互する極性で前記フレームを表示可能であることを特徴とする方法。

## 【請求項 2】

20

行及び列として編成されたLCDのための方法であって、前記LCDの列が列ドライバに関連付けられ、且つ前記LCD用のデータがフレーム内のラインに従って編成されており、

前記方法が、

互いに隣接していない少なくとも2つのラインを含む、第1サブフレーム用のラインアドレスの第1セットを選択する段階と、

第2サブフレーム用のラインアドレスの第2セットを選択する段階と、

前記第1サブフレーム用の第1スキャン・シーケンス順序を選択する段階と、

前記第2サブフレーム用の第2スキャン・シーケンス順序を選択する段階と、

前記第1サブフレームが処理される間の初期の時間間隔中に極性の第1セットに従って前記列のドライバ極性を設定する段階と、

30

前記第1サブフレームが処理される間の次の時間間隔中に極性の第2セットに従って前記列のドライバ極性を設定する段階と、

前記第2サブフレームが処理される間の前記初期時間間隔中に極性の第3セットに従って前記列のドライバ極性を設定する段階と、

前記第2サブフレームが処理される間の次の時間間隔中に極性の第4セットに従って前記列のドライバ極性を設定する段階と、

前記第1サブフレームの各ラインを処理した後で前記第2サブフレームの各ラインを処理する段階とを含み、

前記第1サブフレームに関連付けられた前記極性は、前記第1サブフレームに関連付けられた各画素が経時的にゼロの平均駆動電圧を有するように選択され、前記第2サブフレームに関連付けられた極性は、前記第2サブフレームに関連付けられた各画素が経時的にゼロの平均駆動電圧を有するように選択され、

40

各特定のラインが、

前記特定のラインに関連付けられたデータを前記スキャン・シーケンス順序に従って前記列ドライバに結合する段階と、

前記特定のラインの前記列ドライバをイネーブルにする段階と、

前記特定のラインを行選択信号でイネーブルにする段階と、

によって処理されることを特徴とする方法。

## 【請求項 3】

50

前記第 1 サブフレームは、前記フレームの奇数ラインを含み、前記第 2 サブフレームは、前記フレームの偶数ラインを含むことを特徴とする請求項 2 に記載の方法。

【請求項 4】

前記極性の第 1 セットは、前記極性の第 2 セットに対して反転され、前記極性の第 3 セットは、前記極性の第 4 セットに対して反転されることを特徴とする請求項 2 に記載の方法。

【請求項 5】

前記極性の第 1 セットは、前記極性の第 4 セットと同じであり、前記極性の第 2 セットは、前記極性の第 3 セットと同じであることを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記第 2 時間間隔後に生じる、前記第 1 サブフレームが処理されている間の第 3 時間間隔中に、前記極性の第 1 セットに従って前記列ドライバ極性を設定する段階と、

前記第 2 サブフレームが処理される間の前記第 3 時間間隔中に前記列ドライバ極性を前記極性の第 2 セットに設定する段階と、

前記第 3 時間間隔後に生じる、前記第 1 サブフレームが処理されている間の第 4 時間間隔中に、前記列ドライバ極性を前記極性の第 2 セットに設定する段階と、

前記第 2 サブフレームが処理される間の前記第 4 時間間隔中に、前記列ドライバ極性を前記極性の第 1 セットに設定する段階と、

を更に含む請求項 5 に記載の方法。

【請求項 7】

前記初期時間間隔後に前記第 1 サブフレーム用の第 3 スキャン・シーケンス順序を選択する段階と、

前記初期時間間隔後に前記第 2 サブフレーム用の第 4 スキャン・シーケンス順序を選択する段階と、

を更に含む請求項 2 に記載の方法。

【請求項 8】

前記第 1 及び第 2 サブフレームとは異なるラインを含む第 3 サブフレーム用のラインアドレスの第 3 セットを選択する段階と、

前記第 3 サブフレーム用の第 3 スキャン・シーケンス順序を選択する段階と、

前記第 3 サブフレームが処理される間の初期時間間隔中に、極性の第 5 セットに従って前記列ドライバ極性を設定する段階と、

前記第 3 サブフレームが処理される間の次の時間間隔中に、極性の前記第 5 セットに対して反転された極性の第 6 セットに従って前記列ドライバ極性を設定する段階と、

を更に含む、

各ラインを処理する段階が、前記第 1 及び第 2 サブフレームの各ラインを処理した後で前記第 3 サブフレーム内の各ラインを処理する段階を更に含むことを特徴とする請求項 2 に記載の方法。

【請求項 9】

前記行選択信号で前記特定のラインをイネーブルにする段階が、前記特定のラインに関連付けられたラインアドレスを復号する段階と、前記ラインアドレスに関連付けられた行選択ラインをアクティブにする段階とを含む請求項 2 に記載の方法。

【請求項 10】

行及び列として編成された LCD のための装置であって、前記 LCD 用のデータがフレーム内のラインに従って編成され、

前記装置が、

ディスプレイ画像データを記憶するように構成され、更に前記 LCD が前記ディスプレイ画像データを処理できるように前記 LCD に前記ディスプレイ画像データを結合するよう構成されたメモリ回路と、

前記メモリ回路に結合されたディスプレイ制御回路と、

を備え、

10

20

30

40

50

- 前記ディスプレイ制御回路が、  
 前記ディスプレイ画像データを受信し、  
 前記ディスプレイ画像データを前記メモリ回路に転送し、  
 互いに隣接していない少なくとも2つのラインを含む第1サブフレーム用のラインアドレスの第1セットを選択し、  
 第2サブフレーム用のラインアドレスの第2セットを選択し、  
 第1フレームの前記第1サブフレーム用の第1スキャン・シーケンス順序を選択し、  
 前記第1フレームの第2サブフレーム用の第2スキャン・シーケンス順序を選択し、  
 第2フレームの前記第1サブフレーム用の第3スキャン・シーケンス順序を選択し、  
 前記第2フレームの第2サブフレーム用の第4スキャン・シーケンス順序を選択し、  
 複数の列ドライバの列ドライバ極性が、前記第1フレームの第1サブフレームが処理される間の第1時間間隔中は極性の第1セットに対応し、前記第1フレームの第2サブフレームが処理される間の第2時間間隔中は極性の第2セットに対応し、前記第2フレームの第1サブフレームが処理される間の前記第3時間間隔中は極性の第3セットに対応し、前記第2フレームの第2サブフレームが処理される間の前記第4時間間隔中は極性の第4セットに対応するように、前記列ドライバ極性を制御し、前記LCDの各画素は経時的にゼロの平均電圧に対応する関連した駆動電圧を有し、前記第2サブフレームは各フレームの前記第1サブフレームの後で処理され、
- 前記第1時間間隔中の前記第1スキャン・シーケンス順序、前記第2時間間隔中の前記第2スキャン・シーケンス順序、前記第3時間間隔中の前記第3スキャン・シーケンス順序、及び前記第4時間間隔中の前記第4スキャン・シーケンス順序に従って、前記ディスプレイ画像データが前記メモリ回路から前記LCDに転送されるように前記ディスプレイ画像データの転送を制御し、
- 前記第1時間間隔中の前記第1スキャン・シーケンス順序、前記第2時間間隔中の前記第2スキャン・シーケンス順序、前記第3時間間隔中の前記第3スキャン・シーケンス順序、及び前記第4時間間隔中の前記第4スキャン・シーケンス順序に従って前記行がスキャンされるように前記行のスキャンを制御する、  
 ように構成されていることを特徴とする装置。
- 【請求項11】
- 前記ラインアドレスの第1及び第2セットは、ライン反転極性パターンを有するディスプレイが前記画素位置で観測されるように選択されることを特徴とする請求項10に記載の装置。
- 【請求項12】
- 前記ラインアドレスの第1及び第2セットは、ドット反転極性パターンを有するディスプレイが前記画素位置で観測されるように選択されることを特徴とする請求項10に記載の装置。
- 【請求項13】
- 前記第1、第2、第3、及び第4スキャン・シーケンス順序は、奇数行が最初にスキャンされ、続いて偶数行がスキャンされるように選択されることを特徴とする請求項10に記載の装置。
- 【請求項14】
- 前記メモリ回路、前記ディスプレイ制御回路、及び前記LCDに結合され、前記複数の列ドライバを含み、前記列を駆動するように構成されている列ドライバ回路と、  
 前記ディスプレイ制御回路と前記LCDに結合され、前記行をスキャンするように構成されたゲートドライバ回路と、  
 前記ディスプレイ制御回路と前記LCDに結合され、前記LCDに共通プレート電圧を供給するように構成された共通プレート電圧ドライバ回路と、  
 を更に備える請求項10に記載の装置。
- 【請求項15】
- 前記第1、第2、第3、及び第4スキャン・シーケンス順序は、奇数行が最初にスキャン

10

20

30

40

50

ンされ、偶数行が続いてスキャンされるように選択され、前記ディスプレイ制御回路は、出力イネーブル信号及び開始信号を供給するように構成されており、前記出力イネーブル信号は、2クロックパルス毎に1回アクティブになり、前記ゲートドライバ回路は、前記出力イネーブル信号と前記開始信号に 응답し、その結果、該ゲートドライバ回路が前記開始信号の第1パルスを受信した後で前記LCDの前記奇数行の各々がスキャンされ且つ前記ゲートドライバ回路が前記開始信号の第2パルスを受信した後で前記LCDの前記偶数行の各々がスキャンされるようになることを特徴とする請求項14に記載の装置。

【請求項16】

前記第1、第2、第3、及び第4スキャン・シーケンス順序は、奇数行が最初にスキャンされ、偶数行が続いてスキャンされるように選択され、前記ゲートドライバ回路は、複数のフリップフロップを含むシフトレジスタを備え、前記複数のフリップフロップの各々は、前記複数のフリップフロップの各々の出力がイネーブルにされるときに前記LCDの各行がスキャンされるように前記LCDの前記行の1つに関連付けられ、前記複数のフリップフロップは、前記奇数行の各々が最初にスキャンされ、前記偶数行の各々が続いてスキャンされるように配列されることを特徴とする請求項14に記載の装置。

10

【請求項17】

前記ディスプレイ制御回路は更に、現在のラインアドレスに対応するラインアドレス信号を生成し、前記ディスプレイ画像データのラインが前記列ドライバ回路に結合されるように前記ディスプレイ画像データの転送を制御するように構成されており、ディスプレイ画像データのラインは、前記現在のラインアドレスに関連付けられ、前記ゲートドライバ回路はアドレスデコーダ回路を備え、前記アドレスデコーダ回路は、前記ラインアドレス信号に 응답して前記現在のラインアドレスに対応する行をスキャンするように構成されていることを特徴とする請求項14に記載の装置。

20

【請求項18】

行及び列として編成されたLCD用の装置であって、前記LCDのためのデータがフレーム内のラインに従って編成され、

前記装置が、

ディスプレイ画像データを記憶するように構成されているデータ記憶手段と、

前記データ記憶手段にディスプレイ画像データを転送するように構成されている第1データ転送手段と、

30

前記LCDが前記ディスプレイ画像データを処理できるように、前記データ記憶手段から前記LCDにディスプレイ画像データを転送するように構成されている第2データ転送手段と、

互いに隣接していない少なくとも2つのラインを含む第1サブフレーム用のラインアドレスの第1セットを選択するように構成されている第1選択手段と、

第2サブフレーム用のラインアドレスの第2セットを選択するように構成されている第2選択手段と、

前記第1サブフレーム用の第1スキャン・シーケンス順序を選択するように構成されている第3選択手段と、

前記第2サブフレーム用の第2スキャン・シーケンス順序を選択するように構成されている第4選択手段と、

40

前記第1サブフレーム用の第3スキャン・シーケンス順序を選択するように構成されている第5選択手段と、

前記第2サブフレーム用の第4スキャン・シーケンス順序を選択するように構成されている第6選択手段と、

複数の列ドライバの列ドライバ極性が、前記第1フレームの第1サブフレームが処理される間の第1時間間隔中は極性の第1セットに対応し、前記第1フレームの第2サブフレームが処理される間の第2時間間隔中は極性の第2セットに対応し、前記第2フレームの第1サブフレームが処理される間の前記第3時間間隔中は極性の第3セットに対応し、前記第2フレームの第2サブフレームが処理される間の前記第4時間間隔中は極性の第4セ

50

ットに対応するように、前記列ドライバ極性を制御するように構成されている列ドライバ制御手段であって、前記LCDの各画素は経時的にゼロの平均電圧に対応する関連した駆動電圧を有し、前記第2サブフレームは各フレームの前記第1サブフレームの後で処理されることを特徴とする列ドライバ制御手段と、

前記第1時間間隔中の前記第1スキャン・シーケンス順序、前記第2時間間隔中の前記第2スキャン・シーケンス順序、前記第3時間間隔中の前記第3スキャン・シーケンス順序、及び前記第4時間間隔中の前記第4スキャン・シーケンス順序に従って、ディスプレイ画像データが前記データメモリ回路から前記LCDに転送されるように、前記メモリ回路から前記LCDへの前記ディスプレイ画像データの転送を制御するように構成されているデータ転送制御手段と、

10

前記第1時間間隔中の前記第1スキャン・シーケンス順序、前記第2時間間隔中の前記第2スキャン・シーケンス順序、前記第3時間間隔中の前記第3スキャン・シーケンス順序、及び前記第4時間間隔中の前記第4スキャン・シーケンス順序に従って前記行がスキャンされるように前記行のスキャンを制御するように構成されている行スキャン制御手段と、

を備える装置。

【請求項19】

前記列ドライバ制御手段は、フレーム反転極性パターン、列反転極性パターン、ドット反転極性パターン、及びライン反転極性パターンのうちの1つが前記画素位置で観測されるように構成されていることを特徴とする請求項18に記載の装置。

20

【請求項20】

前記第1及び第2選択手段は、奇数行が最初にスキャンされ、偶数行が次にスキャンされるように構成されていることを特徴とする請求項18に記載の装置。

【請求項21】

前記ラインアドレスの第1及び第2セットは、フレーム反転極性パターンと列反転極性パターンのうちの1つが前記画素位置で観測されるように選択されることを特徴とする請求項10に記載の装置。

【請求項22】

前記第1スキャン・シーケンス順序は非連続であり、前記第2スキャン・シーケンス順序は連続していないことを特徴とする請求項2に記載の装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LCD（液晶ディスプレイ）の分野に関し、更に具体的には、電力損失が低減されたLCDのスキャン方法に関する。

【背景技術】

【0002】

液晶ディスプレイ（LCD）は、長期間DC電位を受けると劣化する。画素電極両端の長期にわたるDC電位は、電極上の液晶内にイオン不純物の電気めっきを発生させる電界を生じる。イオン不純物の電気めっきは、ディスプレイ上に残像を生じる画素電極上の残留磁界を発生する。

40

【0003】

LCDの駆動電圧は通常、LCDの劣化を最小にするためにほぼゼロのDC成分を有する。画素は、通常は、画素の平均電圧をほぼゼロに維持しながら画像を表示するためにRMS電圧値を供給する交流駆動電圧で駆動される。画素は、同じ振幅の逆極性で駆動される場合、ほぼ同じ輝度を有することになる。

【0004】

ディスプレイを駆動するのに通常使用される4つの極性方式は、フレーム反転、ライン反転、列反転、及びドット反転である。ディスプレイの画素は、行1から始まる行によって連続してアドレス指定される。行の画素の全ては、共通のプレート及びゲートラインを

50

有する。

【0005】

図1は、フレーム反転の実施例を示す。フレームの全画素には、フレーム反転が使用される場合同じ極性で帯電される。各画素は、次のフレームでの逆極性で駆動される。極性は、平均DC電位ゼロを確保するためにフレームの変更後毎に反転される。

【0006】

図2は、ライン反転の実施例を示す。パネル上の隣接するラインは、ライン反転が使用される場合、逆の極性が帯電される。極性は、平均DC電位ゼロを確保するために各新しいフレームがスキャンされる前に反転される。

【0007】

図3は、列反転の実施例を示す。隣接する列の画素は、列反転が使用される場合、逆の極性が帯電される。フレーム内の各列の画素の極性は同じである。しかしながら、各列の極性は各フレームで反転される。例えば、図3に示されるようなフレームNでは、列1及び3には正極性が帯電され、列2及び4には負極性が帯電される。次のフレームであるフレームN+1では、列1及び3には負極性が帯電され、列2及び4には正極性が帯電される。

10

【0008】

図4は、ドット反転の実施例を示す。水平及び垂直の両方向の隣接する画素は、ドット反転が使用される場合、逆極性を有する。各画素の極性は、平均DC電位ゼロを確保するために各新しいフレームがスキャンされる前に反転される。

20

【0009】

フレーム反転及びライン反転は、共通プレート電圧(Vcom)変調として知られる駆動技術によって達成できる。Vcom変調が実行される場合には低電圧出力範囲(通常は5V)を有するドライバを使用することができる。

【0010】

極性方式によって影響を受ける可能性のあるLCDに発生する場合のある3つのアーティファクト、すなわちフリッカ、水平クロストーク、及び垂直クロストークがある。フレーム反転は、フリッカ、水平クロストーク、及び垂直クロストークの影響を受けやすい。ライン反転は、フリッカ及び垂直クロストークを低減し、列反転は、フリッカ及び水平クロストークを低減する。ドット反転は、フリッカ、水平クロストーク、及び垂直クロストークを低減し、最高の画質をもたらす。

30

【0011】

LCDの駆動に伴う電力損失は、使用されている極性反転方式によって影響を受ける。ディスプレイを駆動するのに必要な電力は、列ライン電圧の極性反転の周波数に比例する。フレーム及び列反転は、フレームレートに等しい極性反転周波数を有し、ライン及びドット反転は、全フレームの全ラインと反対の極性を有する。従って、LCDが240行を有する場合、ライン反転は、フレーム反転の約240倍の電力を消費する。

【0012】

本明細書及び請求項を全体を通じて、以下の用語は、文脈によって明らかに他の意味に指定されない限り、本明細書で明示的に関連付けられた意味をとる。単数形は複数の意味を含み、「内において」は、「内において」及び「の上で」の意味を含む。「接続された」という用語は、どのような中間の装置もなく接続された要素間の直接の電氣的接続を意味する。「結合された」という用語は、接続される要素間の直接の電氣的接続、或いは1つ又はそれ以上の受動的装置又は能動的な中間装置を介した間接的接続を意味する。「回路」という用語は、望ましい機能を提供するために結合される能動及び/又は受動の単一又は複数の構成要素のいずれかを意味する。「信号」という用語は、少なくとも1つの電流、電圧、電荷、又はデータ信号を意味する。図面を参照すると、同じ番号は図面全体を通じて同じ要素を示している。

40

【発明の開示】

【0013】

50

本発明は、電力損失が低減された新規のディスプレイスキャン・シーケンスに関する。本発明は更に、ライン反転又はドット反転の極性パターンが画素位置で観測される表示を実現する新規のスキャン・シーケンス及び修正された極性反転方式に関する。ライン反転又はドット反転極性パターンが画素パターンで観測される表示は、1行につき1回の速度よりも有意に遅い速度で列電圧の駆動極性を切り換える間に達成される。更に本発明は、第1極性を有する行の全てを最初にスキャンし、続いて、逆極性を有する行をスキャンするように行のスキャン・シーケンスを変更することに関する。

【0014】

本発明は更に、ライン反転又はドット反転の画質に関する利点を確保しながら、フレーム又は列反転の電力消費に関する利点を得ることに関する。1つの実施例によれば、本発明は、ディスプレイAC電力がシステム電力の有意な割合を占めることになるので、従来からのスキャン表示と比較して、携帯電話機、PDA、及びパームPCなどの携帯用製品で重要な特長となり得る低電力損失を提供することに関する。1つの実施例によれば、本発明は、携帯電話機用途のシステムスタンバイモード中に部分的にスキャンされる表示の必要性を排除することに関する。

10

【発明を実施するための最良の形態】

【0015】

図5Aは、本発明の態様によるLCD用の例示的なプロセス(500)を示す。処理は、開始ブロック502で始まる。

【0016】

開始ブロック502の後、処理はブロック504に進む。ブロック504では、列ドライバの極性の第1セットが選択される。例えば、画素位置に生じるライン反転パターンが要求される場合、各列は、正又は負の同じ極性が選択される。或いは、画素位置に生じるドット反転パターンが要求される場合、隣接する列の各々は、交互の極性を有するように選択することができる。列ドライバの極性の第1セットは、各画素の関連する電圧が経時的にほぼゼロに対応するように選択される。次いで、処理はブロック504からブロック506に進む。

20

【0017】

ブロック506で、第1サブフレームが処理される。例えば、第1サブフレームは、フレームの全ての偶数ラインのセットを含むことができる。処理は、ブロック506からブロック508に進む。ブロック508では、列ドライバの極性の第2セットが選択される。例えば、列ドライバの各々の極性の第2セットは、極性の第1セットで列ドライバの各々について選択されたものと逆の極性に対応させることができる。1つのライン反転の実施例によれば、極性の第1セットでは、各列が正極性を有するように選択され、極性の第2セットでは、各列が負極性のセットを有するように選択することができる。1つのドット反転の実施例によれば、極性の第1セットは、奇数の列ドライバの各々について正極性とし、偶数の列ドライバの各々について負極性とすることができる。ドット反転の実施例の極性の第2セットは、奇数の列ドライバの各々について負極性とし、偶数の列ドライバの各々について正極性とすることができる。列ドライバの極性の第2セットは、各画素の関連する電圧が経時的にほぼゼロに対応するように選択される。

30

40

【0018】

次に、プロセスはブロック508からブロック510に進む。ブロック510で、第2サブセットのラインが処理される。例えば、第2サブセットは、フレームの奇数ラインの全てを含むことができる。

【0019】

図5Bは、本発明の態様によるLCDの別の例示的なプロセス(550)を示す。処理は、開始ブロック552から始まる。

【0020】

開始ブロック552後、プロセスはブロック554に進む。ブロック554では、ラインアドレスが、次のフレームの第1サブフレームの第1ラインに対応するように初期化さ

50

れる。各フレームは、複数のサブフレームを含む。例えば、フレームは2つのサブフレームを含むことができ、第1サブフレームがフレームの全奇数ラインからなり、第2サブフレームがフレームの全偶数ラインからなる。次にプロセスはブロック554からブロック556に進む。ブロック556で、現在ラインがビデオメモリから読み取られる。次にプロセスはブロック556からブロック558に進む。ブロック558で、現在のラインアドレスに対応する行がスキャンされる。次にプロセスは、ブロック558から決定ブロック560に進む。決定ブロック560で、プロセスは、現在ラインが現在のサブフレームの最終ラインであるかどうかを判定する。現在ラインが現在のサブフレームの最終ラインである場合、プロセスは決定ブロック560からブロック563に進む。或いは、現在ラインが現在のサブフレームの最終ラインではない場合、プロセスは決定ブロック560からブロック562に進む。ブロック562で、ラインアドレスは、現在のサブフレームの次のラインに対応するよう調節される。1つの実施例によれば、ラインアドレスは2ずつ増分する。現在のセットの次のラインは、現在のサブフレームのラインの修正されたスキャン・シーケンス順序において次のラインを示す。次にプロセスは、ブロック562からブロック556に進む。

#### 【0021】

決定ブロック563で、フレームの全てのサブフレームが処理されたかどうかを評価する。フレームの全てのサブフレームが処理されると、プロセスは、決定ブロック563から決定ブロック568に進む。或いは、フレームのサブフレームの全てが処理されていない場合、プロセスは決定ブロック563からブロック564に進む。ブロック564で、列ドライバの極性が切り換えられる。次にプロセスはブロック564からブロック566に進む。ブロック566で、現在のフレームの次のサブフレームの第1ラインに対応するようラインアドレスが調節される。例えば、次のサブフレームは、現在のフレームの全偶数ラインからなるものとする事ができる。次にプロセスは、ブロック566からブロック556に進む。

#### 【0022】

決定ブロック568で、プロセスは、列ドライバの極性が正しいかどうか評価する。列ドライバの極性が、スキャンされる次の行の前回スキャン時に列ドライバが持っていた極性と反対の極性に対応する場合、列ドライバの極性は正しい。列ドライバの極性が正しい場合、プロセスは決定ブロック568からブロック554に進む。或いは、列ドライバの極性が正しくない場合、プロセスは決定ブロック568からブロック570に進む。ブロック570で、列ドライバの極性が切り換えられる。次に処理はブロック570からブロック554に進む。

#### 【0023】

修正されたスキャン・シーケンス順序は、予め決められた順序に対応させることができる。或いは、修正されたスキャン・シーケンス順序は、ランダム又は疑似ランダム順序に対応させることができる。ランダム順序に対応する修正されたスキャン・シーケンス順序を選択することにより、クロストークアーティファクトを低減できる。

#### 【0024】

図6は、本発明の態様により構成されたディスプレイシステム(600)を示す。ディスプレイシステム600は、LCD604、列ドライバ回路606、ゲートドライバ回路608、ディスプレイ制御回路612、ビデオメモリ回路614、及びVCOMドライバ回路616を含む。

#### 【0025】

ビデオメモリ回路614は、ノードN620に結合された入力と、ノードN628に結合された出力とを有する。ディスプレイ制御回路612は、ノードN626に結合された入力、ノードN620に結合された第1出力、ノードN622に結合された第2出力、ノードN624に結合された第3出力、及びノードN630に結合された第4出力を有する。列ドライバ回路606は、ノードN622に結合された第1入力、ノードN628に結合された第2入力、及びノードN640に結合された出力を有する。ゲートドライバ回路

608は、ノードN624に結合された入力と、ノードN642に結合された出力とを有する。Vcomドライバ回路616は、ノードN630に結合された入力と、ノードN632に結合された出力とを有する。LCD604は、ノードN640、ノードN642、及びノードN632に結合される。

【0026】

列ドライバ回路606は、D/A変換を行い且つLCD604の列を駆動するように構成されている。列ドライバ回路606は、ガラス上の垂直に走る電極を駆動するように構成されており、ここで各電極はその列のトランジスタに関連付けられる。列ドライバ606は、ラインバッファを含む。1つの実施例によれば、列ドライバの各々は、LCD(604)の関連する列を駆動する。別の実施例によれば、各列ドライバは、複数のコラムを駆動する。

10

【0027】

Vcomドライバ回路616は、LCD604の共通プレートに共通プレート電圧を供給するように構成されている。ライン反転は、Vcom変調によって達成できる。共通プレート電圧は、Vcom変調が実装される場合は列ドライバ出力と同期して変調される。或いは、Vcom変調が実装されない場合は、Vcomドライバ回路616は安定した共通プレート電圧を供給するように構成されている。

【0028】

ゲートドライバ回路608は、以下に更に詳細に説明されるように、ラインがビデオメモリ回路614から読み取られるのと同じ修正されたスキャン・シーケンス順序で行の各々をスキャンするように構成されている。

20

【0029】

ビデオメモリ回路614は、ディスプレイ画像データを記憶するように構成されている。ディスプレイ制御回路612は、マイクロプロセッサ(616)から書き込まれるデータとディスプレイリフレッシュ用に読み込まれるデータとを調整し、LCD604のリフレッシュシーケンスを制御するように構成されている。ディスプレイ制御回路612は更に、マイクロプロセッサ616からディスプレイのためのデータを受信し、このデータをビデオメモリ回路614に転送して、列ドライバ606へのデータの転送を制御するように構成されている。ディスプレイ制御回路612は更に、列ドライバ回路606の極性を制御し、列ドライバ回路606の駆動電圧及びデジタル/アナログ変換特性に影響を与える信号を列ドライバ回路606に送るように構成されている。ディスプレイ制御回路612は更に、データのラインが修正されたスキャン・シーケンス順序でビデオメモリ回路614から読み取られるように、ビデオメモリ回路614からのデータの転送を制御するように構成されている。ディスプレイ制御回路612は更に、Vcomドライバ回路616を制御することによって共通プレート電圧を制御するように構成されている。

30

【0030】

1つの実施例によれば、ディスプレイシステム600は、LCD604が画素位置で観測されるライン反転又はドット反転極性パターンで表示を行う間に、列ドライバの極性が1フレームにつき1回反転されるようにLCD604の行をスキャンするよう構成されている。小型LCD(604)では、水平クロストークは有意な問題にはならないので、ライン反転は、許容可能なイメージング品質を提供できる。1つの実施例によれば、ゲートドライバ回路608は、第1行、次いで第3行、次に第5行など、奇数行の全てがスキャンされるまでスキャンを行うように構成されている。次いで、ディスプレイ制御回路612は列ライン極性を反転する。次に、ゲートドライバ608は、第2行、次いで第4行、次に第6行など、偶数行の全てがスキャンされるまでスキャンを行う。他の実施例によれば、各サブフレームのラインは、異なるシーケンスで処理される。別の代替の実施例によれば、ゲートドライバ608は、2つよりも多いサブフレーム用に構成される。

40

【0031】

ディスプレイシステム600は、システムフレームバッファ内に記憶されたデータの読み出しシーケンスを制御するように構成されている。またディスプレイシステム600は

50

、フレームバッファの読み出しシーケンスを一致させるために、ゲートドライバのスキャンパターンを制御するように構成されている。従来、大型のLCD用途では、グラフィックコントローラ又はホストシステムがフレームバッファ読み出しを制御する。プロセス500は、システムの外部の別個のディスプレイにリフレッシュデータを提供する要件を持たない列ドライバ回路を備えた一体型フレームバッファを含む小型LCDアプリケーションではより容易に達成され、ここでは標準データシーケンス及び予め決められたデータシーケンスが要求されることになる。一体型フレームバッファを有するディスプレイアーキテクチャでは、プロセス500は、ディスプレイリフレッシュ回路に対するわずかな論理変更だけで実施することができる。或いは、プロセス500は、他の用途でも実施することができる。

10

#### 【0032】

図7は、ゲートドライバ回路608の第1の実施例を示す。ゲートドライバ回路608は、シフトレジスタ702、レベルシフタLS1 - LS240、及びANDゲートG1 - G240を含む。シフトレジスタ702は、DフリップフロップD1 - D240を含む。

#### 【0033】

フリップフロップD1は、ノードN730に結合されたD入力、及びノードN732に結合されたクロック入力を有する。フリップフロップD240は、ノードN734に結合されたQ出力を有する。レベルシフタLS240の入力は、ノードN734に結合される。ANDゲートG1 - G240の各々の第1入力はそれぞれ、ノードN736に結合される。フリップフロップD1 - D239の各々のQ出力はそれぞれ、レベルシフタLS1 - LS239の各々の入力にそれぞれ結合される。フリップフロップD2 - D240の各々のD入力はそれぞれ、フリップフロップD1 - D239の各々のQ出力にそれぞれ結合される。レベルシフタLS1 - LS240の各々の出力はそれぞれ、ANDゲートG1 - G240の各々の第2入力にそれぞれ結合される。ANDゲートG1 - G240の各々の出力はそれぞれ、LCD604の列1 - 240の各トランジスタのゲートにそれぞれ結合される。例示的なゲートドライバ回路608は、240行を含む例示的なLCD(604)について図示されている。しかしながら、どのような数の行を使用してもよい。

20

#### 【0034】

動作中、信号start\_inがノードN730に加えられ、クロック信号(CLK)がノードN732に加えられ、出力イネーブル信号(OE)がノードN736に加えられ、信号start\_outがノードN734で生成され、LCD604の行の各々が、以下に詳細に説明するように適切な場合にはイネーブルにされる。

30

#### 【0035】

DフリップフロップD1 - D240の各々はそれぞれ、信号LS\_in1 - LS\_in240をそれぞれ生成する。レベルシフタLS1 - LS240の各々はそれぞれ、信号LS\_in1 - LS\_in240それぞれに応じて個々に信号LS\_out1 - LS\_out240を生成する。レベルシフタLS1 - LS240は各々、その入力をLCDのトランジスタのゲートを駆動するのに必要なレベルまでシフトする。ANDゲートG1 - G240の各々はそれぞれ、信号OE及び信号LS\_out1 - LS\_out240それぞれにตอบสนองして、信号GD1 - GD240をそれぞれ生成する。各ANDゲートG1 - 240はそれぞれ、信号OE及び信号LS\_out1 - LS\_out240それぞれが共にアクティブである場合だけ、アクティブレベルにある信号GD1 - GD240をそれぞれ生成するように構成されている。各信号GD1 - GD240はそれぞれ、信号GD1 - GD240それぞれがアクティブな場合に列1 - 240をそれぞれイネーブルにする。

40

#### 【0036】

要約すると、図7に示された行ドライバ608の実施例は、奇数行だけがイネーブルにされ、信号start\_inでの第2パルス後に偶数行だけがイネーブルにされるように、信号start\_inでの第1パルス後に行ドライバ608を倍クロックする。信号start\_inがアクティブレベルに遷移するとスキャン・シーケンスが始まる。次の正のクロック遷移で、フリップフロップD1のQ出力での信号LS\_in1がhighに遷

50

移する。信号OEはイナクティブであり、従って信号GD1はイナクティブである。信号OEは、ブレークビフォメイク方式の一部としてイナクティブである。続いて、信号OEがアクティブレベルに遷移する。信号OEと信号LS\_out1が共にアクティブであるので、信号GD1は、行1がイネーブルになるアクティブレベルに遷移する。

【0037】

続いて、信号OEがイナクティブレベルに遷移することにより、信号GD1がイナクティブレベルに遷移し、次いで行1がディスエーブルになる。次の正のクロック遷移では、信号OEはイナクティブであり、クロックパルス全体を通じイナクティブのままである。従って、行2はイネーブルにされない。次の正の遷移では、OEはクロックパルスの開始時には依然としてイナクティブである。続いて、信号OEはアクティブレベルに遷移し、これにより信号GD3がアクティブレベルに遷移し、行3がイネーブルになる。信号OEがイナクティブであると共に、LS\_out1からLS\_out-240までの偶数信号がアクティブであるので、1から240までの奇数行の各々は、同様にして引き続きイネーブルにされるが、1から240までの偶数行はイネーブルにされない。

10

【0038】

1から240までの奇数行がイネーブルにされた後、信号start\_inに第2パルスが存在する。次の正クロック遷移で、信号LS\_in1はアクティブレベルに遷移するが、信号OEはクロックパルス全体を通じてイナクティブのままであり、その結果、行1はディスエーブルのままになる。次のクロックパルス中、信号LS\_in2はアクティブレベルであり、信号OEはアクティブレベルに遷移し、その結果、行2がイネーブルになる。LS\_out1からLS\_out240までの奇数信号はアクティブである間は信号OEがイナクティブであるので、1から240までの偶数行の各々は、引き続き同様の方法でイネーブルにされ、1から240までの奇数行はイネーブルにされない。

20

【0039】

ゲートドライバ回路608の多くの代替の実施形態がある。例えば、ANDゲートの順序及びレベルシフタは、反転させてもよい。

【0040】

図8は、本発明の態様に従って構成されたゲートドライバ回路608の第2の実施例を示す。ゲートドライバ回路608は、シフトレジスタ702、レベルシフタLS1-L240、及びANDゲートG1-G240を含む。シフトレジスタ702は、DフリップフロップD1-D240を含む。

30

【0041】

フリップフロップD1は、ノードN730に結合されたD入力とノードN732に結合されたクロック入力とを有する。フリップフロップD240は、ノードN734に結合されたQ出力を有する。レベルシフタLS240の入力は、ノードN734に結合される。ANDゲートG1-G240の各々の第1入力はそれぞれ、ノードN736に結合される。フリップフロップD1-D239の各々のQ出力はそれぞれ、レベルシフタLS1-L239の各々の入力にそれぞれ結合される。D3からD239までの奇数フリップフロップの各々のD入力はそれぞれ、D1からD237までの奇数フリップフロップの各々のQ出力にそれぞれ結合される。

40

【0042】

フリップフロップD2のD入力は、フリップフロップ239のQ出力に結合される。4から240までの偶数フリップフロップの各々のD入力は、2から238までの偶数フリップフロップの各々のQ出力にそれぞれ結合される。レベルシフタLS1-L240の各々の出力はそれぞれ、ANDゲートG1-G240の各々の第2入力にそれぞれ結合される。ANDゲートG1-G240の各々の出力はそれぞれ、LCD604の行1-240の各トランジスタのゲートにそれぞれ結合される。例示的なゲートドライバ回路608は、240行を含むLCD604について示されている。しかしながらどのような数の行であってもよい。

【0043】

50

動作中、信号 `start_in` がノード `N730` に加えられ、クロック信号 (`CLK`) がノード `N732` に加えられ、出力イネーブル信号 (`OE`) がノード `N736` に加えられ、`start_out` 信号がノード `N734` で生成され、`LCD604` の行の各々が、以下に詳細に説明されるように適切な場合にはイネーブルにされる。

【0044】

`D` フリップフロップ `D1 - D240` の各々はそれぞれ、信号 `LS_in1 - LS_in240` をそれぞれ生成する。レベルシフト `LS1 - LS240` の各々はそれぞれ、信号 `LS_in1 - LS_in240` それぞれに回答して信号 `LS_out1 - LS_out240` をそれぞれ生成する。レベルシフト `LS1 - LS240` は各々、`LCD` のトランジスタのゲートを駆動するのに必要なレベルまでレベルシフトの入力をシフトする。`AND` ゲート `G1 - G240` の各々はそれぞれ、信号 `OE` と信号 `LS_out1 - LS_out240` にそれぞれ回答して信号 `GD1 - GD240` をそれぞれ生成する。各 `AND` ゲート `G1 - G240` はそれぞれ、信号 `OE` と信号 `LS_out1 - LS_out240` のそれぞれが共にアクティブである場合にだけ信号 `GD1 - GD240` をアクティブレベルでそれぞれ生成する。各信号 `GD1 - GD240` はそれぞれ、信号 `GD1 - GD240` がそれぞれアクティブである場合に行 `1 - 240` をそれぞれイネーブルにする。

10

【0045】

スキャン・シーケンスは、信号 `start_in` がアクティブレベルに遷移したときに開始する。次の正クロック遷移では、フリップフロップ `D1` の `Q` 出力での信号 `LS_in1` は `high` に遷移する。信号 `OE` はイネーブルであり、従って信号 `GD1` はイネーブルである。信号 `OE` は、ブレークビフォメイク方式の一部としてイネーブルである。続いて、信号 `OE` はアクティブレベルに遷移する。信号 `OE` と信号 `LS_out1` が共にアクティブであるので、信号 `GD1` はアクティブであり、これにより行 `1` がイネーブルになる。続いて、信号 `OE` はイネーブルレベルに遷移し、これにより信号 `GD1` がイネーブルレベルに遷移し、その結果行 `1` がディスエーブルになる。フリップフロップ `D1` の `Q` 出力は、フリップフロップ `D3` の `D` 入力に結合される。

20

【0046】

次の正クロック遷移後に、信号 `LS_out3` と信号 `OE` の両方がクロックパルス中にアクティブレベルに遷移し、これにより行 `3` がイネーブルになる。`1` から `239` までの `LCD604` からの奇数行の全てが、同様の方式でイネーブルにされる。フリップフロップ `D239` の `Q` 出力は、フリップフロップ `D2` の `D` 入力に結合される。行 `239` の後、イネーブルにされる次の行は `D2` であり、その結果、`LCD604` からの奇数行の全てが続いてイネーブルにされた後、`2` から `240` までの偶数行の全てが連続した方式でイネーブルにされるようになる。

30

【0047】

ゲートドライバ回路 `608` は、奇数行に関連付けられたゲートラインの各々が `LCD` の `1/2` に配列され、偶数行に関連付けられたゲート行の各々が `LCD` の他の半分に配列されるように配列することができる。

【0048】

図 `9` は、本発明の態様に従って構成されたゲートドライバ回路 `608` の第 `3` の実施例を示す。ゲートドライバ回路 `608` は、直列/並列コンバータ (`910`) と `1 - 240` デコーダ (`920`) を含む。直列/並列コンバータ `910` は、ノード `N736` に結合された第 `1` 入力、ノード `N940` に結合された第 `2` 入力、及びノード `N950` に結合された出力を有する。`1 - 240` デコーダ `920` は、ノード `N736` に結合された第 `1` 入力とノード `N950` に結合された第 `2` 入力を有する。

40

【0049】

動作中、直列/並列コンバータ `910` は、ディスプレイ制御回路からシリアルアドレス信号 (アドレス) を受信するように構成されている。信号アドレスは、現在のラインアドレスに対応する。直列/並列コンバータ回路 `910` は、信号 `OE` がアクティブである間、ノード `N950` で `8` ビットアドレス信号 (`addr`) を供給するように構成される。`1 -`

50

240デコーダ920は、信号OE及び信号addrにตอบสนองして行出力信号(GD1-GD240)を供給するように構成されている。1-240デコーダ920は、信号OEがイナクティブである間は行出力信号(GD1-GD240)の各々がイナクティブであるように構成されている。1-240デコーダ回路920は更に、信号OEがアクティブである場合に信号addrに関連するラインアドレスに対応する行出力信号がアクティブであるように構成されている。信号OEは、上述のようなブレークピフォメイク方式の一部として使用される。図9に示されたゲートドライバ608の例示的な実施形態は、どのようなシーケンスでも行をスキャンできるように構成されている。例えば、サブフレームのラインに関連する行の各々は、ランダム又は疑似ランダム順序でスキャンすることができる。

10

**【0050】**

上記の明細書、実施例、及びデータは、本発明の構成の製造及び使用に関する完全な説明を提供する。本発明の多くの実施形態は、本発明の精神及び範囲から逸脱することなく実施することができるので、本発明は、添付の請求項に帰属する。

**【図面の簡単な説明】****【0051】**

【図1】従来技術によるフレーム反転を示す図である。

【図2】従来技術によるライン反転を示す図である。

【図3】従来技術による列反転を示す図である。

【図4】従来技術によるドット反転を示す図である。

20

【図5A】LCDの例示的なプロセスを示すフローチャートである。

【図5B】LCDの別の例示的なプロセスを示すフローチャートである。

【図6】例示的なディスプレイシステムを示す図である。

【図7】ゲートドライバの第1の実施例を示す図である。

【図8】ゲートドライバの第2の実施例を示す図である。

【図9】本発明の態様によるゲートドライバの第3の実施例を示す図である。

【 図 1 】

		フレーム N				フレーム N+1			
		列				列			
行	1	+	+	+	+	-	-	-	-
	2	+	+	+	+	-	-	-	-
	3	+	+	+	+	-	-	-	-
	4	+	+	+	+	-	-	-	-

Figure 1

フレーム反転  
(従来技術)

【 図 2 】

		フレーム N				フレーム N+1			
		列				列			
行	1	+	+	+	+	-	-	-	-
	2	-	-	-	-	+	+	+	+
	3	+	+	+	+	-	-	-	-
	4	-	-	-	-	+	+	+	+

Figure 2

ライン反転  
(従来技術)

【 図 3 】

		フレーム N				フレーム N+1			
		列				列			
行	1	+	-	+	-	-	+	-	+
	2	+	-	+	-	-	+	-	+
	3	+	-	+	-	-	+	-	+
	4	+	-	+	-	-	+	-	+

Figure 3

列反転  
(従来技術)

【 図 4 】

		フレーム N				フレーム N+1			
		列				列			
行	1	+	-	+	-	-	+	-	+
	2	-	+	-	+	+	-	+	-
	3	+	-	+	-	-	+	-	+
	4	-	+	-	+	+	-	+	-

Figure 4

ドット反転  
(従来技術)

【 図 5 A 】

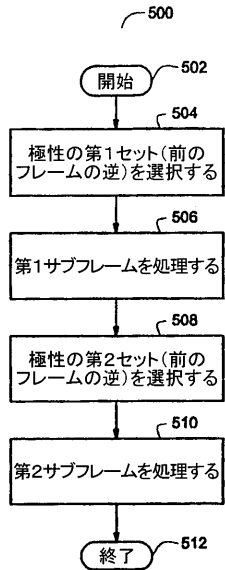


Figure 5A

【 図 5 B 】

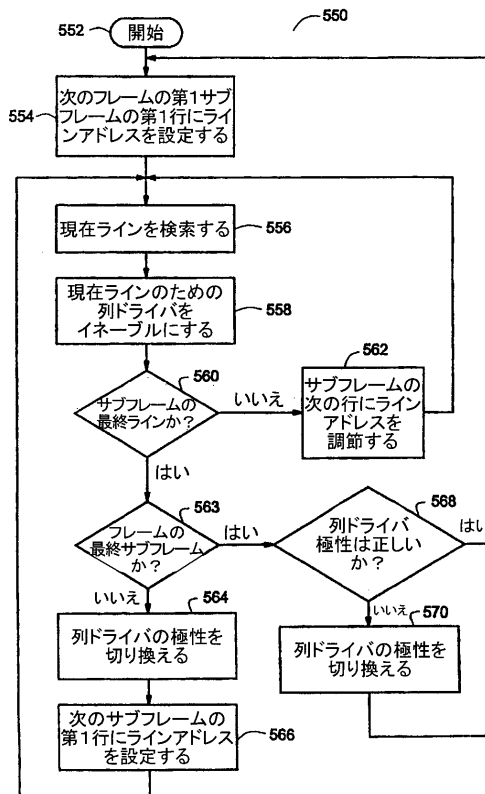


Figure 5B

【 図 6 】

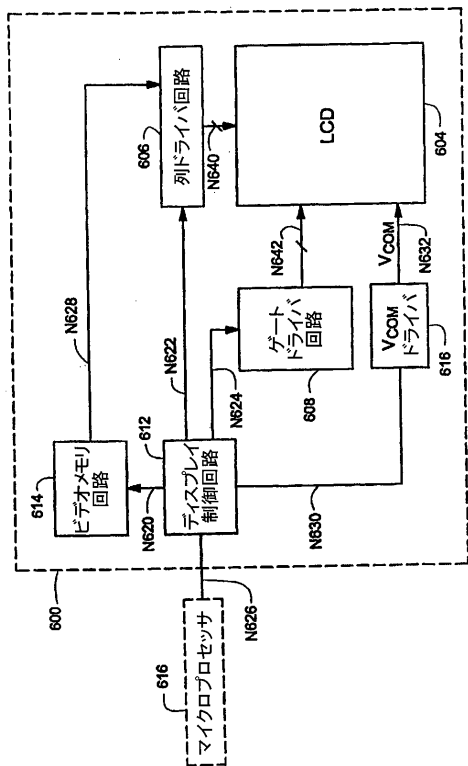


Figure 6

【 図 7 】

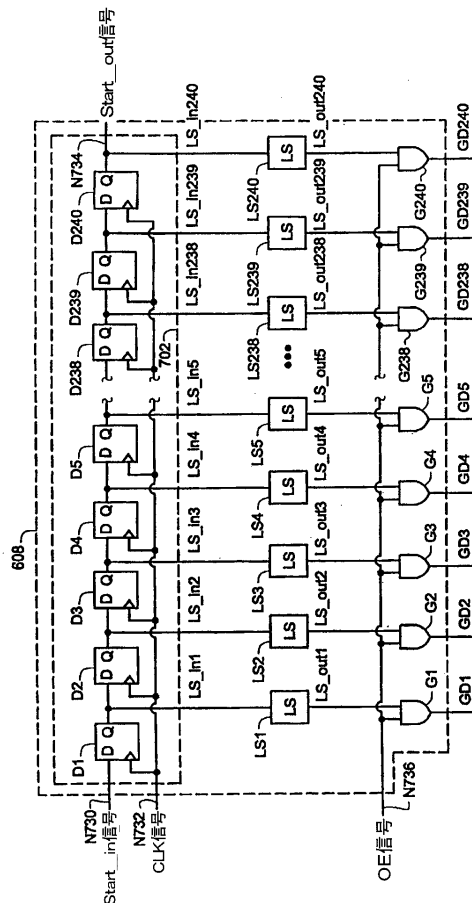


Figure 7

【 図 8 】

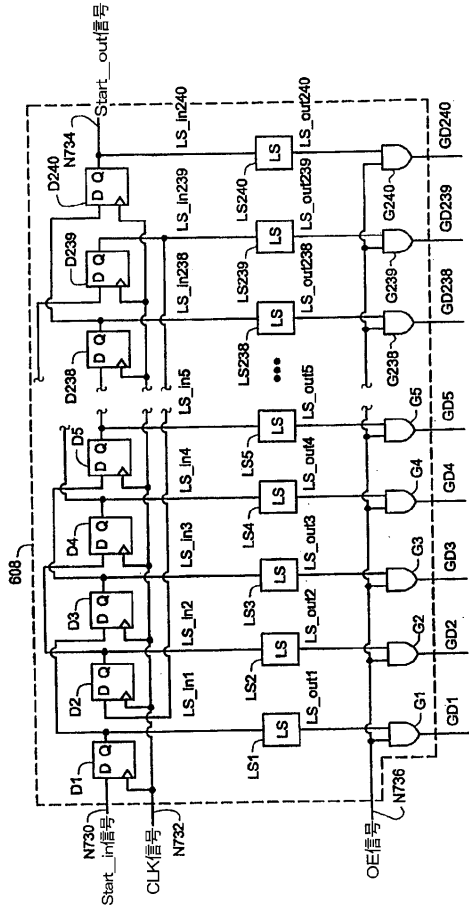


Figure 8

【 図 9 】

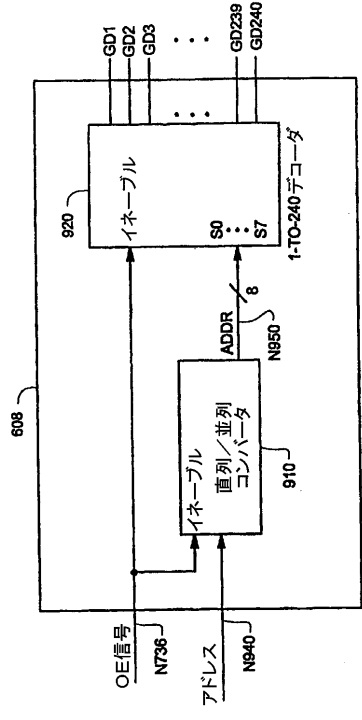


Figure 9

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US04/12545
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC(7) : G09G 3/36, 5/00. US CL : 345/94,96,98-100,209.		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 345/94,96,98-100,209.		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST, WEST, JAP search. Search terms: sub-frame, polarity...		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Pub. No.: US 2002/0154085 A1 (KIM), 24 October, 2002, [0039]-[0040], [0047]-[0051].	1-14 and 17-22
Y		15 and 16
Y	US 5,648,792 (SATO et al.), 15 July 1997, col. 4, line 60 to col. 5, line 25.	15
Y	US 5,818,413 (HAYASHI et al.) 06 October, 1998, col. 5, lines 26-67.	16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed.	
Date of the actual completion of the international search 27 October 2004 (27.10.2004)		Date of mailing of the international search report 17 DEC 2004
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703)305-3230		Authorized officer Jennifer Nguyen Telephone No. 703-305-3225

## フロントページの続き

(51) Int. Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 0 5

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100109070

弁理士 須田 洋之

(72) 発明者 ラデン クリストファー エイ

アメリカ合衆国 ニューヨーク州 1 4 5 3 4 ピッツフォード ワイドウォーターズ レーン  
3 0

F ターム(参考) 2H093 NA34 NA41 NA44 NC13 NC22 NC29 NC50 ND10 ND12 ND15  
ND39 ND48  
5C006 AC11 AC24 AC26 AC27 AC28 AC29 AF42 AF43 AF44 BB16  
BC03 FA16 FA23 FA47  
5C080 AA10 BB05 DD06 DD10 DD26 FF07 FF11 JJ01 JJ02 JJ03  
JJ07 KK07 KK47

专利名称(译)	具有帧缓冲和节电顺序的显示系统		
公开(公告)号	<a href="#">JP2006524365A</a>	公开(公告)日	2006-10-26
申请号	JP2006513247	申请日	2004-04-21
[标]申请(专利权)人(译)	国家半导体公司		
申请(专利权)人(译)	美国国家半导体公司		
[标]发明人	ラデンクリストファーエイ		
发明人	ラデン クリストファー エイ		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G G09G5/00		
CPC分类号	G09G3/3614 G09G3/3648 G09G3/3677 G09G2310/0224 G09G2310/0289 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.611.A G09G3/20.622.N G09G3/20.622.Q G02F1/133.505		
F-TERM分类号	2H093/NA34 2H093/NA41 2H093/NA44 2H093/NC13 2H093/NC22 2H093/NC29 2H093/NC50 2H093/ND10 2H093/ND12 2H093/ND15 2H093/ND39 2H093/ND48 5C006/AC11 5C006/AC24 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AC29 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BC03 5C006/FA16 5C006/FA23 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD10 5C080/DD26 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ07 5C080/KK07 5C080/KK47		
代理人(译)	西岛隆义 须田博之		
优先权	10/421646 2003-04-21 US		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

配置用于处理具有修改的极性图案的LCD的帧的方法。该图案使用极性反转方案，其产生由帧内的像素位置观察到的线反转和/或点反转图案。根据校正的极性模式切换LCD中的列驱动器的驱动极性。修改显示器上每行的扫描顺序以使用该模式。在使用第一组驱动极性的同时在第一时间间隔期间扫描第一子帧。在不与第一时间间隔重叠的第二时间间隔期间扫描第二子帧。通过应用这种方法，可以以更低的功率操作LCD列驱动器，同时保留点反转技术的优点。

