

【特許請求の範囲】

【請求項 1】

基板と、該基板の上の形成された T F T と、該 T F T に接続された画素電極とを備えた T F T 基板と、

前記 T F T 基板に対向して配置される対向基板と、

前記 T F T 基板と前記対向基板との間に封入された垂直配向型液晶とを有する液晶表示装置であって、

前記 T F T 基板の前記画素電極が形成された画素領域内に、前記画素電極の一部がへこんだ凹部が設けられており、かつ前記凹部の下にエッチングストップパターンが形成されていることを特徴とする液晶表示装置。

10

【請求項 2】

前記基板には、

ゲート電極と、前記ゲート電極上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、前記半導体層の両端部にそれぞれ接続されたソース電極及びドレイン電極とにより構成される前記 T F T と、

前記 T F T の前記ソース電極に接続された前記画素電極と、

前記 T F T を被覆する保護層とが形成されており、

前記エッチングストップパターンは前記基板の上に前記ゲート電極と同一材料で同時に形成され、前記凹部は前記保護層と前記絶縁層とに設けられた開口部内に前記画素電極が被覆されてなることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記凹部は上部側から下部側になるにつれて径が小さくなって側面が傾斜していることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記凹部の最下部は前記エッチングストップパターンの内側に配置されていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 5】

前記画素電極は、相互に繋がった状態で複数の副画素電極部に分割されており、前記副画素電極部ごとに前記凹部が形成されていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、さらに詳しくは、垂直配向型液晶を使用する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、薄型・軽量であると共に、低電圧で駆動できて消費電力が少ないという長所があり、各種のディスプレイに広く使用されている。

【0003】

40

近年では、視野角や解像度の向上を目的に、M V A (Multi-domain Vertical Alignment) 型の液晶表示装置が開発されている。図 1 に示すように、従来の M V A 型の液晶表示装置は、T F T 基板 100 と、対向基板 200 と、これらの基板 100, 200 の間に封入された垂直配向型液晶 108 とにより構成される。T F T 基板 100 では、ガラス基板 102 a 上に絶縁層 104 を介して、T F T (不図示) に接続されてスリット 106 x が設けられた画素電極 106 が形成されている。また、対向基板 200 では、ガラス基板 102 b 上のコモン電極 202 の上にドメイン規制用の突起 204 が設けられている。

【0004】

そして、画素電極 106 とコモン電極 202 との間に電圧を印加すると、液晶分子が突起 204 を指差すように配向することで、1 つの画素領域内で液晶分子の配向方向 (ドメ

50

イン)が異なるようになり、視野角を向上させることができる。

【0005】

あるいは、対向基板にドメイン規制用の突起を設ける代わりに、TFT基板側に凹部を設ける方法がある。特許文献1には、TFT基板のパシベーション層の上に形成されるオーバーコート層に直線状の開口部を設け、その上に画素電極を被覆することで凹部を形成して、液晶の配向を制御することが記載されている。

【0006】

また、特許文献2には、TFT基板に、誘電体層の上下に2つの導電層が形成された3層構造の画素電極が形成されており、その画素電極の上側導電層に開口部を形成し、さらに誘電体層の上層部分に凹部を設けて液晶の配向を制御することが記載されている。

10

【特許文献1】特開2001-174821号公報

【特許文献2】特開2001-343647号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、対向基板に突起を形成する方法では、直径が10 μ m程度のニップル状に突起を形成する必要があることから、突起を制御よく形成することは困難を極め、製造歩留りの低下を招きやすい。

【0008】

また、特許文献1では、パシベーション層(シリコン窒化層)上のオーバーコート層(アクリル樹脂)に開口部を形成するので、製造工程が複雑になったり、凹部の深さがばらつくなどの不具合が発生するおそれがある。

20

【0009】

また、特許文献2においても、3層構造の画素電極の上側導電層と誘電体層の上層部に選択的に凹部を形成するので、製造工程が複雑になったり、凹部の深さがばらつくなどの不具合が発生するおそれがある。

【0010】

本発明は以上の課題を鑑みて創作されたものであり、何ら不具合が発生することなく、TFT基板に精度よく凹部が形成されて、マルチドメインを達成できる液晶表示装置を提供することを目的とする。

30

【課題を解決するための手段】

【0011】

上記課題を解決するため、本発明は、液晶表示装置に係り、基板と、該基板の上の形成されたTFTと、該TFTに接続された画素電極とを備えたTFT基板と、前記TFT基板に対向して配置される対向基板と、前記TFT基板と前記対向基板との間に封入された垂直配向型液晶とを有する液晶表示装置であって、前記TFT基板の前記画素電極が形成された画素領域内に、前記画素電極の一部がへこんだ凹部が設けられており、かつ前記凹部の下にエッチングストップパターンが形成されていることを特徴とする。

【0012】

本発明の液晶表示装置のTFT基板を得る一つの好適な方法は、まず、逆スタガ型のTFTのゲート電極(ゲートバスライン)を基板上に形成する工程で、ドメイン規制用の凹部が形成される部分に金属層よりなるエッチングストップパターンが予め形成される。その後、絶縁層、半導体層、ソース電極及びドレイン電極が順に形成されてTFTを得た後に、TFTを被覆する保護層が形成される。次いで、ソース電極上などにコンタクトホールを形成する工程で、エッチングストップパターン上の保護層及び絶縁層がエッチングされて開口部が形成される。このとき、開口部の下にはエッチングストップパターンが形成されているので、その下側の基板(ガラス基板など)がエッチングされるおそれがなく、開口部が精度よく安定して形成される。

40

【0013】

その後、TFTのソース電極に接続される画素電極が形成され、その画素電極によっ

50

て上記した開口部の内面が被覆されてドメイン規制用の凹部が形成される。

【0014】

このように、本発明の液晶表示装置では、特別な工程を追加することなくTFT基板にドメイン規制用の凹部が精度よく安定して形成され、従来技術よりも、高歩留り、低コストでMVA型の液晶表示装置が製造されるようになる。

【0015】

上記した発明において、凹部は上部側から下部側になるにつれて径が小さくなって側面が傾斜していることが好ましい。

【0016】

また、上記した発明において、画素電極は、相互に繋がった状態で複数の副画素電極部に分割されており、副画素電極部ごとにドメイン規制用の凹部が形成されているようにしてもよい。

【発明の効果】

【0017】

以上説明したように、本発明では、MVA型の液晶表示装置が低コスト、高歩留りで製造され、安定したマルチドメインが達成される。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0019】

図2～図3は本発明の液晶表示装置のTFT基板の製造方法を示す断面図である。

【0020】

まず、図2(a)に示すように、ガラス基板10(透明基板)を用意し、そのガラス基板10上にスパッタ法などによって導電層を成膜する。導電層としては、例えば、膜厚が100nmのアルミニウム(Al)又はAl合金と、膜厚が50nmのチタン(Ti)又はモリブデン(Mo)などの高融点金属層との積層膜が好適に使用される。その後に、この導電層をフォトリソグラフィ及びエッチングでパターンニングすることにより、ゲートバスライン(ゲート電極)12a、エッチングストップパターン13a、13b、13c及び蓄積容量バスライン12bを得る。

【0021】

次いで、図2(b)に示すように、CVD法でシリコン窒化層を成膜するなどして絶縁層14を形成する。絶縁層14は、後にTFTのゲート絶縁層として機能する。続いて、図2(c)に示すように、CVD法などにより絶縁層14上にTFT用の能動層となるアモルファスシリコンなどの半導体層を形成した後に、半導体層をフォトリソグラフィ及びエッチングでパターンニングすることにより半導体層パターン16を形成する。さらに、半導体層パターン16上にシリコン窒化層などの絶縁層を成膜した後に、フォトリソグラフィ及びエッチングで絶縁層をパターンニングすることにより、半導体層パターン16の中央部上にチャネル保護層18を形成する。

【0022】

続いて、図2(c)の構造体の上面に、TFT用のソース電極及びドレイン電極などを形成するための導電層を形成する。この導電層は、例えば、オーミックコンタクト層となる高濃度の不純物を含むアモルファスシリコン層(30nm)と、Ti層(20nm)/Al層(75nm)/Ti層又はMo層(40nm)との積層膜より構成される。

【0023】

さらに、図2(d)に示すように、フォトリソグラフィ及びエッチングでこの導電層をパターンニングすることにより、ソース電極20a、ドレイン電極20b、及び蓄積容量電極20cを得る。ソース電極20a及びドレイン電極20bは、半導体層パターン16の両端部にそれぞれ電氣的に接続されて形成される。また、蓄積容量電極20cは、蓄積容量バスライン12b上の絶縁層14上の部分に形成される。

【0024】

10

20

30

40

50

これにより、ゲートバスライン（ゲート電極）12a、絶縁層14、半導体層パターン16、ソース電極20a、及びドレイン電極20bから構成される逆スタガ型のTFET5が得られる。TFET5のドレイン電極20bはデータバスライン（不図示）に繋がって形成される。

【0025】

次いで、図3（a）に示すように、図2（d）の構造体の上面に、プラズマCVD法でシリコン窒化層を成膜するなどして保護層22を形成する。その後、図3（b）に示すように、フォトリソグラフィにより、ソース電極20a、エッチングストップパターン13a、13b、13c、及び蓄積容量電極20c上の保護層22の部分に開口部15xがそれぞれ設けられたレジスト膜15を形成する。

10

【0026】

さらに、図3（c）に示すように、そのレジスト膜15をマスクにして保護層22をドライエッチングして、ソース電極20a及び蓄積容量電極20cの上面に到達する深さのコンタクトホール22x、22yをそれぞれ形成し、さらにその下の絶縁層14をエッチングしてエッチングストップパターン13a、13b、13c上に開口部22zをそれぞれ形成する。その後、レジスト膜15が除去される。エッチングストップパターン13a、13b、13c上の絶縁層14及び保護層22に形成される開口部22zは、後にドメイン規制用の凹部となる。

【0027】

ドライエッチング条件の一例としては、SF₆（六フッ化イオウ）：200Sccm、O₂（酸素）：200Sccm、圧力：8Pa、RF電力：600Wが採用される。このような条件を採用することにより、保護層22や絶縁層14（シリコン窒化層）をエッチングする際に、下地のエッチングストップパターン13a、13b、13c（Al層／Ti層）に対して高い選択比が得られる。エッチングストップパターン13a、13b、13cの材料としてAl層／Ti（又はMo）層を例示したが、ゲートバスライン12aに適用できて、絶縁層をドライエッチングする際に高い選択比が得られる各種の金属層を使用することができる。

20

【0028】

このため、開口部22zを形成する際に、エッチングストップパターン13a、13b、13cによってエッチングが概ね止まり、その下側のガラス基板10がエッチングされるおそれはない。従って、開口部22zの深さのばらつきが低減され、精度の高い開口部22z（ドメイン規制用の凹部）を形成することができる。また、エッチングストップパターン13a、13b、13cはゲートバスライン12aを形成する工程で同時に形成され、しかも開口部22zを形成するために特別な層を追加形成する必要もないので、コスト上昇を招くおそれもない。

30

【0029】

なお、開口部22z（ドメイン規制用の凹部）を形成するための絶縁層14のエッチング時に、コンタクトホール22x、22yの下にソース電極20a及び蓄積容量電極20cが露出するので、ソース電極20a及び蓄積容量電極20cにダメージが生じる場合が想定される。そのような場合は、フォトリソグラフィ及びエッチングを2回行うことにより、コンタクトホール22x、22yと開口部22zを別の工程で形成するようにしてもよい。

40

【0030】

その後、図3（c）の構造体の上面にITO（Indium Tin Oxide）などの透明導電層をスパッタ法などで成膜する。さらに、図3（d）に示すように、フォトリソグラフィ及びエッチングにより透明導電層をパターンニングすることにより画素電極24を形成する。画素電極24は、コンタクトホール22xを介してTFET5のソース電極20aに電氣的に接続されると共に、コンタクトホール22yを介して蓄積容量電極20cに電氣的に接続される。このとき、保護層22及び絶縁層14に設けられた開口部22zの内面が画素電極24によって被覆されてドメイン規制用の凹部23となる。また、後述するように、

50

画素電極 2 4 は相互に繋がった 3 つの副画素電極部に分割して構成され、パターンの周縁部にくし歯状の電極部が設けられる。その後に、画素電極 2 4 を被覆する垂直配向膜（不図示）が形成される。

【0031】

以上により本発明の実施形態の液晶表示装置の T F T 基板 2 が製造される。

【0032】

図 4 には図 3（d）を平面方向からみた透視平面図が示されている。なお、図 3（d）は図 4 の I - I 及び I I - I I に沿った断面図を合成したものに相当する。

【0033】

図 4 には 1 つの画素部が示されており、1 つの画素部は 3 つの副画素部 A，B，C に分割されている。そして、3 つの副画素部 A，B，C からなる各画素は赤色（R）画素部、緑色（G）画素部及び青色（B）画素部に画定されており、3 つの画素部（サブピクセル）が表示単位であるピクセルを構成する。 10

【0034】

図 3（d）及び図 4 に示すように、本実施形態の液晶表示装置の T F T 基板 2 では、ガラス基板 1 0 の上に、ゲートバスライン 1 2 a と、そのゲートバスライン 1 2 a と直交するデータバスライン 1 7 とが形成されている。ゲートバスライン 1 2 a 及びデータバスライン 1 7 はそれぞれ複数本で形成されており、これらによって区画される矩形の領域がそれぞれ画素領域となっている。 20

【0035】

ゲートバスライン 1 2 a 上には絶縁層 1 4 が形成され、絶縁層 1 4 上に半導体層パターン 1 6 が形成されている。半導体層パターン 1 6 上にはゲートバスライン 1 2 a と略同一幅のチャンネル保護層 1 8 が形成されている。半導体層パターン 1 6 の両端部にそれぞれ電氣的に接続されたソース電極 2 0 a 及びドレイン電極 2 0 b がチャンネル保護層 1 8 の両端部上から絶縁層 1 4 上に延びて形成され、ドレイン電極 2 0 b はデータバスライン 1 7 に繋がっている。 30

【0036】

ゲートバスライン 1 2 a、絶縁層 1 4、半導体層パターン 1 6、ソース電極 2 0 a 及びドレイン電極 2 0 b により T F T 5 が構成されている。

【0037】

T F T 5 上には保護層 2 2 が形成され、T F T 5 のソース電極 2 0 a 上の保護層 2 2 の部分にコンタクトホール 2 2 x が設けられている。T F T 5 のソース電極 2 0 a はコンタクトホール 2 2 x を介して保護層 2 2 上に形成された画素電極 2 4 に電氣的に接続されている。 30

【0038】

図 4 に示すように、画素電極 2 4 は、第 1 副画素電極部 2 4 a、第 2 副画素電極部 2 4 b、及び第 3 副画素電極部 2 4 c に分割されて構成され、各副画素電極部 2 4 a，2 4 b，2 4 c は連結部 2 4 x によって相互に繋がっている。各副画素電極部 2 4 a，2 4 b，2 4 c の周縁部には、液晶の配向を安定させるためのスリットが形成されたくし歯状電極部 2 5 が設けられている。 40

【0039】

また、各副画素部 A，B，C の中央部の保護層 2 2 及び絶縁層 1 4 の部分には開口部 2 2 z がそれぞれ形成されており、それらの開口部 2 2 z の内面が第 1 副画素電極部 2 4 a、第 2 副画素電極部 2 4 b、第 3 副画素電極部 2 4 c によってそれぞれ被覆されてドメイン規制用の凹部 2 3 が設けられている。各凹部 2 3 の下には、ゲートバスライン 1 2 a と同一材料からなるエッチングストップパターン 1 3 a，1 3 b，1 3 c がそれぞれパターンニングされている。このように本実施形態では、保護層 2 2 及び絶縁層 1 4 をエッチングして開口部 2 2 z を形成する際にガラス基板 2 0 がエッチングされるおそれがないことから、開口部 2 2 z（ドメイン規制用の凹部 2 3）の深さや径のばらつきを抑制することができ、精度の高い開口部 2 2 z を形成することができる。 50

【0040】

エッチングストップパターン13a, 13b, 13cの径は、ドメイン規制用の凹部23の径より大きな径にそれぞれ設定される。つまり、凹部23の最下部は、エッチングストップパターン13a, 13b, 13cの内側に配置されて形成される。エッチングストップパターン13a, 13b, 13cの形状は、円形や四角形などの各種形状に設定することができる。

【0041】

また、ドメイン規制用の凹部23は、上部側から下部側になるにつれて径が小さくなる形状で形成されて、その側面が傾斜していることが好ましい。また、凹部23は、円柱状や四角柱状などの各種形状に設定することができる。なお、凹部23の側面は垂直であつても差し支えない。

10

【0042】

また、図3(d)及び図4に示すように、第2副画素電極部24bと第3副画素電極部24cとの間には、ゲートバスライン12aに平行に配置された蓄積容量バスライン12bが形成されており、その上には絶縁層14を介して蓄積容量電極20cが形成されている。蓄積容量電極20c上には、その上にコンタクトホール22yが設けられた保護層22が形成されており、蓄積容量電極20cはコンタクトホール22yを介して保護層22上の画素電極24に電氣的に接続されている。蓄積容量バスライン12bと絶縁層14と蓄積容量電極20cとによって蓄積容量Csが構成されている。

【0043】

20

図5には、上記したTF T基板2を利用して液晶表示装置を構成した一例が示されている。図5に示すように、まず、上記した構成のTF T基板2と、対向基板2aとを用意する。対向基板2aは、ガラス基板30の上(図5ではガラス基板30の下)にブラックマトリクス32、カラーフィルタ層34、及びコモン電極36が順に形成されて構成されている。ブラックマトリクス32は、クロム(Cr)などの遮光材料からなり、複数の画素部間の領域、TF T5が形成された領域、及び蓄積容量Csが形成された領域に対応する部分に設けられている。カラーフィルタ層34は赤色(R)フィルタ層、緑色(G)フィルタ層及び青色(B)フィルタ層から構成され、各色の画素部に対応するように配置される。

【0044】

30

コモン電極36はITOなどの透明導電層よりなり、全ての画素部に対して共通に形成されている。また、TF T基板2及び対向基板2aの最上にはポリイミドなどからなる垂直配向膜(不図示)がそれぞれ形成されている。このようなTF T基板2と対向基板2aとが所定間隔をもってシール材によって接着され、TF T基板2と対向基板2aとの間に垂直配向型液晶26が封入されている。

【0045】

このようにして、本発明の実施形態の液晶表示装置1が構成される。

【0046】

図6は図5のDで示される部分を拡大した拡大断面図である。図6に示すように、本実施形態の液晶表示装置1では、画素電極24及びコモン電極36との間に電圧を印加しない状態では、液晶分子26aは配向膜に対して垂直に配向する。従って、TF T基板2のドメイン規制用の凹部23の内側においては、液晶分子26aは相互に異なる方向に配向する。

40

【0047】

一方、画素電極24及びコモン電極36との間に電圧を印加すると、液晶分子26aは電界に垂直な方向に配向するので、液晶分子30aの配向方向が凹部23から放射状に相互に異なるようになり、マルチドメインが達成される。

【0048】

以上説明したように、本発明の実施形態の液晶表示装置1では、TF T基板2のゲートバスライン12aを形成する工程で、エッチングストップパターン13a~13cを同時

50

に形成しておき、エッチングストップパターン13a～13c上の保護層22及び絶縁層14をエッチングして開口部22zを形成することでドメイン規制用の凹部23を得るようにしている。このため、開口部22z（凹部23）を形成する際に、ガラス基板10がエッチングされるおそれなくなり、凹部23がその深さのばらつきが抑制されて精度よく形成される。しかも、凹部23を形成するために特別な層を形成する必要もなく、コスト上昇を招くおそれもない。

【0049】

このように、従来技術よりも、短手番、低コスト、しかも高歩留りでMVA型の液晶表示装置が製造される。

【0050】

（付記1） 基板と、該基板の上の形成されたTFTと、該TFTに接続された画素電極とを備えたTFT基板と、

前記TFT基板に対向して配置される対向基板と、

前記TFT基板と前記対向基板との間に封入された垂直配向型液晶とを有する液晶表示装置であって、

前記TFT基板の前記画素電極が形成された画素領域内に、前記画素電極の一部がへこんだ凹部が設けられており、かつ前記凹部の下にエッチングストップパターンが形成されていることを特徴とする液晶表示装置。

【0051】

（付記2） 前記基板上には、

ゲート電極と、前記ゲート電極上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、前記半導体層の両端部にそれぞれ接続されたソース電極及びドレイン電極とにより構成される前記TFTと、

前記TFTの前記ソース電極に接続された前記画素電極と、

前記TFTを被覆する保護層とが形成されており、

前記エッチングストップパターンは前記基板上に前記ゲート電極と同一材料で同時に形成され、前記凹部は前記保護層と前記絶縁層とに設けられた開口部内に前記画素電極が被覆されてなることを特徴とする付記1に記載の液晶表示装置。

【0052】

（付記3） 前記凹部は上部側から下部側になるにつれて径が小さくなって側面が傾斜していることを特徴とする付記1又は2に記載の液晶表示装置。

【0053】

（付記4） 前記凹部の最下部は前記エッチングストップパターンの内側に配置されていることを特徴とする付記1又は2に記載の液晶表示装置。

【0054】

（付記5） 前記画素電極は、相互に繋がった状態で複数の副画素電極部に分割されており、前記副画素電極部ごとに前記凹部が形成されていることを特徴とする付記1又は2に記載の液晶表示装置。

【0055】

（付記6） 前記副画素電極部の周縁部には、くし歯状の電極部が設けられていることを特徴とする付記5に記載の液晶表示装置。

【0056】

（付記7） 前記保護層及び前記絶縁層はシリコン窒化層よりなり、前記エッチングストップパターンは金属層よりなることを特徴とする付記1乃至6のいずれか一項に記載の液晶表示装置。

【0057】

（付記8） 複数の前記副画素電極部は連結部によって相互に繋がっており、前記副画素電極部の間に、前記連結部に電氣的に接続された蓄積容量が設けられていることを特徴とする付記1又は2に記載の液晶表示装置。

【図面の簡単な説明】

10

20

30

40

50

【0058】

【図1】図1は従来技術に係るMVA型の液晶表示装置を示す断面図である。

【図2】図2(a)～(d)は本発明の実施形態の液晶表示装置のTFT基板の製造方法を示す断面図(その1)である。

【図3】図3(a)～(d)は発明の実施形態の液晶表示装置のTFT基板の製造方法を示す断面図(その2)である。

【図4】図4は本発明の実施形態の液晶表示装置のTFT基板を示す透視平面図である。

【図5】図5は本発明の実施形態の液晶表示装置を示す断面図である。

【図6】図6は図5のDで示される部分を拡大した部分拡大断面図である。

【符号の説明】

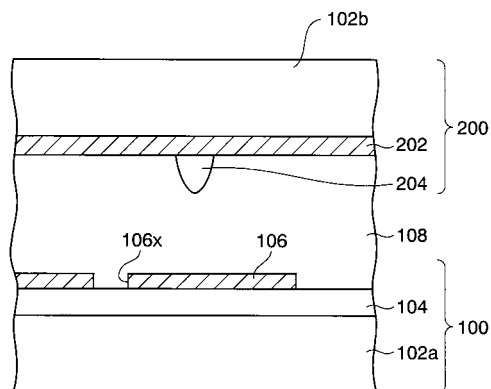
【0059】

1…液晶表示装置、2…TFT基板、2a…対向基板、5…TFT、10、30…ガラス基板、12a…ゲートバスライン、12b…蓄積容量バスライン、13a、13b、13c…エッチングストップパターン、14…絶縁層、15…レジスト膜、15x、22z…開口部、16…半導体層パターン、17…データバスライン、18…チャンネル保護層、20a…ソース電極、20b…ドレイン電極、20c…蓄積容量電極、22…保護層、22x、22y…コンタクトホール、23…凹部、24…画素電極、24a…第1副画素電極部24a、24b…第2副画素電極部24b、24c…第3副画素電極部、24x…連結部、25…くし歯状電極部、26…垂直配向型液晶、26a…液晶分子、32…ブラックマトリクス、34…カラーフィルタ層、36…コモン電極、Cs…蓄積容量、A、B、C…副画素部。

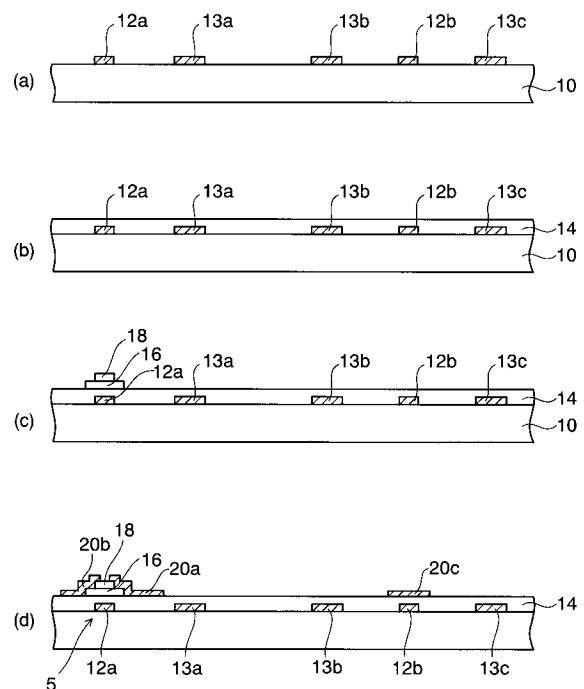
10

20

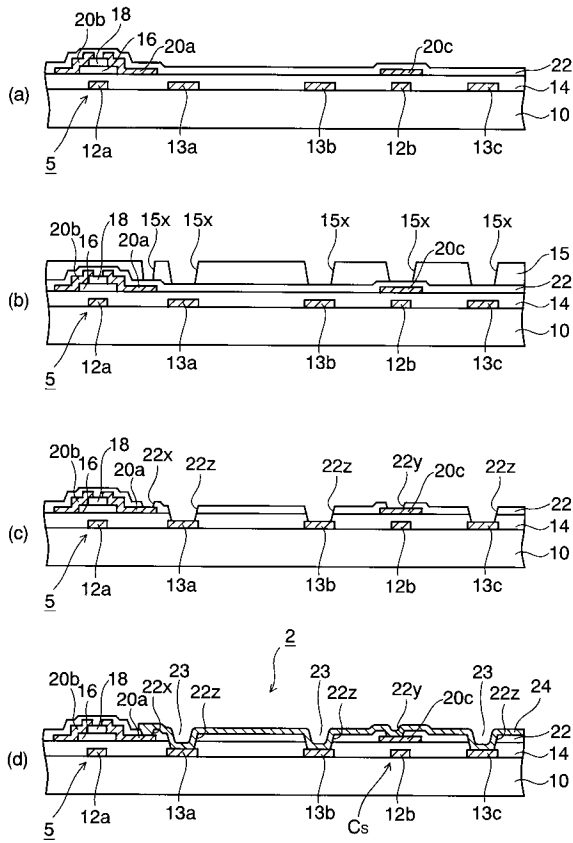
【図1】



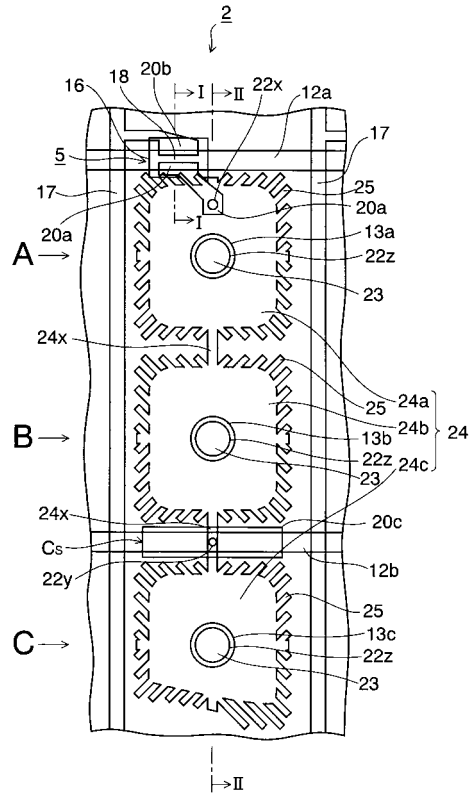
【図2】



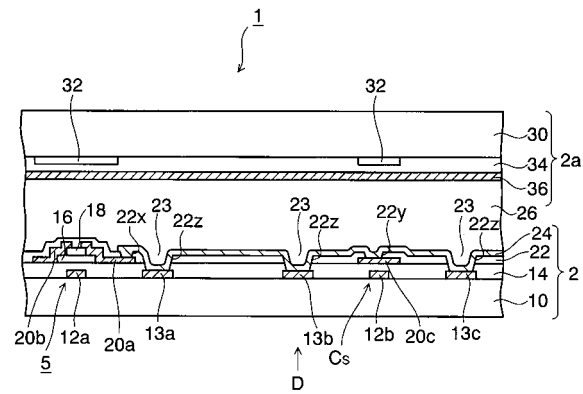
【図 3】



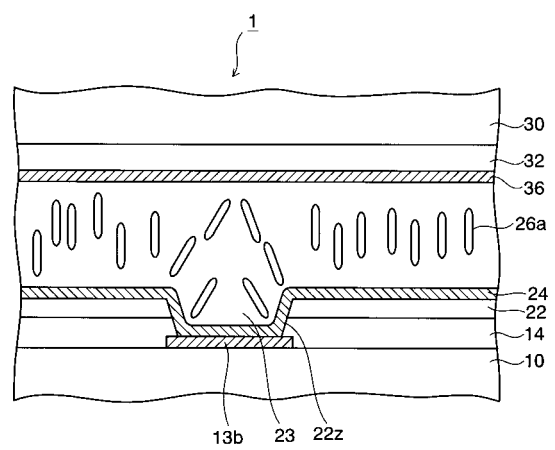
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 田代 国広

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

Fターム(参考) 2H090 JA03 JA05 LA01 LA04 MA01 MA15 MB14

2H092 GA13 JA26 JB05 JB13 MA17 MA35 NA07 NA25 QA06

5F110 AA16 AA26 BB01 CC07 DD02 EE03 EE04 EE06 EE14 EE44

FF03 FF29 GG02 GG15 GG44 HK03 HK04 HK09 HK16 HK22

HL07 HL23 NN02 NN12 NN24 NN35 NN73 QQ01

专利名称(译)	液晶表示装置		
公开(公告)号	JP2006243494A	公开(公告)日	2006-09-14
申请号	JP2005060728	申请日	2005-03-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	吉田秀史 田坂泰俊 田代国広		
发明人	吉田 秀史 田坂 泰俊 田代 国広		
IPC分类号	G02F1/1337 G02F1/1333 G02F1/1368 H01L21/336 H01L29/786		
FI分类号	G02F1/1337.505 G02F1/1333.500 G02F1/1368 H01L29/78.612.D G02F1/1343		
F-TERM分类号	2H090/JA03 2H090/JA05 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA15 2H090/MB14 2H092/GA13 2H092/JA26 2H092/JB05 2H092/JB13 2H092/MA17 2H092/MA35 2H092/NA07 2H092/NA25 2H092/QA06 5F110/AA16 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE44 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG44 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HL07 5F110/HL23 5F110/NN02 5F110/NN12 5F110/NN24 5F110/NN35 5F110/NN73 5F110/QQ01 2H190/JA03 2H190/JA05 2H190/LA01 2H190/LA04 2H190/LA22 2H190/LA25 2H192/AA24 2H192/BA13 2H192/BA24 2H192/BA25 2H192/BC13 2H192/BC33 2H192/BC35 2H192/CB05 2H192/CB71 2H192/CC04 2H192/DA12 2H192/DA42 2H192/EA22 2H192/EA43 2H192/JA13 2H290/AA34 2H290/BB22 2H290/BB46 2H290/BB49 2H290/BB83 2H290/CA46		
代理人(译)	冈本圭造		
其他公开文献	JP4515291B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够通过TFT基板上准确地形成凹部而不会引起任何麻烦地实现多畴。一种TFT基板（2），其包括基板（10），形成在基板（10）上的TFT（5），和连接至TFT（5）的像素电极（24）以及与TFT基板（2）相对的对置基板（2a）。然后，在TFT基板2的形成有像素电极24的像素区域中，凹入在TFT基板2与对置基板2a之间，且一部分像素电极24被密封的垂直取向型液晶26。设置凹部23，在凹部23的下方形成蚀刻停止图案13a，13b，13c。[选择图]图5

