

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-244230

(P2005-244230A)

(43) 公開日 平成17年9月8日(2005.9.8)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 6 2 7 G	2 H 0 9 2
GO 2 F 1/136	GO 2 F 1/136	5 F 0 4 8
HO 1 L 21/20	HO 1 L 21/20	5 F 1 1 0
HO 1 L 21/8234	HO 1 L 27/08 3 3 1 E	5 F 1 5 2
HO 1 L 21/8238	HO 1 L 29/78 6 1 2 B	
審査請求 有 請求項の数 18 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2005-46574 (P2005-46574)
 (22) 出願日 平成17年2月23日 (2005.2.23)
 (31) 優先権主張番号 10/788059
 (32) 優先日 平成16年2月26日 (2004.2.26)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501358079
 友達光電股▼ふん▲有限公司
 台湾新竹科学工業園区新竹市力行二路1号
 (74) 代理人 110000268
 特許業務法人 田中・岡崎アンドアソシエ
 イツ
 (72) 発明者 彭 佳添
 台湾新竹縣竹北市白地街239巷9弄10号
 Fターム(参考) 2H092 JA24 JA28 KA04 KA05 MA30
 NA21 NA25 PA12 PA13
 5F048 AC01 AC04 BA16 BC16 BD01
 BF16

最終頁に続く

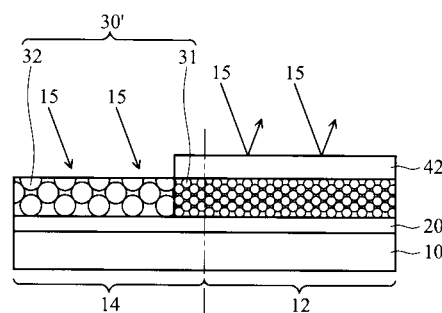
(54) 【発明の名称】 異なるポリシリコングレインサイズの領域を有するポリシリコン層の形成方法、液晶ディスプレイ装置及びその製造方法

(57) 【要約】

【課題】 低温ポリシリコン画素TFTの漏電性質を減少し、且つ、画素TFTの集積回路を駆動する製造コストを減少する方法を提供すること。

【解決手段】 本発明は、基板を提供し、前記基板の上に第一領域と第二領域を含むアモルファスシリコン層を形成し、その第一領域の上に光反射層を形成し、光源で前記アモルファスシリコン層を照射し、その第一領域に位置する光反射層がその第一領域に照射した光を一部反射し、その第一領域を第一ポリシリコン層に、その第二領域を第二ポリシリコン層に変換させ、前記第二ポリシリコン層のグレインサイズを前記第一ポリシリコン層のグレインサイズより大きいポリシリコン層に変換させる液晶ディスプレイ装置の製造方法である。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板を提供するステップ、

前記基板の上に第一領域と第二領域を含んでなるアモルファスシリコン層を形成するステップ、

前記アモルファスシリコン層の前記第一領域の上に光反射層を形成するステップ、及び

光源で前記アモルファスシリコン層を照射するステップを含み、

前記アモルファスシリコン層を照射するステップで、前記第一領域の光反射層が第一領域に照射した光を一部反射することにより、アモルファスシリコン層の第一領域を第一ポリシリコン層に、アモルファスシリコン層の前記第二領域を第二ポリシリコン層に変換させ、

前記第二ポリシリコン層のグレインサイズを前記第一ポリシリコン層のグレインサイズより大きいポリシリコン層に変換させる液晶ディスプレイ装置の製造方法。

【請求項 2】

光反射層は、少なくとも一つの誘電体層を含む請求項 1 に記載の液晶ディスプレイ装置の製造方法。

【請求項 3】

液晶ディスプレイ装置画素電極のスイッチング装置を含む第一の薄膜トランジスタを複数備える請求項 1 又は請求項 2 に記載の液晶ディスプレイ装置の製造方法。

【請求項 4】

光源は、レーザー光である請求項 1 ~ 請求項 3 のいずれか 1 項に記載の液晶ディスプレイ装置の製造方法。

【請求項 5】

レーザー光は、エキシマレーザー、又は、グリーンレーザーを含む請求項 4 に記載の液晶ディスプレイ装置の製造方法。

【請求項 6】

光反射層は、酸化物を含む請求項 1 ~ 請求項 5 のいずれか 1 項に記載の液晶ディスプレイ装置の製造方法。

【請求項 7】

光反射層は、窒化物を含む請求項 1 ~ 請求項 6 のいずれか 1 項に記載の液晶ディスプレイ装置の製造方法。

【請求項 8】

第一の薄膜トランジスタを複数形成後、第二ポリシリコン層を用いて第二の薄膜トランジスタを複数形成するステップを更に含む請求項 3 ~ 請求項 7 のいずれか 1 項に記載の液晶ディスプレイ装置の製造方法。

【請求項 9】

基板にアモルファスシリコン層を形成するステップの前に、基板の上にバッファ層を形成するステップを更に含む請求項 1 ~ 請求項 8 のいずれか 1 項に記載の液晶ディスプレイ装置の製造方法。

【請求項 10】

基板、

前記基板の上に形成され、第一のグレインサイズを有する第一ポリシリコン層と、第二のグレインサイズを有する第二ポリシリコン層を含むパターン化したポリシリコン層、及び

前記第一ポリシリコン層を含む第一型薄膜トランジスタを複数含む液晶ディスプレイ装置。

【請求項 11】

第二ポリシリコン層を含む第二の薄膜トランジスタを複数含む請求項 10 に記載の液晶ディスプレイ装置。

10

20

30

40

50

【請求項 12】

基板とパターン化したポリシリコン層の間に、バッファ層を更に含む請求項 10 又は請求項 11 に記載の液晶ディスプレイ装置。

【請求項 13】

基板を提供するステップ、

前記基板の上に第一領域と第二領域を含むアモルファスシリコン層を形成するステップ

、
前記アモルファスシリコン層の前記第一領域の上に光反射層を形成するステップ、

光源で前記アモルファスシリコン層を照射するステップを含み、

前記アモルファスシリコン層を照射するステップで、前記第一領域の光反射層が第一領域に照射した光を一部反射することにより、アモルファスシリコン層の第一領域を第一ポリシリコン層に、アモルファスシリコン層の前記第二領域を第二ポリシリコン層に変換させ、

10

前記第二ポリシリコン層のグレインサイズを前記第一ポリシリコン層のグレインサイズより大きいポリシリコン層に変換させる、異なるグレインサイズの領域を有するポリシリコン層の形成方法。

【請求項 14】

光反射層は、少なくとも一つの誘電体層を含む請求項 1 に記載の異なるグレインサイズの領域を有するポリシリコン層の形成方法。

【請求項 15】

光源は、レーザー光である請求項 13 又は請求項 14 に記載の異なるグレインサイズの領域を有するポリシリコン層の形成方法。

20

【請求項 16】

レーザー光は、エキシマレーザー、又は、グリーンレーザーを含む請求項 15 に記載の異なるグレインサイズの領域を有するポリシリコン層の形成方法。

【請求項 17】

光反射層は、酸化物を含む請求項 13 ~ 請求項 16 のいずれか 1 項に記載の異なるグレインサイズの領域を有するポリシリコン層の形成方法。

【請求項 18】

光反射層は、窒化物を含む請求項 13 ~ 請求項 17 のいずれか 1 項に記載の異なるグレインサイズの領域を有するポリシリコン層の形成方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイ装置とその製造方法に関し、特に、漏電を低下できる低温ポリシリコン薄膜トランジスタ (TFT) を備える液晶ディスプレイ装置、及びその製造方法に関する。

【背景技術】

【0002】

従来のアクティブマトリクス of 液晶ディスプレイは、通常、ガラス、又はクォーツ基板と、その上の複数の画素電極とスイッチング装置から構成される。各画素は、関連したゲートラインとデータラインによって定義される。各画素は、蓄積キャパシタを有し、スイッチング装置の画素電極に接続される。

40

【0003】

薄膜トランジスタを画素スイッチング装置とする液晶ディスプレイは、低電力消耗、薄型、軽量と、低駆動電圧であることから、デスクトップ型、ノート型パソコンと、その他の装置のディスプレイ設備として用いるのに非常に適している。従って、薄膜トランジスタを有するアクティブマトリクス of 液晶ディスプレイは、近年のディスプレイ装置の主流となっている。

【0004】

50

アクティブマトリクス液晶ディスプレイの価格が一般的に受け入れられるようにするため、画素TFTの集積回路を駆動する製造コストを減少することが液晶ディスプレイ発展の主な方向の一つである。そして、これに鑑み、低温ポリシリコンTFTの液晶ディスプレイが目下、研究開発の目標となっている。

【0005】

低温ポリシリコンTFTの製造プロセスでは、まず、アモルファスシリコン層が基板の上に堆積され、続いて、エキシマレーザーによって前記アモルファスシリコン層にアニリングプロセスを行う。前記レーザーアニリングのプロセスでは、前記アモルファスシリコン層を結晶化させ、大きな、均一した配列のグレインのポリシリコン層を形成する。また、低温ポリシリコンTFTの製造プロセスでは、駆動装置とその他の関連する回路は、前記基板の外部の周辺回路領域内に製造され、前記周辺回路領域は、画素TFT（基板の上に位置する画素領域内）と隣接する。

10

【0006】

アクティブマトリクス液晶ディスプレイの場合でいえば、前記周辺回路領域内の低温ポリシリコンTFTは、高キャリア移動度(mobility)と導通状態の電流特性を有していなければならない。しかし、仮にポリシリコン層のグレインが大きい場合、前記ポリシリコン層は、低漏電特性の薄膜トランジスタを製造し難い。

【特許文献1】米国特許第6602765号公報

【特許文献2】米国特許第6555875号公報

20

【特許文献3】米国特許第5851862号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

アクティブマトリクス液晶ディスプレイに上述の特性を具備させるために、従来のアクティブマトリクス液晶ディスプレイは、LDD(lightly doped drain)、又は、オフセット構造の方式を用いて、低温ポリシリコン画素TFTの漏電特性を減少している。しかし、これらの構造(LDDとオフセット構造)は、追加のマスク、注入プロセスとプロセス設備を用いなければならない。更に、プロセスを複雑にし製造のコストを増加する。また、これらの構造は、周辺回路領域のTFT内のキャリア移動に制限をきたす。

30

【課題を解決するための手段】

【0008】

上述の問題を解決するために、本発明は、液晶ディスプレイ装置の製造方法を提供する。前記方法は、以下のステップを含む。まず、基板を提供する。続いて、前記基板の上に第一領域と第二領域を含むアモルファスシリコン層を形成する。続いて、前記アモルファスシリコン層の第一領域の上に光反射層を形成する。続いて、光源で前記アモルファスシリコン層を照射し、ポリシリコン層に変換する。このステップでは、前記アモルファスシリコン層の第一領域に位置する光反射層は、前記アモルファスシリコン層の第一領域に照射した光を一部反射し、前記アモルファスシリコン層の第一領域をポリシリコン層の第一領域に、前記アモルファスシリコン層の第二領域をポリシリコン層の第二領域に変換させる。前記ポリシリコン層の第一領域は、第一のポリシリコングレインサイズを有し、前記ポリシリコン層の第二領域は、第二のポリシリコングレインサイズを有する。最後に、前記第一領域のポリシリコン層について、複数の第一の薄膜トランジスタを形成する。

40

【0009】

本発明は、また、液晶ディスプレイ装置に関する。基板を含み、前記基板の上にパターン化したポリシリコン層が形成され、前記パターン化したポリシリコン層は、第一のポリシリコングレインサイズを有する第一領域と、第二のポリシリコングレインサイズを有する第二領域を含む。また、前記液晶ディスプレイ装置は、前記第一領域のポリシリコン層を含む複数の薄膜トランジスタを更に有する。

50

【 0 0 1 0 】

本発明は、更に、アモルファスシリコンを結晶化させ異なるポリシリコングレインサイズの領域を有するポリシリコン層の形成方法を提供する。この方法は、以下のステップを含む。まず、基板を提供する。続いて、前記基板の上に第一領域と第二領域を含むアモルファスシリコン層を形成する。続いて、前記アモルファスシリコン層の第一領域の上に光反射層を形成する。続いて、レーザー光で前記アモルファスシリコン層を照射し、前記アモルファスシリコン層をポリシリコン層に変換する。このステップでは、前記アモルファスシリコン層の第一領域に位置する光反射層は、前記アモルファスシリコン層の第一領域に照射した光を一部反射し、前記アモルファスシリコン層の第一領域をポリシリコン層の第一領域に、前記アモルファスシリコン層の第二領域をポリシリコン層の第二領域に変換させる。前記ポリシリコン層の第一領域は、第一のポリシリコンのグレインサイズを有し、前記ポリシリコン層の第二領域は、第二のポリシリコンのグレインサイズを有し、且つ、前記第二のポリシリコン層のグレインサイズは、前記第一のポリシリコン層のグレインサイズより大きい。

【 発明の効果 】

【 0 0 1 1 】

本発明の異なるポリシリコングレインサイズの領域を有するポリシリコン層の形成方法、液晶ディスプレイ装置及びその製造方法によれば、低温ポリシリコン画素 T F T の漏電性質を減少させることができ、よって、画素 T F T の集積回路を駆動する製造コストを減少することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 2 】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照しつつ詳細に説明する。

【 0 0 1 3 】

図 1 ~ 5 は、1 シリーズの断面構造図であり、本発明で述べた液晶ディスプレイ装置の好ましい実施例のフローチャートの説明に用いられる。

【 0 0 1 4 】

図 1 A を参照すると、まず、絶縁基板 1 0 を提供し、以下に述べる液晶ディスプレイを形成するステップを完成する。基板 1 0 は、例えばガラスを用いることができ、画素域 1 2 と周辺回路域 1 4 を含む。画素 T F T は、画素域 1 2 内に形成され、その他の周辺回路は、駆動装置として機能する T F T は、周辺回路域 1 4 内に形成される。続いて、バッファ層 2 0 を基板 1 0 の上に形成する。バッファ層 2 0 は、酸化ケイ素、窒化ケイ素、又は、それらが混合して構成された、単層又は、多層の誘電材料層からなることができる。この層は、化学気相堆積法、及び / 又は物理気相堆積法によって形成することができる。バッファ層 2 0 の好ましい膜厚は、 $0.15 \mu\text{m} \sim 0.3 \mu\text{m}$ の範囲の間であることができる。

【 0 0 1 5 】

図 1 B では、アモルファスシリコン (a - S i) 層 3 0 によって構成された半導体層が、バッファ層 2 0 の上に形成される。アモルファスシリコン層 3 0 は、化学気相堆積法、及び / 又は、物理気相堆積法によって形成することができる。アモルファスシリコン層 3 0 の好ましい膜厚は、 $0.04 \mu\text{m} \sim 0.06 \mu\text{m}$ の範囲の間であることができる。

【 0 0 1 6 】

続いて、図 1 C のように、光反射層 4 0 をアモルファスシリコン層 3 0 の上に形成する。光反射層 4 0 は、単層又は多層膜によって構成することができる。光反射層 4 0 は、酸化ケイ素、酸化タンタル、窒化ケイ素、又は、多種混合によって構成され、これらの膜層の数と構成成分は、必要とする反射量と用いるレーザー光の波長により定められる。光反射層 4 0 は、プラズマ化学気相成長法又は蒸着法によって形成することができる。光反射層 4 0 の膜厚の範囲は、合計で $0.07 \mu\text{m} \sim 1.5 \mu\text{m}$ の範囲の間であることができ、単一の場合の膜厚範囲は、 $0.15 \mu\text{m} \sim 1.3 \mu\text{m}$ の範囲の間であることができる。

【0017】

そして、図2のように、周辺回路域14内の一部の光反射層40を取り除く。このステップでは、取り除かれていない光反射層42は、画素域12を完全に覆う。一部の光反射層40を取り除く方法は、例えば、ウェットエッチングを合わせたフォトエッチングのステップからなることができる。

【0018】

図3のように、レーザーアニーリングプロセスを用いてアモルファスシリコン層30を結晶化し、ポリシリコン30'を形成する。このレーザーアニーリングプロセス中では、波長が308nmのエキシマレーザー、又は、532nmのグリーンレーザーを用い、アモルファスシリコン層30を照射する。上述で用いるレーザー以外に、その他の波長を有するレーザー（例えば、247nmのレーザー）も用いることができる。このレーザーアニーリングプロセスの温度は、通常は、低温ポリシリコン（LTPS）の形成温度（600）より低い。

【0019】

上述のレーザーアニーリングプロセスによってアモルファスシリコン層30'を形成するステップでは、画素域12を覆っている光反射層42は、その上に照射したレーザー光15を一部反射する。よって、光反射層42で覆われたアモルファスシリコン層30がアニーリングプロセスの時のエネルギー密度を減少することができ、よって、比較的小さいポリシリコングレインサイズ（直径で約0.1μm小さい）を有するポリシリコン層31を形成する。また、周辺回路域14内の光反射層42に覆われていないアモルファスシリコン層30は、その上に光反射層42がないことからレーザー光を反射することができ、よって、レーザー光15の全てのエネルギー（アニーリングプロセス中、比較的高いエネルギー密度を有する）を吸収するため、光反射層に覆われていないアモルファスシリコン層によって変換されたポリシリコン層32は、比較的大きいポリシリコングレインサイズ（直径約0.3μm～0.4μm）を有する。

【0020】

以上の説明からわかるように、レーザーアニーリングのプロセスでは、光反射層40は、その上に照射した特定の波長を有するレーザー光を一部反射することで、形成されるポリシリコン層31のポリシリコングレインサイズをコントロールしている。ここでは、光反射層42の全体的な反射係数と厚さによって、レーザー光の反射量を調整することができる。本発明では、光反射層42が必要とする、レーザー光が作り出す反射量は、画素域12のポリシリコン層31が必要とするポリシリコングレインサイズにより決められる。具体的に言えば、光反射層42のレーザー光反射率は、1%～99%とすることができる。

【0021】

次に、図4のように、エッチングステップで光反射層42を取り除き、続いて、フォトエッチングプロセスでポリシリコン層31と32をパターン化する。このステップでは、ポリシリコン層31と32は、複数のアイランド50a～50dとして形成される（ここでは、簡略して4つのアイランドのみ表示する）。画素域12のアイランド50aと50bは、比較的小さいポリシリコングレインサイズを有し、本発明の述べた液晶ディスプレイ装置の画素薄膜トランジスタは、アイランド50aと50bによってソースとドレインとなり、画素域12内に形成される。また、周辺回路域14のアイランド50cと50dは、比較的大きいポリシリコングレインサイズを有する。液晶ディスプレイ装置の周辺駆動の薄膜トランジスタは、アイランド50cと50dによってソースとドレインとなり、画素域12内に形成される。

【0022】

図5は、本発明で述べた画素薄膜トランジスタ構造60の断面図を示している。画素構造60は、画素域12の中に形成され、且つ、相補型トランジスタ構造によって構成される。相補型トランジスタ構造は、ポリシリコンアイランド50aを含むPMOSTランジスタ70と、ポリシリコンアイランド50bを含むNMOSTランジスタ80によって構

10

20

30

40

50

成される。PMOSトランジスタ70は、ポリシリコンアイランド50aによって形成されたソース領域71、チャネル領域72とドレイン領域73を含み、NMOSトランジスタ80は、ポリシリコンアイランド50bによって形成されたソース領域81、チャネル領域82とドレイン領域83を含む。PMOSトランジスタ70とNMOSトランジスタ80のゲート電極74と84は、それぞれ各チャネル域72と82の上の第一絶縁層62の上に形成される。PMOSトランジスタ70のソースとドレイン接触域75と76と、NMOSトランジスタ80のソースとドレイン接触域85と86は、第二絶縁層63の上に形成され、第一絶縁層62と第二絶縁層63を穿通し、ソース/ドレイン電極と接触する。画素電極90は、第三絶縁層64の上に形成され、NMOSトランジスタのドレイン接触域83と電氣的接続することができ、適当な電圧が画素構造60に提供された時、画素構造60は、NMOSトランジスタ80とPMOSトランジスタ70を通して画素電極90をオン、又はオフにすることができる。

10

【0023】

本発明で述べた反射層は、単一の材料層、又は、多層の材料層によって構成されることができる。図6は、本発明の好ましい実施例を示しており、単一の誘電体層101からできた反射層110を用いて、ベース100の上に形成される。仮にレーザー光15が法線状の入射角（入射角：0度）で入射した場合、反射層の反射係数（R）は、下記の方程式によって算出することができる。

【数1】

$$R = [(n_E - n_0) / (n_E + n_0)]^2$$

$$= \{[(n_1^2/n_s) - n_0] / [(n_1^2/n_s) + n_0]\}^2 \dots \quad \text{公式(1)}$$

20

【0024】

n_1 は、単一の誘電体層101の屈折率であり、 n_0 は、空気の屈折率（ $n_0 = 1$ は、全ての波長の光）であり、 $n_E = n_1^2 / n_s$ で、 n_s は、ベース100の屈折率であり、ベースは、ガラス基板の上のアモルファスシリコン層に形成されてなることができる。

【0025】

$n_0 = 1$ を公式(1)の中に代入すると、下記公式(2)のようとなる。また、公式(3)のdは、反射層の厚さで、yは、入射レーザーの波長である。

30

【数2】

$$R = \{[(n_1^2/n_s) - 1] / [(n_1^2/n_s) + 1]\}^2 \dots \quad \text{公式(2)}$$

【数3】

$$n_1 \times d = y/4 \dots \quad \text{公式(3)}$$

【0026】

仮に、単一の誘電体層101が酸化ケイ素（屈折率1.46）からなる場合、 $n_1 = 1.46$ を公式(2)に代入すると、反射係数（R）を算出することができる。また、仮に単一の誘電体層101が窒化ケイ素（屈折率2）からなる場合、 $n_1 = 2$ を公式(2)に代入する。

40

【0027】

図7は、本発明のもう一つの好ましい実施例を示しており、多層の誘電体層101～105を用いて反射層110となり、ベース100の上に形成される。仮にレーザー光15が法線の入射角（入射角：0度）で入射する場合、反射層の反射係数（R）は、下記の方程式によって算出することができる。

【0028】

多膜層反射層の反射率は、下記の公式によって算出することができる。

50

【数 4】

$$R=[(n_0-n_E)/(n_0+n_E)]^2\dots \quad \text{公式 (4)}$$

【0029】

n_0 は、空気の屈折率 ($n_0 = 1$ は、全ての波長の光) であり、 n_s は、ベース 100 の屈折率であり、ベースは、ガラス基板の上のアモルファスシリコン層に形成されてなることができる。 $n_E = (n_1 n_3 n_5)^2 / [(n_2 n_4)^2 n_s]$ で、且つ、誘電体層 101 ~ 105 の屈折率は、それぞれ n_1 、 n_2 、 n_3 、 n_4 、 n_5 である。

【0030】

上述の公式 (2) と公式 (4) からわかるように、高屈折率の誘電体層の材料は、低屈折率の材料と比べ、比較的大きい反射率を有する。

【0031】

図 8 は、ポリシリコングレインサイズ (y 軸) とエキシマレーザーアニーリング (ELA) のエネルギー密度 (x 軸) との関係を示している。図からわかるように、 E_c は、ELA のエネルギー密度が最適な点であり、即ち、レーザーアニーリングプロセスが E_c のエネルギー密度の時、最も大きなポリシリコングレインサイズを作ることができ、エネルギー密度が E_c より小さい場合、比較的小さいポリシリコングレインサイズを形成する。

【0032】

図 9 は、異なるポリシリコングレインサイズを有する薄膜トランジスタのドレイン I_d の電流とゲート V_g 電圧の関係図を示している。 $ED1$ 、 $ED2$ と $ED3$ は、異なるエネルギー密度で結晶化したポリシリコンを示しており、グレインのサイズは、 $ED1 < ED2 < ED3$ である。図 9 からわかるように、大きなポリシリコングレインサイズを有する薄膜トランジスタは、高い漏電を示している。

【図面の簡単な説明】

【0033】

【図 1A】本実施例での液晶ディスプレイ装置製造のフローチャートの断面図 (基板への画素 TFT、駆動 TFT、バッファ層の形成)。

【図 1B】本実施例での液晶ディスプレイ装置製造のフローチャートの断面図 (アモルファスシリコン半導体層の形成)。

【図 1C】本実施例での液晶ディスプレイ装置製造のフローチャートの断面図 (光反射層の形成)。

【図 2】本実施例での液晶ディスプレイ装置製造のフローチャートの断面図 (一部の光反射層を取り除くステップ)。

【図 3】本実施例での液晶ディスプレイ装置製造のフローチャートの断面図 (レーザーアニーリングプロセスを用いてアモルファスシリコン層を結晶化するステップ)。

【図 4】本実施例での液晶ディスプレイ装置製造のフローチャートの断面図 (エッチングステップで反射層を除去後、フォトエッチングプロセスでポリシリコン層をパターン化するステップ)。

【図 5】本実施例の画素薄膜トランジスタ構造の断面図。

【図 6】単一の膜層を用いて光反射層とした本発明の好ましい実施例の断面図。

【図 7】複数の膜層を用いて光反射層とした本発明の好ましい実施例の断面図。

【図 8】ポリシリコングレインサイズ (y 軸) とエキシマレーザーアニーリング (ELA) のエネルギー密度 (x 軸) の関係を示す図。

【図 9】異なるポリシリコングレインサイズを有する薄膜トランジスタのドレイン電流とゲート電圧の関係図を示す図。

【符号の説明】

【0034】

10 基板

12 画素域

10

20

30

40

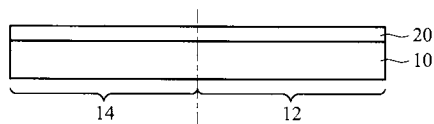
50

- 1 4 周辺回路域
- 1 5 レーザー光
- 2 0 バッファ層
- 3 0 アモルファスシリコン層 3 0
- 3 0' ポリシリコン層
- 3 1 比較的小さいポリシリコングレインサイズ
- 3 2 比較的大きいポリシリコングレインサイズ
- 4 0、4 2 光反射層
- 5 0 a、5 0 b、5 0 c、5 0 d ポリシリコンアイランド
- 6 0 画素構造
- 6 2 第一絶縁層
- 6 3 第二絶縁層
- 6 4 第三絶縁層
- 7 0 P M O S トランジスタ
- 7 1、8 1 ソース領域
- 7 2、8 2 チャネル領域
- 7 3、8 3 ドレイン領域
- 7 4、8 4 ゲート電極
- 7 5、8 5 ソース接触域
- 7 6、8 6 ドレイン接触域
- 9 0 画素電極
- 1 0 0 ベース
- 1 0 1、1 0 2、1 0 3、1 0 4、1 0 5 誘電体層
- 1 1 0 反射層

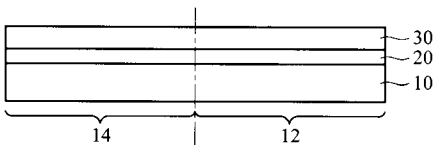
10

20

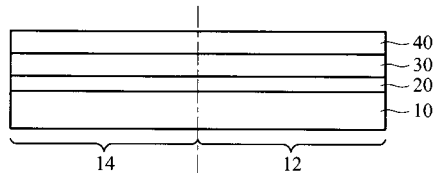
【図 1 A】



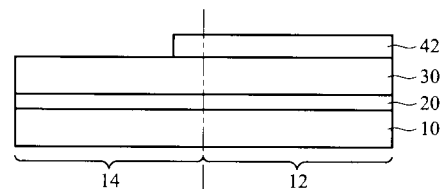
【図 1 B】



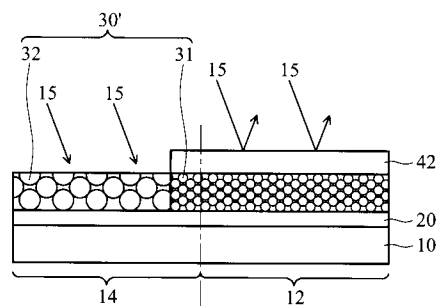
【図 1 C】



【図 2】



【図 3】



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/08	H 0 1 L 27/08	3 2 1 C
H 0 1 L 27/088	H 0 1 L 27/08	1 0 2 B
H 0 1 L 27/092		
H 0 1 L 29/786		

F ターム(参考)	5F110	AA01	AA06	AA16	BB02	BB04	CC02	DD02	DD13	DD14	DD15
		DD17	GG02	GG13	GG16	GG25	GG42	GG44	NN03	NN72	NN78
		PP03	PP04	PP31							
	5F152	AA06	AA10	BB02	CC02	CD13	CD14	CE05	CE12	CE15	CE24
		CF02	CF13	CF14	CF16	CF22	CF23	FF01	FF03	FG18	FG19

专利名称(译)	形成具有不同多晶硅晶粒尺寸区域的多晶硅层的方法，液晶显示器件及其制造方法		
公开(公告)号	JP2005244230A	公开(公告)日	2005-09-08
申请号	JP2005046574	申请日	2005-02-23
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▼ふん▲有限公司		
[标]发明人	彭佳添		
发明人	彭 佳添		
IPC分类号	G02F1/136 G02F1/133 G02F1/1362 G09G3/36 H01L21/20 H01L21/336 H01L21/77 H01L21/8234 H01L21/8238 H01L21/84 H01L27/08 H01L27/088 H01L27/092 H01L27/12 H01L29/786		
CPC分类号	G02F1/13454 H01L27/12 H01L27/1281 H01L29/78675		
FI分类号	H01L29/78.627.G G02F1/136 H01L21/20 H01L27/08.331.E H01L29/78.612.B H01L27/08.321.C H01L27/08.102.B H01L27/088.B H01L27/088.331.E H01L27/092.C		
F-TERM分类号	2H092/JA24 2H092/JA28 2H092/KA04 2H092/KA05 2H092/MA30 2H092/NA21 2H092/NA25 2H092/PA12 2H092/PA13 5F048/AC01 5F048/AC04 5F048/BA16 5F048/BC16 5F048/BD01 5F048/BF16 5F110/AA01 5F110/AA06 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/GG02 5F110/GG13 5F110/GG16 5F110/GG25 5F110/GG42 5F110/GG44 5F110/NN03 5F110/NN72 5F110/NN78 5F110/PP03 5F110/PP04 5F110/PP31 5F152/AA06 5F152/AA10 5F152/BB02 5F152/CC02 5F152/CD13 5F152/CD14 5F152/CE05 5F152/CE12 5F152/CE15 5F152/CE24 5F152/CF02 5F152/CF13 5F152/CF14 5F152/CF16 5F152/CF22 5F152/CF23 5F152/FF01 5F152/FF03 5F152/FG18 5F152/FG19 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB24 2H192/CB34 2H192/FB02 2H192/HA82		
优先权	10/788059 2004-02-26 US		
外部链接	Espacenet		

摘要(译)

一种用于降低低温多晶硅像素TFT的泄漏特性并降低用于驱动像素TFT的集成电路的制造成本的方法。本发明提供一种基板，在该基板上形成包括第一区域和第二区域的非晶硅层，在该第一区域上形成光反射层。照射非晶硅层，位于第一区域中的光反射层部分反射照射到第一区域的光，第一区域是第一多晶硅层，第二区域是一种制造液晶显示装置的方法，包括转换为第二多晶硅层，并将第二多晶硅层的晶粒尺寸转换为大于第一多晶硅层的晶粒尺寸的多晶硅层。[选择图]图3

