

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-310113

(P2004-310113A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/36</b>	G09G 3/36	2H090
<b>G02F 1/133</b>	G02F 1/133 550	2H093
<b>G02F 1/1337</b>	G02F 1/133 570	5C006
<b>G09G 3/20</b>	G02F 1/133 575	5C080
	G02F 1/1337 505	
審査請求 未請求 請求項の数 60 O L (全 58 頁) 最終頁に続く		

(21) 出願番号	特願2004-113685 (P2004-113685)	(71) 出願人	390019839
(22) 出願日	平成16年4月7日 (2004.4.7)		三星電子株式会社
(31) 優先権主張番号	2003-021638		大韓民国京畿道水原市靈通区梅灘洞416
(32) 優先日	平成15年4月7日 (2003.4.7)	(74) 代理人	100094145
(33) 優先権主張国	韓国 (KR)		弁理士 小野 由己男
(31) 優先権主張番号	2003-061880	(74) 代理人	100106367
(32) 優先日	平成15年9月4日 (2003.9.4)		弁理士 稲積 朋子
(33) 優先権主張国	韓国 (KR)	(72) 発明者	宋 長 根
(31) 優先権主張番号	2003-067298		大韓民国ソウル特別市江南区大峙2洞ミド
(32) 優先日	平成15年9月29日 (2003.9.29)		アパート110等304号
(33) 優先権主張国	韓国 (KR)	(72) 発明者	朴 東 園
			大韓民国ソウル特別市西大門区▲ヒョン▼
			底洞極東アパート103棟304号
		Fターム(参考)	2H090 HC10 HD11 KA04 LA04 MA01 MA15
			最終頁に続く

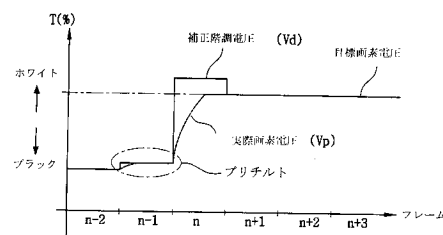
(54) 【発明の名称】 表示装置、駆動装置及び駆動方法

## (57) 【要約】

【課題】 表示装置とこれの駆動装置及び方法を提供する。

## 【解決手段】

階調信号補正部は階調信号ソースから階調信号を受信し、以前フレームの階調信号と現在フレームの階調信号と次フレームの階調信号とを考慮して現在フレームの補正階調信号を出力する。データドライバーは補正階調信号に対応するデータ電圧に変換して画像信号を出力する。走査ドライバーは走査信号を順次供給する。表示パネルは走査信号を伝達する複数の走査ラインと、画像信号を伝達する複数のデータラインと、走査ライン及びデータラインにより囲まれた領域に形成され走査ライン及びデータラインにそれぞれ連結されたスイッチング素子を備えてマトリックス状の配列された複数の画素を含む。これによって、現在フレームの階調信号が印加されることによって以前フレームの階調信号と次フレームの階調信号とを考慮して補正された階調信号を現在フレームに印加することで液晶の応答速度を高速化させることができる。



**【特許請求の範囲】****【請求項 1】**

階調信号ソースから階調信号を受信して、前記階調信号に基づいて補正階調信号を生成して出力する階調信号補正部と、

前記補正階調信号に基づいて、画像信号を生成して供給するデータドライバーと、

走査信号を順次的に供給する走査ドライバーと、

前記データドライバーから前記画像信号が供給されるとともに、前記走査ドライバーから前記走査信号が供給される表示パネルと、

を備え、

10

前記表示パネルは、

前記走査信号を伝達する複数の走査ラインと、

前記画像信号を伝達する複数のデータラインと、

前記走査ライン及び前記データラインにより囲まれた領域に形成され、前記走査ライン及び前記データラインにそれぞれ連結された複数のスイッチング素子と、

前記スイッチング素子により制御され、マトリックス状に配列された複数の画素と、を有し、

前記階調信号補正部は、第 1 フレームの前記階調信号と、前記第 1 フレームの次のフレームである第 2 フレームの前記階調信号と、前記第 2 フレームの次のフレームである第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの前記補正階調信号を生成して出力する、表示装置。

20

**【請求項 2】**

前記補正階調信号は、前記階調信号に対して 1 フレームの期間だけ遅れて出力される、請求項 1 に記載の表示装置。

**【請求項 3】**

前記階調信号補正部は、

前記第 1 フレームの前記階調信号の電圧である第 1 電圧と前記第 2 フレームの前記階調信号の電圧である第 2 電圧とが相異なる場合、前記第 3 フレームの前記階調信号が受信される期間において、前記第 1 電圧に対する前記第 2 フレームの前記補正階調信号の電圧の変化量が前記第 1 電圧に対する前記第 2 電圧の変化量よりも大きくなるように、前記第 2 フレームの前記補正階調信号を生成して出力する、請求項 1 に記載の表示装置。

30

**【請求項 4】**

前記階調信号補正部は、

前記第 1 フレームの前記階調信号の電圧が第 1 低階調信号電圧であり、前記第 2 フレームの前記階調信号の電圧が前記第 1 低階調信号電圧より高い電圧である第 1 高階調信号電圧である場合、前記第 2 フレームの前記階調信号が受信される期間において、前記第 1 低階調信号電圧より高く前記第 1 高階調信号電圧より低い電圧である第 2 高階調信号電圧になるように前記第 1 フレームの前記補正階調信号を生成して出力する、請求項 3 に記載の表示装置。

40

**【請求項 5】**

前記第 1 低階調信号電圧はブラック階調信号の電圧である、請求項 4 に記載の表示装置。

**【請求項 6】**

前記画素は、液晶を含み、

前記第 2 高階調信号電圧になるように生成された前記補正階調信号は、前記液晶をプリチルト (pre-tilt) させるためのプリチルト形成信号である、請求項 5 に記載の表示装置。

**【請求項 7】**

50

前記表示パネルは、  
前記スイッチング素子を経由して前記データラインから前記画素信号の供給を受ける画素電極と、  
前記画素電極との間で前記液晶に電圧を印加するための共通電極と、  
をさらに有し、  
前記階調信号の電圧又は前記補正階調信号の電圧は、前記共通電極に対する前記画素電極の電圧であり、  
前記ブラック階調信号の電圧は、0.5～1.5ボルトのうちいずれかの電圧であり、  
前記プリチルト形成信号の電圧は、2～3.5ボルトのうちいずれかの電圧である、  
請求項6に記載の表示装置。

10

## 【請求項8】

前記階調信号及び前記補正階調信号は、デジタル階調の信号である、  
請求項1に記載の表示装置。

## 【請求項9】

前記階調信号補正部は、  
前記階調信号に対応するデジタル階調の信号を並列変換するための並列変換部と、  
前記並列変換部が並列変換した前記階調信号を直列変換して、前記補正階調信号に対応するデジタル階調の信号を前記データドライバーに出力するための直列変換部と、  
をさらに有する、  
請求項8に記載の表示装置。

20

## 【請求項10】

前記階調信号及び前記補正階調信号は、アナログ階調の信号である、  
請求項1に記載の表示装置。

## 【請求項11】

前記階調信号補正部は、  
前記階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換するための合成器と、  
前記補正階調信号に対応するアナログ階調の信号を分離して前記データドライバーに出力するための分離器と、  
を有する、  
請求項10に記載の表示装置。

30

## 【請求項12】

前記階調信号補正部は、  
受信された前記階調信号を所定フレームの期間だけ保存して出力する第1メモリと、  
前記階調信号を前記第1メモリから受け取り、さらに前記所定フレームの期間だけ前記階調信号を保存して出力する第2メモリと、  
前記第1メモリから前記階調信号を読み出すことである第1読出動作と、前記第2メモリから前記階調信号を読み出すことである第2読出動作と、前記第1メモリへ前記階調信号を書き込むことである第1書込動作と、前記第2メモリへ前記階調信号を書き込むことである第2書込動作とを制御するコントローラと、  
前記第2メモリが出力した前記第1フレームの前記階調信号と、前記第1メモリが出力した前記第2フレームの前記階調信号と、受信された前記第3フレームの前記階調信号とを考慮して、前記第2フレームの前記補正階調信号を生成して出力する階調信号変換部と、  
を有する、

40

請求項1に記載の表示装置。

## 【請求項13】

前記所定フレームの期間は、1フレームの期間である、  
請求項12に記載の表示装置。

## 【請求項14】

50

前記第 1 読出動作、前記第 2 読出動作、前記第 1 書込動作及び前記第 2 書込動作に同期されるクロック周波数は、前記階調信号補正部に供給されるクロック周波数と同一である、  
請求項 1 2 に記載の表示装置。

【請求項 1 5】

前記第 1 読出動作、前記第 2 読出動作、前記第 1 書込動作及び前記第 2 書込動作の少なくとも 1 つに同期されるクロック周波数は、前記階調信号補正部に供給されるクロック周波数を正の整数で割った値である、  
請求項 1 2 に記載の表示装置。

【請求項 1 6】

前記階調信号補正部は、  
前記階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換するための合成器と、  
前記補正階調信号に対応するアナログ階調の信号を分離して前記データドライバーに出力するための分離器と、  
をさらに有する、  
請求項 1 5 に記載の表示装置。

【請求項 1 7】

前記階調信号補正部は、  
受信された前記階調信号を所定フレームの期間だけ保存して出力するメモリと、  
前記メモリから前記階調信号を読み出すことである読出動作と、前記メモリへ前記階調信号を書き込むことである書込動作とを制御するコントローラと、  
前記第 1 フレームの前記階調信号と前記第 2 フレームの前記階調信号と前記第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの前記補正階調信号を生成して出力する階調信号変換部と、  
を有する、  
請求項 1 に記載の表示装置。

【請求項 1 8】

前記所定フレームの期間は、1 フレームの期間である、  
請求項 1 7 に記載の表示装置。

【請求項 1 9】

前記読出動作及び前記書込動作に同期されるクロック周波数は、前記階調信号補正部に供給されるクロック周波数と同一である、  
請求項 1 7 に記載の表示装置。

【請求項 2 0】

前記読出動作及び前記書込動作の少なくとも 1 つに同期されるクロック周波数は、前記階調信号補正部に供給されるクロック周波数を正の整数で割った値である、  
請求項 1 7 に記載の表示装置。

【請求項 2 1】

前記階調信号補正部は、  
前記階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換するための合成器と、  
前記補正階調信号に対応するアナログ階調の信号を分離して前記データドライバーに出力するための分離器と、  
をさらに有する、  
請求項 1 7 に記載の表示装置。

【請求項 2 2】

前記画素は、液晶を含み、  
前記表示パネルは、垂直配向モード、パターン化された垂直配向モード、多重ドメイン垂直配向モードのうちいずれかを採用する、

10

20

30

40

50

請求項 1 に記載の表示装置。

【請求項 2 3】

前記階調信号補正部は、

前記第 2 フレームの前記階調信号の電圧と前記第 3 フレームの前記階調信号の電圧とが同じ場合、前記第 3 フレームの次のフレームである第 4 フレームの前記階調信号が受信される期間において、前記第 3 フレームの前記補正階調信号の電圧が前記第 3 フレームの前記階調信号の電圧と同じになるように、前記第 3 フレームの前記補正階調信号を生成して出力する、

請求項 3 に記載の表示装置。

【請求項 2 4】

前記階調信号補正部は、

前記第 1 フレームの前記階調信号と前記第 2 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 1 補正階調信号を生成して出力する階調信号変換部と、

前記第 2 フレームの前記第 1 補正階調信号を前記階調信号変換部から受け取り、所定フレームの期間だけ前記第 2 フレームの前記第 1 補正階調信号を保存して出力するメモリと、

前記メモリから前記第 2 フレームの前記第 1 補正階調信号を読み出すことである補正読出動作と、前記メモリへ前記第 2 フレームの前記第 1 補正階調信号を書き込むことである補正書込動作とを制御するコントローラと、

を有し、

前記階調信号変換部は、前記第 3 フレームの前記階調信号が入力され、前記メモリから前記第 2 フレームの前記第 1 補正階調信号を受け取り、前記第 2 フレームの前記第 1 補正階調信号と前記第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 2 補正階調信号を前記第 2 フレームの前記補正階調信号として生成して出力する、

請求項 1 に記載の表示装置。

【請求項 2 5】

前記第 2 フレームの前記第 1 補正階調信号は、

前記階調信号に関する情報である階調信号情報と、

前記第 1 電圧に対する前記第 2 フレームの電圧の変化量が前記第 1 電圧に対する前記第 2 電圧の変化量よりも大きくなるように生成されることである補正処理の存否を示す履歴情報と、

を含む、

請求項 2 4 に記載の表示装置。

【請求項 2 6】

前記階調信号変換部は、前記第 2 フレームの前記第 1 補正階調信号を生成するとき、前記階調信号情報において前記補正処理が存在している場合に前記履歴情報に対応する信号を活性化させ、前記階調信号情報において前記補正処理が存在していない場合に前記履歴情報に対応する信号を非活性化させる、

請求項 2 5 に記載の表示装置。

【請求項 2 7】

前記階調信号変換部は、前記第 3 フレームの前記第 1 補正階調信号を生成するとき、前記第 2 フレームの前記第 1 補正階調信号の前記履歴情報に対応する信号が活性化されている場合に、前記第 3 フレームの前記第 1 補正階調信号の前記履歴情報に対応する信号を非活性化させる、

請求項 2 6 に記載の表示装置。

【請求項 2 8】

階調信号ソースから階調信号を受信して、前記階調信号に基づいて補正階調信号を生成して出力するタイミング制御部と、

前記補正階調信号に基づいて、画像信号を生成して供給するデータドライバーと、

走査信号を順次的に供給する走査ドライバーと、

10

20

30

40

50

前記データドライバーから前記画像信号が供給されるとともに、前記走査ドライバーから前記走査信号が供給される表示パネルと、

を備え、

前記表示パネルは、

前記走査信号を伝達する複数の走査ラインと、

前記画像信号を伝達する複数のデータラインと、

前記走査ライン及び前記データラインにより囲まれた領域に形成され、前記走査ライン及び前記データラインにそれぞれ連結された複数のスイッチング素子と、

前記スイッチング素子により制御され、マトリックス状に配列された複数の画素と、

を有し、

前記タイミング制御部は、前記階調信号に対応するフル階調の輝度をダウンさせる処理である輝度低減処理を行い、第1フレームの前記輝度低減処理された前記階調信号と、前記第1フレームの次のフレームである第2フレームの前記輝度低減処理された前記階調信号とを考慮して、前記補正階調信号を生成して出力する、表示装置。

#### 【請求項29】

前記タイミング制御部は、

前記輝度低減処理された前記階調信号のレベルが前記フル階調のレベルより小さい場合に前記第1フレームの前記階調信号と前記第2フレームの前記階調信号とを考慮して前記補正階調信号を出力し、

前記輝度低減処理された前記階調信号のレベルがフル階調のレベルである場合にオーバーシュート電圧を発生するように前記補正階調信号を出力する、

請求項28に記載の表示装置。

#### 【請求項30】

前記タイミング制御部は、

前記階調信号を前記輝度低減処理して出力するデータ変換部と、

前記輝度低減処理された前記階調信号のレベルが前記フル階調のレベルより小さい場合に前記第1フレームの前記階調信号と前記第2フレームの前記階調信号とを考慮して前記補正階調信号を出力し、前記輝度低減処理された前記階調信号のレベルがフル階調のレベルである場合にオーバーシュート電圧を発生するように前記補正階調信号を出力する階調信号補正部と、

を有する、

請求項29に記載の表示装置。

#### 【請求項31】

前記階調信号は、

赤色の階調に関する信号である赤色階調信号と、

緑色の階調に関する信号である緑色階調信号と、

青色の階調に関する信号である青色階調信号と、

を含み、

前記データ変換部は、

前記輝度低減処理される前の前記赤色階調信号のレベルと前記輝度低減処理された後の前記赤色階調信号のレベルとを記憶しているRルックアップテーブルと、

前記輝度低減処理される前の前記緑色階調信号のレベルと前記輝度低減処理された後の前記緑色階調信号のレベルとを記憶しているGルックアップテーブルと、

前記輝度低減処理される前の前記青色階調信号のレベルと前記輝度低減処理された後の前記青色階調信号のレベルとを記憶しているBルックアップテーブルと、

を含む、

請求項30に記載の表示装置。

#### 【請求項32】

前記Rルックアップテーブルの前記赤色階調信号のレベル、前記Gルックアップテーブ

10

20

30

40

50

ルの前記緑色階調信号のレベル及び前記 B ルックアップテーブルの前記青色階調信号のレベルは、それぞれ複数存在する、

請求項 3 1 記載の表示装置。

【請求項 3 3】

前記データ変換部は、フル階調のレベルが  $2^k$  である  $k$  ビットの前記階調信号 ( $k$  は正の整数) をビット数の拡張によりフル階調のレベルが  $2^{k+p}-r$  である ( $k+p$ ) ビットの前記階調信号 ( $p$  は正の整数、 $r$  は  $k$  より小さい正の整数) に変換し、フル階調のレベルが  $2^{k+p}-r$  である ( $k+p$ ) ビットの前記階調信号をフル階調のレベルが  $2^k-r$  である  $k$  ビットの前記階調信号に変換する、

請求項 3 0 に記載の表示装置。

10

【請求項 3 4】

前記階調信号補正部は、フル階調のレベルが  $2^k-r$  である  $k$  ビットの前記階調信号に対して前記 R ルックアップテーブル、前記 G ルックアップテーブル及び前記 B ルックアップテーブルを用いて前記補正階調信号を生成し、残りの  $r$  階調データに対してオーバーシュート電圧を発生するように前記補正階調信号を生成する、

請求項 3 3 に記載の表示装置。

【請求項 3 5】

前記データ変換部は、フル階調のレベルが 225 である 8 ビットの前記階調信号をビット数の拡張によりフル階調のレベルが 1008 である 10 ビットの前記階調信号に変換し、フル階調のレベルが 1008 である 10 ビットの前記階調信号をフル階調のレベルが 252 である 8 ビットの前記階調信号に変換する、

請求項 3 0 に記載の表示装置。

20

【請求項 3 6】

前記階調信号補正部は、フル階調のレベルが 252 である 8 ビットの前記階調信号に対して前記 R ルックアップテーブル、前記 G ルックアップテーブル及び前記 B ルックアップテーブルを用いて前記補正階調信号を生成し、残りの 3 階調データに対してオーバーシュート電圧を発生するように前記補正階調信号を生成する、

請求項 3 5 に記載の表示装置。

【請求項 3 7】

前記データドライバーは、デジタルの信号とアナログの信号とを相互に変換する D/A 変換器を有し、

30

前記 D/A 変換器は、直列に連結された複数の抵抗素子を含み、

前記複数の抵抗素子の一端にはオーバーシュート基準電圧が印加される、

請求項 2 8 に記載の表示装置。

【請求項 3 8】

複数の走査ラインと、前記走査ラインと絶縁されて交差する複数のデータラインと、前記走査ライン及び前記データラインにより囲まれる領域に形成されそれぞれ前記走査ライン及び前記データラインに連結された複数のスイッチング素子と、前記スイッチング素子により制御されマトリックス型で配列された複数の画素とを有する表示パネルを駆動する駆動装置であって、

40

階調信号ソースから階調信号を受信し、前記階調信号に基づいて補正階調信号を生成して出力する階調信号補正部と、

前記補正階調信号に基づいて、画像信号を生成して前記データラインに供給するデータドライバーと、

走査信号を前記走査ラインに順次的に供給する走査ドライバーと、

を備え、

前記階調信号補正部は、第 1 フレームの前記階調信号と、前記第 1 フレームの次のフレームである第 2 フレームの前記階調信号と、前記第 2 フレームの次のフレームである第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの前記補正階調信号を生成して出力する、

50

駆動装置。

【請求項 39】

前記階調信号補正部は、前記階調信号に対応するフル階調の輝度をダウンさせる処理である輝度低減処理が行われた前記階調信号のレベルがフル階調のレベルより小さい場合に前記第1フレームの前記階調信号と前記第2フレームの前記階調信号とを考慮して前記補正階調信号を出力し、前記輝度低減処理された前記階調信号のレベルがフル階調のレベルである場合にオーバーシュート電圧を発生するように前記補正階調信号を出力する、請求項38に記載の駆動装置。

【請求項 40】

前記階調信号補正部は、

前記第2フレームの前記階調信号の電圧と前記第3フレームの前記階調信号の電圧とが同じ場合、前記第3フレームの次のフレームである第4フレームの前記階調信号が受信される期間において、前記第3フレームの前記補正階調信号の電圧が前記第3フレームの前記階調信号の電圧と同じになるように、前記第3フレームの前記補正階調信号を生成して出力する、請求項38に記載の駆動装置。

【請求項 41】

前記階調信号補正部は、

前記第1フレームの前記階調信号と前記第2フレームの前記階調信号とを考慮して、前記第2フレームの第1補正階調信号を生成して出力する階調信号変換部と、

前記第2フレームの前記第1補正階調信号を前記階調信号変換部から受け取り、所定フレームの期間だけ前記第2フレームの前記第1補正階調信号を保存して出力するメモリと、

前記メモリから前記第2フレームの前記第1補正階調信号を読み出すことである補正読出動作と、前記メモリへ前記第2フレームの前記第1補正階調信号を書き込むことである補正書込動作とを制御するコントローラと、

を有し、

前記階調信号変換部は、前記第3フレームの前記階調信号が入力され、前記メモリから前記第2フレームの前記第1補正階調信号を受け取り、前記第2フレームの前記第1補正階調信号と前記第3フレームの前記階調信号とを考慮して、前記第2フレームの第2補正階調信号を前記第2フレームの前記補正階調信号として生成して出力する、

請求項40に記載の駆動装置。

【請求項 42】

複数の走査ラインと、前記走査ラインと絶縁されて交差する複数のデータラインと、前記走査ライン及び前記データラインにより囲まれる領域に形成されそれぞれ前記走査ライン及び前記データラインに連結された複数のスイッチング素子と、前記スイッチング素子により制御されマトリックス型で配列された複数の画素とを有する表示パネルを駆動する駆動装置であって、

階調信号ソースから階調信号を受信し、前記階調信号に基づいて補正階調信号を生成して出力するタイミング制御部と、

前記補正階調信号に基づいて、画像信号を生成して前記データラインに供給するデータドライバーと、

走査信号を前記走査ラインに順次的に供給する走査ドライバーと、

を備え、

前記タイミング制御部は、前記階調信号に対応するフル階調の輝度をダウンさせる処理である輝度低減処理を行い、第1フレームの前記輝度低減処理された前記階調信号と前記第1フレームの次のフレームである第2フレームの前記輝度低減処理された前記階調信号とを考慮して、前記補正階調信号を生成して出力する、駆動装置。

【請求項 43】

10

20

30

40

50



前記タイミング制御部は、前記輝度低減処理された前記階調信号のレベルが前記フル階調のレベルより小さい場合に前記第 1 フレームの前記階調信号と前記第 2 フレームの前記階調信号とを考慮して前記補正階調信号を出力し、前記輝度低減処理された前記階調信号のレベルがフル階調のレベルである場合にオーバーシュート電圧を発生するように前記補正階調信号を出力する、  
請求項 4 2 に記載の駆動装置。

【請求項 4 4】

前記タイミング制御部は、  
前記階調信号を前記輝度低減処理して出力するデータ変換部と、  
前記輝度低減処理された前記階調信号のレベルがフル階調のレベルより小さい場合に前記第 1 フレームの前記階調信号と前記第 2 フレームの前記階調信号とを考慮して前記補正階調信号を出力し、前記輝度低減処理された前記階調信号のレベルがフル階調のレベルである場合にオーバーシュート電圧を発生するように前記補正階調信号を出力する階調信号補正部と、  
を有する、  
請求項 4 3 に記載の駆動装置。

【請求項 4 5】

複数の走査ラインと、前記走査ラインと絶縁されて交差する複数のデータラインと、前記走査ライン及び前記データラインにより囲まれる領域に形成されそれぞれ前記走査ライン及び前記データラインに連結された複数のスイッチング素子と、前記スイッチング素子により制御されマトリックス型で配列された複数の画素とを有する表示パネルが駆動される駆動方法であって、

( a ) 前記走査ラインに走査信号が順次的に供給される段階と、

( b ) 階調信号ソースから階調信号が受信され、第 1 フレームの前記階調信号と、前記第 1 フレームの次のフレームである第 2 フレームの前記階調信号と、前記第 2 フレームの次のフレームである第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの前記補正階調信号が生成される段階と、

( c ) 前記補正階調信号に基づいて、画像信号が生成されて前記データラインに供給される段階と、

を備えた、  
駆動方法。

【請求項 4 6】

前記第 2 フレームの前記補正階調信号は、前記第 1 フレームの前記階調信号の電圧である第 1 電圧と前記第 2 フレームの前記階調信号の電圧である第 2 電圧とが相異なる場合、前記第 3 フレームの前記階調信号が受信される期間において、前記第 1 電圧に対する前記第 2 フレームの前記補正階調信号の電圧の変化量が前記第 1 電圧に対する前記第 2 電圧の変化量よりも大きくなるように生成されて出力されたものである、  
請求項 4 5 に記載の駆動方法。

【請求項 4 7】

前記画素は、液晶を含み、  
前記第 2 フレームの前記補正階調信号は、  
前記第 1 フレームの前記階調信号の電圧がブラック階調の電圧であり前記第 2 フレームの前記階調信号の電圧がホワイト階調の電圧である場合に、前記第 2 フレームの前記階調信号が受信される期間において、前記ブラック階調の電圧より高く前記ホワイト階調の電圧より低い電圧を印加して前記液晶をプリチルトさせるためのプリチルト信号である、  
請求項 4 5 に記載の駆動方法。

【請求項 4 8】

前記段階 ( b ) は、  
( b - 1 1 ) 受信された前記階調信号が所定フレームの期間だけ保存されて出力される段階と、

(b - 1 2) 前記段階 (b - 1 1) で出力された前記階調信号が受け取られ、さらに前記所定フレームの期間だけ前記階調信号が保存されて出力される段階と、

(b - 1 3) 前記段階 (b - 1 2) で出力された前記第 1 フレームの前記階調信号と、前記段階 (b - 1 1) で出力された前記第 2 フレームの前記階調信号と、受信された前記第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの前記補正階調信号が生成されて出力される段階と、

を有する、

請求項 4 5 に記載の駆動方法。

【請求項 4 9】

前記所定フレームの期間は、1 フレームの期間である、

10

請求項 4 8 に記載の駆動方法。

【請求項 5 0】

前記段階 (b) は、

(b - 2 1) 前記第 1 フレームの前記階調信号と前記第 2 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 1 補正階調信号が生成されて出力される段階と、

(b - 2 2) 前記段階 (b - 2 1) で出力された前記第 2 フレームの前記第 1 補正階調信号が受け取られ、所定フレームの期間だけ前記第 2 フレームの前記第 1 補正階調信号が保存されて出力される段階と、

(b - 2 3) 前記第 3 フレームの前記階調信号が入力され、前記段階 (b - 2 1) で出力された前記第 2 フレームの前記第 1 補正階調信号が受け取られ、前記第 2 フレームの前記第 1 補正階調信号と前記第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 2 補正階調信号が前記第 2 フレームの前記補正階調信号として生成されて出力される段階と、

20

を有する、

請求項 4 5 に記載の駆動方法。

【請求項 5 1】

前記所定フレームの期間は、1 フレームの期間である、

請求項 5 0 に記載の駆動方法。

【請求項 5 2】

前記段階 (b) では、

30

前記第 2 フレームの前記階調信号の電圧と前記第 3 フレームの前記階調信号の電圧とが同じ場合、前記第 3 フレームの次のフレームである第 4 フレームの前記階調信号が受信される期間において、前記第 3 フレームの前記補正階調信号の電圧が前記第 3 フレームの前記階調信号の電圧と同じになるように、前記第 3 フレームの前記補正階調信号が生成されて出力される、

請求項 4 5 に記載の駆動方法。

【請求項 5 3】

前記段階 (b) は、

(b - 2 1) 前記第 1 フレームの前記階調信号と前記第 2 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 1 補正階調信号が生成されて出力される段階と、

40

(b - 3 1) 前記第 3 フレームの前記階調信号が入力され、前記第 2 フレームの前記第 1 補正階調信号が抽出される段階と、

(b - 3 2) 前記第 2 フレームの前記第 1 補正階調信号のレベルが第 1 階調であるとともに前記第 3 フレームの前記階調信号のレベルが第 2 階調であることである第 1 条件が満たされるか否かが判断される段階と、

(b - 3 3) 前記段階 (b - 3 2) で前記第 1 条件が満たされないと判断された場合に、前記第 3 フレームの前記階調信号が変換されて、前記第 2 フレームの前記第 1 補正階調信号と前記第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 2 補正階調信号が前記第 2 フレームの前記補正階調信号として生成されて出力される段階と、

(b - 3 4) 前記段階 (b - 3 2) で前記第 1 条件が満たされると判断された場合に、

50

前記第 2 フレームの前記第 1 補正階調信号と前記第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの前記第 2 補正階調信号が前記第 2 フレームの前記補正階調信号として出力される段階と、

を有する、

請求項 5 2 に記載の駆動方法。

【請求項 5 4】

前記第 1 階調はブラック階調であり、

前記第 2 階調はホワイト階調である、

請求項 5 3 に記載の駆動方法。

【請求項 5 5】

前記段階 (b) は、

(b - 2 1) 前記第 1 フレームの前記階調信号と前記第 2 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 1 補正階調信号が生成されて出力される段階と、

(b - 4 1) 前記第 3 フレームの前記階調信号が入力され、前記第 2 フレームの前記第 1 補正階調信号が抽出される段階と、

(b - 4 2) 前記第 1 電圧に対する前記第 2 フレームの電圧の変化量が前記第 1 電圧に対する前記第 2 電圧の変化量よりも大きくなるように生成されることである補正処理の存否を示す履歴情報に対応する信号が前記第 2 フレームの前記第 1 補正階調信号から抽出されて、前記履歴情報に対応する信号に基づいて前記補正処理の存否が判断される段階と、

(b - 4 3) 前記段階 (b - 4 2) で前記補正処理が存在しないと判断される場合に、前記第 3 フレームの前記第 1 補正階調信号の前記履歴情報に対応する信号が活性化される段階と、

(b - 4 4) 前記段階 (b - 4 2) で前記補正処理が存在すると判断される場合に、前記第 3 フレームの前記第 1 補正階調信号の前記履歴情報に対応する信号が非活性化される段階と、

を有する、

請求項 4 6 に記載の駆動方法。

【請求項 5 6】

前記履歴情報に対応する信号は、前記補正処理の可否に関する情報を含む、

請求項 5 5 に記載の駆動方法。

【請求項 5 7】

前記段階 (b - 4 3) で前記補正処理が存在しないと判断される場合に、前記第 2 フレームの前記第 1 補正階調信号に前記補正処理が行われずに、前記第 2 フレームの前記第 2 フレームの第 2 補正階調信号が前記第 2 フレームの前記補正階調信号として生成されて出力される、

請求項 5 5 記載の駆動方法。

【請求項 5 8】

前記段階 (b - 4 4) で前記補正処理が存在すると判断される場合に、前記第 2 フレームの前記第 1 補正階調信号に前記補正処理が行われて、前記第 2 フレームの前記第 1 補正階調信号と前記第 3 フレームの前記階調信号とを考慮して、前記第 2 フレームの第 2 補正階調信号が前記第 2 フレームの前記補正階調信号として生成されて出力される、

請求項 5 5 記載の駆動方法。

【請求項 5 9】

複数の走査ラインと、前記走査ラインと絶縁されて交差する複数のデータラインと、前記走査ライン及び前記データラインにより囲まれる領域に形成されそれぞれ前記走査ライン及び前記データラインに連結された複数のスイッチング素子と、前記スイッチング素子により制御されマトリックス型で配列された複数の画素とを有する表示パネルが駆動される駆動方法であって、

(a) 前記走査ラインに走査信号が順次的に供給される段階と、

(d) 前記階調信号に対応するフル階調の輝度をダウンさせる処理である輝度低減処理

10

20

30

40

50

が行われ、第1フレームの前記輝度低減処理された前記階調信号と、前記第1フレームの次のフレームである第2フレームの前記輝度低減処理された前記階調信号とを考慮して、前記補正階調信号が生成されて出力される段階と、

(c) 前記補正階調信号に基づいて、画像信号が生成されて前記データラインに供給される段階と、

を備えた、

駆動方法。

【請求項60】

前記段階(d)では、

前記輝度低減処理された前記階調信号のレベルが前記フル階調のレベルより小さい場合に前記第1フレームの前記階調信号と前記第2フレームの前記階調信号とを考慮して前記補正階調信号が出力され、前記輝度低減処理された前記階調信号のレベルがフル階調のレベルである場合にオーバーシュート電圧を発生するように前記補正階調信号が出力される、  
請求項59記載の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置、駆動装置及び駆動方法に関する。

20

【背景技術】

【0002】

一般に、液晶表示装置は2つの基板の間に注入されている異方性誘電率を有する液晶物質に電界を印加し、電界の強さを調節して基板に透過される光の量を調節することで所望する画像信号を得る表示装置である。このような液晶表示装置は携帯が便利なプレートパネル型ディスプレイの中で代表的なもので、その中でも薄膜トランジスターをスイッチング素子として用いた液晶表示装置が主に利用されている。

【0003】

最近では、液晶表示装置が、コンピュータ用モニターだけではなくテレビまでその領域を拡大して使用されるようになり、動画像を表示することが増えてきている。

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、従来の液晶表示装置は、動画像を表示する際に応答速度が十分でないことがある。このような応答速度の問題を改善するために、従来の技術では、OCB(Optically Compensated Band)モードが使用されるか、強誘電性液晶物質FLCを使用する液晶表示装置が使用されることがある。ところが、このようにOCBモードやFLCが使用される場合には、液晶表示装置のパネル構造を大幅に変えなければならないことがある。

【0005】

40

そこで、本発明の課題は、パネル構造を大幅に変えることなく応答速度を高速化することができる表示装置、駆動装置及び駆動方法を提供することにある。

【課題を解決するための手段】

【0006】

第1発明に係る表示装置は、階調信号補正部とデータドライバーと走査ドライバーと表示パネルとを備える。階調信号補正部は、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。データドライバーは、補正階調信号に基づいて、画像信号を生成して供給する。走査ドライバーは、走査信号を順次的に供給する。表示パネルには、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルは、複数の走査ラインと複数のデータライン

50

と複数のスイッチング素子と複数の画素とを有する。走査ラインは、走査信号を伝達する。データラインは、画像信号を伝達する。スイッチング素子は、走査ライン及びデータラインにより囲まれた領域に形成される。スイッチング素子は、走査ライン及びデータラインにそれぞれ連結されている。画素は、スイッチング素子により制御され、マトリックス状に配列されている。階調信号補正部は、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。第2フレームは、第1フレームの次のフレームである。第3フレームは、第2フレームの次のフレームである。

#### 【0007】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。走査ドライバーが、走査信号を順次的に供給する。データドライバーが、補正階調信号に基づいて、画像信号を生成して供給する。表示パネルに、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルの走査ラインが、走査信号を伝達する。表示パネルのデータラインが、画像信号を伝達する。表示パネルのスイッチング素子が、走査ラインに連結されており、走査ライン経由で走査信号を受けてON/OFFされ得る。表示パネルのスイッチング素子が、データラインに連結されており、ONされた際にデータライン経由で画像信号が供給されることにより画素を制御することができる。

10

20

#### 【0008】

したがって、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して第2フレームの補正階調信号を生成して出力するので、階調信号の変化を考慮して画素を制御することができる。このため、パネル構造を大幅に変えることなく応答速度を高速化することができる。

第2発明に係る表示装置は、第1発明の表示装置であって、補正階調信号は、階調信号に対して1フレームの期間だけ遅れて出力される。

#### 【0009】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。補正階調信号が、階調信号に対して1フレームの期間だけ遅れて出力される。

30

#### 【0010】

したがって、第3フレームの階調信号が階調信号補正部に受信される期間に第2フレームの補正階調信号を生成して出力することができるので、第1フレームの階調信号と第2フレームの階調信号とだけでなく第3フレームの階調信号も考慮して第2フレームの補正階調信号を生成することができる。

第3発明に係る表示装置は、第1発明の表示装置であって、階調信号補正部は、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように、第2フレームの補正階調信号を生成して出力する。第1電圧は、第1フレームの階調信号の電圧である。第2電圧は、第2フレームの階調信号の電圧である。

40

#### 【0011】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレ

50

ームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように、第2フレームの補正階調信号を生成して出力する。

【0012】

したがって、第1フレームから第2フレームにかけて階調信号に対する電圧が変化する場合でも、第2フレームの補正階調信号により画素に十分な電圧が印可されるようにすることができる。

第4発明に係る表示装置は、第3発明の表示装置であって、階調信号補正部は、第1フレームの階調信号の電圧が第1低階調信号電圧であり第2フレームの階調信号の電圧が第1低階調信号電圧より高い電圧である第1高階調信号電圧である場合、第2フレームの階調信号が受信される期間において、第2高階調信号電圧になるように第1フレームの補正階調信号を生成して出力する。第2高階調信号電圧は、第1低階調信号電圧より高く、第1高階調信号電圧より低い電圧である。

10

【0013】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号の電圧が第1低階調信号電圧であり第2フレームの階調信号の電圧が第1低階調信号電圧より高い電圧である第1高階調信号電圧である場合、第2フレームの階調信号が受信される期間において、第2高階調信号電圧になるように第1フレームの補正階調信号を生成して出力する。

20

【0014】

したがって、第1フレームから第2フレームにかけて階調信号に対する電圧が変化する場合でも、第1高階調信号電圧が画素に印可される前に、第1フレームの補正階調信号により、第2高階調信号電圧を画素に印可することができる。このため、画素の応答速度を高速化することができる。

第5発明に係る表示装置は、第4発明の表示装置であって、第1低階調信号電圧はブラック階調信号の電圧である。

30

【0015】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号の電圧が第1低階調信号電圧であり第2フレームの階調信号の電圧が第1低階調信号電圧より高い電圧である第1高階調信号電圧である場合、第2フレームの階調信号が受信される期間において、第2高階調信号電圧になるように第1フレームの補正階調信号を生成して出力する。第1低階調信号電圧がブラック階調信号の電圧である。

40

【0016】

したがって、ブラック階調信号の電圧から第2フレームの階調信号に対する電圧へ変化する場合でも、第1高階調信号電圧が画素に印可される前に、第1フレームの補正階調信号により、第2高階調信号電圧を画素に印和することができる。このため、画素の応答速度を高速化することができる。

第6発明に係る表示装置は、第5発明の表示装置であって、画素は、液晶を含む。第2高階調信号電圧になるように生成された補正階調信号は、液晶をプリチルト (pre-t

50

i l t) させるためのプリチルト形成信号である。

【0017】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号の電圧が第1低階調信号電圧であり第2フレームの階調信号の電圧が第1低階調信号電圧より高い電圧である第1高階調信号電圧である場合、第2フレームの階調信号が受信される期間において、第2高階調信号電圧になるように第1フレームの補正階調信号を生成して出力する。第1低階調信号電圧がブラック階調信号の電圧である。第2高階調信号電圧になるように生成された補正階調信号が、液晶をプリチルト (pre-tilt) させるためのプリチルト形成信号である。

10

【0018】

したがって、ブラック階調信号の電圧から第2フレームの階調信号に対する電圧へ変化する場合でも、第1高階調信号電圧が画素に印可される前に、第1フレームの補正階調信号により、第2高階調信号電圧を画素に印可して液晶をプリチルト (pre-tilt) させることができる。このため、画素の応答速度を高速化することができる。

20

第7発明に係る表示装置は、第6発明の表示装置であって、表示パネルは、画素電極と共通電極とをさらに有する。画素電極は、スイッチング素子を経由してデータラインから画素信号の供給を受ける。共通電極は、画素電極との間で液晶に電圧を印加する。階調信号の電圧又は補正階調信号の電圧は、共通電極に対する画素電極の電圧である。ブラック階調信号の電圧は、0.5 ~ 1.5 ボルトのうちいずれかの電圧である。プリチルト形成信号の電圧は、2 ~ 3.5 ボルトのうちいずれかの電圧である。

【0019】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号の電圧が第1低階調信号電圧であり第2フレームの階調信号の電圧が第1低階調信号電圧より高い電圧である第1高階調信号電圧である場合、第2フレームの階調信号が受信される期間において、第2高階調信号電圧になるように第1フレームの補正階調信号を生成して出力する。第1低階調信号電圧がブラック階調信号の電圧である。第2高階調信号電圧になるように生成された補正階調信号が、液晶をプリチルト (pre-tilt) させるためのプリチルト形成信号である。走査ドライバーが、走査信号を順次的に供給する。データドライバーが、補正階調信号に基づいて、画像信号を生成して供給する。表示パネルに、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルの走査ラインが、走査信号を伝達する。表示パネルのデータラインが、画像信号を伝達する。表示パネルのスイッチング素子が、走査ラインに連結されており、走査ライン経由で走査信号を受けてON/OFFされ得る。表示パネルの画素電極が、スイッチング素子を経由してデータラインから画素信号の供給を受ける。共通電極が、画素電極との間で液晶に電圧を印加する。階調信号の電圧又は補正階調信号の電圧が、共通電極に対する画素電極の電圧である。ブラック階調信号の電圧が、0.5 ~ 1.5 ボルトのうちいずれかの電圧である。プリチルト形成信号の電圧が、2 ~ 3.5 ボルトのうちいずれかの電圧である。

30

40

50

## 【 0 0 2 0 】

したがって、ブラック階調信号の電圧から第2フレームの階調信号に対する電圧へ変化する場合でも、第1高階調信号電圧が画素電極と共通電極により画素に印可される前に、第1フレームの補正階調信号により、第2高階調信号電圧を画素電極と共通電極により画素に印可して液晶をプリチルト ( p r e - t i l t ) させることができる。このため、画素の応答速度を高速化することができる。

## 【 0 0 2 1 】

第8発明に係る表示装置は、第1発明の表示装置であって、階調信号及び補正階調信号は、デジタル階調の信号である。

この表示装置では、階調信号及び補正階調信号が、デジタル階調の信号である。階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。走査ドライバーが、走査信号を順次的に供給する。データドライバーが、補正階調信号に基づいて、画像信号を生成して供給する。表示パネルに、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルの走査ラインが、走査信号を伝達する。表示パネルのデータラインが、画像信号を伝達する。表示パネルのスイッチング素子が、走査ラインに連結されており、走査ライン経由で走査信号を受けてON/OFFされ得る。表示パネルのスイッチング素子が、データラインに連結されており、ONされた際にデータライン経由で画像信号が供給されることにより画素を制御することができる。

10

20

## 【 0 0 2 2 】

したがって、階調信号及び補正階調信号がデジタル階調の信号であるので、階調信号に基づいて補正階調信号を生成することが容易である。また、補正階調信号により画素に印可される電圧を制御することが容易である。

第9発明に係る表示装置は、第8発明の表示装置であって、階調信号補正部は、並列変換部と直列変換部とをさらに有する。並列変換部は、階調信号に対応するデジタル階調の信号を並列変換する。直列変換部は、並列変換部が並列変換した階調信号を直列変換する。直列変換部は、補正階調信号に対応するデジタル階調の信号をデータドライバーに出力する。

30

## 【 0 0 2 3 】

この表示装置では、階調信号及び補正階調信号が、デジタル階調の信号である。階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部の並列変換部が、階調信号に対応するデジタル階調の信号を並列変換する。これにより、並列変換部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを、並列に出力することができる。階調信号補正部の直列変換部が、並列変換部が並列変換した階調信号を直列変換する。階調信号補正部の直列変換部が、補正階調信号に対応するデジタル階調の信号をデータドライバーに出力する。これにより、階調信号補正部の直列変換部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力することができる。

40

## 【 0 0 2 4 】

したがって、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とが直列に入力されても、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力することができる。

第10発明に係る表示装置は、第1発明の表示装置であって、階調信号及び補正階調信号は、アナログ階調の信号である。

## 【 0 0 2 5 】

この表示装置では、階調信号及び補正階調信号が、アナログ階調の信号である。階調信

50



号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。走査ドライバーが、走査信号を順次的に供給する。データドライバーが、補正階調信号に基づいて、画像信号を生成して供給する。表示パネルに、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルの走査ラインが、走査信号を伝達する。表示パネルのデータラインが、画像信号を伝達する。表示パネルのスイッチング素子が、走査ラインに連結されており、走査ライン経由で走査信号を受けてON/OFFされ得る。表示パネルのスイッチング素子が、データラインに連結されており、ONされた際にデータライン経由で画像信号が供給されることにより画素を制御することができる。

10

#### 【0026】

したがって、階調信号及び補正階調信号がアナログ階調の信号であるので、データドライバーで補正階調信号が増幅されることにより広い範囲の階調を実現することができる。

第11発明に係る表示装置は、第10発明の表示装置であって、階調信号補正部は、合成器と、分離器とを有する。合成器は、階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換する。分離器は、補正階調信号に対応するアナログ階調の信号を分離して、データドライバーに出力する。

#### 【0027】

この表示装置では、階調信号及び補正階調信号が、アナログ階調の信号である。階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部の合成器が、階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換する。階調信号補正部が、階調信号に基づいて補正階調信号を生成する。階調信号補正部の分離器が、補正階調信号に対応するアナログ階調の信号を分離して、データドライバーに出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。走査ドライバーが、走査信号を順次的に供給する。データドライバーが、補正階調信号に基づいて、画像信号を生成して供給する。表示パネルに、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルの走査ラインが、走査信号を伝達する。表示パネルのデータラインが、画像信号を伝達する。表示パネルのスイッチング素子が、走査ラインに連結されており、走査ライン経由で走査信号を受けてON/OFFされ得る。表示パネルのスイッチング素子が、データラインに連結されており、ONされた際にデータライン経由で画像信号が供給されることにより画素を制御することができる。

20

30

#### 【0028】

したがって、階調信号の処理可能な周波数に変換して階調信号を補正後に周波数を元に戻すことができるので、階調信号補正部の処理可能な周波数と階調信号に同期している周波数とが異なる場合でも、階調信号に基づいて補正階調信号を生成して出力することができる。

第12発明に係る表示装置は、第1発明の表示装置であって、階調信号補正部は、第1メモリと第2メモリとコントローラと階調信号変換部とを有する。第1メモリは、受信された階調信号を所定フレームの期間だけ保存して出力する。第2メモリは、階調信号を第1メモリから受け取る。第2メモリは、さらに所定フレームの期間だけ階調信号を保存して出力する。コントローラは、第1読出動作と第2読出動作と第1書込動作と第2書込動作とを制御する。第1読出動作は、第1メモリから階調信号を読み出すことである。第2読出動作は、第2メモリから階調信号を読み出すことである。第1書込動作は、第1メモリへ階調信号を書き込むことである。第2書込動作は、第2メモリへ階調信号を書き込むことである。階調信号変換部は、第2メモリが出力した第1フレームの階調信号と、第1メモリが出力した第2フレームの階調信号と、受信された第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。

40

50

## 【0029】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部の第1メモリが、受信された階調信号を所定フレームの期間だけ保存して出力する。第2メモリが、階調信号を第1メモリから受け取る。第2メモリが、さらに所定フレームの期間だけ階調信号を保存して出力する。コントローラが、第1読出動作と第2読出動作と第1書込動作と第2書込動作とを制御する。階調信号変換部が、第1フレームの階調信号を第2メモリから受け取ることができる。階調信号変換部が、第2フレームの階調信号を第1メモリから受け取ることができる。階調信号変換部が、受信された第3フレームの階調信号を受け取ることができる。階調信号変換部が、第2メモリが出力した第1フレームの階調信号と、第1メモリが出力した第2フレームの階調信号と、受信された第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。

10

## 【0030】

したがって、第1メモリで所定フレームの期間だけ保存され、第2メモリさらに所定フレームの期間だけ保存されるので、階調信号変換部が第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを受け取ることができる。このため、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して第2フレームの補正階調信号を生成して出力することができる。

## 【0031】

第13発明に係る表示装置は、第12発明の表示装置であって、所定フレームの期間は、1フレームの期間である。

20

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部の第1メモリが、受信された階調信号を所定フレームの期間だけ保存して出力する。ここで、所定フレームの期間が、1フレームの期間である。第2メモリが、階調信号を第1メモリから受け取る。第2メモリが、さらに所定フレームの期間だけ階調信号を保存して出力する。コントローラが、第1読出動作と第2読出動作と第1書込動作と第2書込動作とを制御する。階調信号変換部が、第1フレームの階調信号を第2メモリから受け取ることができる。階調信号変換部が、第2フレームの階調信号を第1メモリから受け取ることができる。階調信号変換部が、受信された第3フレームの階調信号を受け取ることができる。階調信号変換部が、第2メモリが出力した第1フレームの階調信号と、第1メモリが出力した第2フレームの階調信号と、受信された第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。

30

## 【0032】

したがって、所定フレームの期間が1フレームの期間であるので、第1メモリで1フレームの期間だけ保存され、第2メモリさらに1フレームの期間だけ保存されるため、階調信号変換部が第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを受け取ることができる。このため、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して第2フレームの補正階調信号を生成して出力することができる。

## 【0033】

第14発明に係る表示装置は、第12発明の表示装置であって、第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数は、階調信号補正部に供給されるクロック周波数と同一である。

40

この表示装置では、コントローラが、第1読出動作と第2読出動作と第1書込動作と第2書込動作とを制御する。第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数が、階調信号補正部に供給されるクロック周波数と同一である。

## 【0034】

したがって、第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数が階調信号補正部に供給されるクロック周波数と同一であるので、コントローラに供給されるクロック周波数を階調信号補正部に供給されるクロック周波数と同

50

一することができる。このため、階調信号補正部に供給されるクロック信号をそのままコントローラに供給することができる。

【0035】

第15発明に係る表示装置は、請求項12に記載の表示装置であって、第1読出動作、第2読出動作、第1書込動作及び第2書込動作の少なくとも1つに同期されるクロック周波数は、階調信号補正部に供給されるクロック周波数を正の整数で割った値である。

この表示装置では、コントローラが、第1読出動作と第2読出動作と第1書込動作と第2書込動作とを制御する。第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数が、階調信号補正部に供給されるクロック周波数を正の整数で割った値である。これにより、階調信号補正部に供給されるクロック信号を簡易に周波数変換してコントローラに供給することができる。あるいは、階調信号補正部に供給されるクロック信号をそのままコントローラに供給してコントローラにおいて簡易に周波数変換することができる。

10

【0036】

したがって、第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数が階調信号補正部に供給されるクロック周波数を正の整数で割った値であるので、簡易な周波数変換をするだけで、第1読出動作、第2読出動作、第1書込動作及び第2書込動作を制御することができる。

第16発明に係る表示装置は、第15発明の表示装置であって、階調信号補正部は、合成器と、分離器とをさらに有する。合成器は、階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換する。分離器は、補正階調信号に対応するアナログ階調の信号を分離してデータドライバーに出力する。

20

【0037】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部の合成器が、受信した階調信号を受け取ることができる。階調信号補正部の合成器が、階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換する。階調信号補正部の第1メモリが、受信され変換された階調信号を所定フレームの期間だけ保存して出力する。ここで、所定フレームの期間が、1フレームの期間である。第2メモリが、階調信号を第1メモリから受け取る。第2メモリが、さらに所定フレームの期間だけ階調信号を保存して出力する。コントローラが、第1読出動作と第2読出動作と第1書込動作と第2書込動作とを制御する。第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数が、階調信号補正部に供給されるクロック周波数を正の整数で割った値である。階調信号変換部が、第1フレームの階調信号を第2メモリから受け取ることができる。階調信号変換部が、第2フレームの階調信号を第1メモリから受け取ることができる。階調信号変換部が、受信された第3フレームの階調信号を受け取ることができる。階調信号変換部が、第2メモリが出力した第1フレームの階調信号と、第1メモリが出力した第2フレームの階調信号と、受信された第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部の分離器が、階調信号変換部が出力した第2フレームの補正階調信号を受け取ることができる。階調信号補正部の分離器が、補正階調信号に対応するアナログ階調の信号を分離してデータドライバーに出力する。

30

40

【0038】

したがって、第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数を階調信号補正部において階調信号及び補正階調信号に同期される周波数に一致させることができる。このため、第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数が階調信号補正部以外において階調信号及び補正階調信号に同期される周波数と異なる場合であっても、第1読出動作、第2読出動作、第1書込動作及び第2書込動作を行わせることができる。

【0039】

第17発明に係る表示装置は、第1発明の表示装置であって、階調信号補正部は、メモ

50

りとコントローラと階調信号変換部とを有する。メモリは、受信された階調信号を所定フレームの期間だけ保存して出力する。コントローラは、読出動作と書込動作とを制御する。読出動作は、メモリから階調信号を読み出すことである。書込動作は、メモリへ階調信号を書き込むことである。階調信号変換部は、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。

#### 【0040】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部のメモリが、受信された階調信号を所定フレームの期間だけ保存して出力する。コントローラが、読出動作と書込動作とを制御する。階調信号補正部の階調信号変換部が、第1フレームの階調信号を考慮した信号である第1フレームの第1補正階調信号をメモリから受け取ることができる。階調信号補正部の階調信号変換部が、受信された第2フレームの階調信号を受け取ることができる。階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号とを考慮して第2フレームの第1補正階調信号を生成してメモリに出力することができる。階調信号補正部のメモリが、第2フレームの第1補正階調信号を所定フレームの期間だけ保存して階調信号変換部へ出力することができる。階調信号補正部の階調信号変換部が、メモリから第2フレームの第1補正階調信号を受け取ることができる。階調信号補正部の階調信号変換部が、受信された第3フレームの階調信号を受け取ることができる。階調信号補正部の階調信号変換部が、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号を第2フレームの補正階調信号として生成して出力することができる。これにより、階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。

10

20

#### 【0041】

したがって、メモリで所定フレームの期間だけ保存され、第1フレームの階調信号と第2フレームの階調信号とを考慮して第2フレームの第1補正階調信号が生成され得るので、階調信号変換部が第2フレームの第1補正階調信号と第3フレームの階調信号とを受け取ることができる。このため、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して第2フレームの補正階調信号を生成して出力することができる。

30

#### 【0042】

第18発明に係る表示装置は、第17発明の表示装置であって、所定フレームの期間は、1フレームの期間である。

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部のメモリが、受信された階調信号を所定フレームの期間だけ保存して出力する。ここで、所定フレームの期間が、1フレームの期間である。コントローラが、読出動作と書込動作とを制御する。階調信号補正部の階調信号変換部が、第1フレームの階調信号を第2メモリから受け取ることができる。階調信号補正部の階調信号変換部が、受信された第2フレームの階調信号を受け取ることができる。階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号とを考慮して第2フレームの第1補正階調信号を生成してメモリに出力することができる。階調信号補正部のメモリが、第2フレームの第1補正階調信号を所定フレームの期間だけ保存して階調信号変換部へ出力することができる。階調信号補正部の階調信号変換部が、受信された第3フレームの階調信号を受け取ることができる。階調信号補正部の階調信号変換部が、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号を第2フレームの補正階調信号として生成して出力することができる。これにより、階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。

40

#### 【0043】

50

したがって、メモリで1フレームの期間だけ保存され、第1フレームの階調信号と第2フレームの階調信号とを考慮して第2フレームの第1補正階調信号が生成され得るので、階調信号変換部が第2フレームの第1補正階調信号と第3フレームの階調信号とを受け取ることができる。このため、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して第2フレームの補正階調信号を生成して出力することができる。

#### 【0044】

第19発明に係る表示装置は、第17発明の表示装置であって、読出動作及び書込動作に同期されるクロック周波数は、階調信号補正部に供給されるクロック周波数と同一である。

10

この表示装置では、コントローラが、第1読出動作と第2読出動作と第1書込動作と第2書込動作とを制御する。第1読出動作、第2読出動作、第1書込動作及び第2書込動作に同期されるクロック周波数が、階調信号補正部に供給されるクロック周波数と同一である。

#### 【0045】

したがって、読出動作及び書込動作に同期されるクロック周波数が階調信号補正部に供給されるクロック周波数と同一であるので、コントローラに供給されるクロック周波数を階調信号補正部に供給されるクロック周波数と同一することができる。このため、階調信号補正部に供給されるクロック信号をそのままコントローラに供給することができる。

第20発明に係る表示装置は、第17発明の表示装置であって、読出動作及び書込動作の少なくとも1つに同期されるクロック周波数は、階調信号補正部に供給されるクロック周波数を正の整数で割った値である。

20

#### 【0046】

この表示装置では、コントローラが、読出動作と書込動作とを制御する。読出動作及び書込動作に同期されるクロック周波数が、階調信号補正部に供給されるクロック周波数を正の整数で割った値である。これにより、階調信号補正部に供給されるクロック信号を簡易に周波数変換してコントローラに供給することができる。あるいは、階調信号補正部に供給されるクロック信号をそのままコントローラに供給してコントローラにおいて簡易に周波数変換することができる。

#### 【0047】

したがって、読出動作及び書込動作に同期されるクロック周波数が階調信号補正部に供給されるクロック周波数を正の整数で割った値であるので、簡易な周波数変換をするだけで、読出動作及び書込動作を制御することができる。

30

第21発明に係る表示装置は、第17発明の表示装置であって、階調信号補正部は、合成器と分離器とをさらに有する。合成器は、階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換する。分離器は、補正階調信号に対応するアナログ階調の信号を分離してデータドライバーに出力する。

#### 【0048】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部の合成器が、受信した階調信号を受け取ることができる。階調信号補正部の合成器が、階調信号に対応するアナログ階調の信号の周波数を、処理可能な周波数に変換する。階調信号補正部のメモリが、受信され変換された階調信号を所定フレームの期間だけ保存して出力する。コントローラが、読出動作と書込動作とを制御する。階調信号補正部の階調信号変換部が、第1フレームの階調信号を第2メモリから受け取ることができる。階調信号補正部の階調信号変換部が、受信された第2フレームの階調信号を受け取ることができる。階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号とを考慮して第2フレームの第1補正階調信号を生成してメモリに出力することができる。階調信号補正部のメモリが、第2フレームの第1補正階調信号を所定フレームの期間だけ保存して階調信号変換部へ出力することができる。階調信号補正部の階調信号変換部が、受信された第3フレームの階調信号を受け取ることができる。階調信号補正

40

50

部の階調信号変換部が、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号を第2フレームの補正階調信号として生成して出力することができる。これにより、階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部の分離器が、階調信号変換部が出力した第2フレームの補正階調信号を受け取ることができる。階調信号補正部の分離器が、補正階調信号に対応するアナログ階調の信号を分離してデータドライバーに出力する。

#### 【0049】

したがって、読出動作及び書込動作に同期されるクロック周波数を階調信号補正部において階調信号及び補正階調信号に同期される周波数に一致させることができる。このため、読出動作及び書込動作に同期されるクロック周波数が階調信号補正部以外において階調信号及び補正階調信号に同期される周波数と異なる場合であっても、読出動作及び書込動作を行わせることができる。

10

#### 【0050】

第22発明に係る表示装置は、第1発明の表示装置であって、画素は、液晶を含む。表示パネルは、垂直配向モード、パターン化された垂直配向モード、多重ドメイン垂直配向モードのうちいずれかを採用する。

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。走査ドライバーが、走査信号を順次的に供給する。データドライバーが、補正階調信号に基づいて、画像信号を生成して供給する。表示パネルに、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルの走査ラインが、走査信号を伝達する。表示パネルのデータラインが、画像信号を伝達する。表示パネルのスイッチング素子が、走査ラインに連結されており、走査ライン経由で走査信号を受けてON/OFFされ得る。表示パネルのスイッチング素子が、データラインに連結されており、ONされた際にデータライン経由で画像信号が供給されることにより画素を制御することができる。画素が、液晶を含む。表示パネルが、垂直配向モード、パターン化された垂直配向モード、多重ドメイン垂直配向モードのうちいずれかを採用する。

20

30

#### 【0051】

したがって、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して第2フレームの補正階調信号を生成して出力するので、表示パネルが垂直配向モード、パターン化された垂直配向モード、多重ドメイン垂直配向モードのうちいずれかを採用する場合でも、画素の応答速度を高速化することができる。

第23発明に係る表示装置は、第3発明の表示装置であって、階調信号補正部は、第2フレームの階調信号の電圧と第3フレームの階調信号の電圧とが同じ場合、第4フレームの階調信号が受信される期間において、第3フレームの補正階調信号の電圧が第3フレームの階調信号の電圧と同じになるように、第3フレームの補正階調信号を生成して出力する。第4フレームは、第3フレームの次のフレームである。

40

#### 【0052】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。階調信号補正部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように、第2フレームの補正階調信号を生成して出力する。階調信号補正部が、第2フレームの階調信号の電圧と第3フレームの階調信号の電圧とが同じ場合、第4フレームの

50

階調信号が受信される期間において、第3フレームの補正階調信号の電圧が第3フレームの階調信号の電圧と同じになるように、第3フレームの補正階調信号を生成して出力する。

#### 【0053】

したがって、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように第2フレームの補正階調信号を生成して出力する後に、第3フレーム以降の補正階調信号の電圧が第3フレーム以降の階調信号の電圧に対して変動して表示パネルの表示の品質が低下することを低減することができる。

#### 【0054】

第24発明に係る表示装置は、第1発明の表示装置であって、階調信号補正部は、階調信号変換部とメモリとコントローラとを有する。階調信号変換部は、第1フレームの階調信号と第2フレームの階調信号とを考慮して、第2フレームの第1補正階調信号を生成して出力する。メモリは、第2フレームの第1補正階調信号を階調信号変換部から受け取る。メモリは、所定フレームの期間だけ第2フレームの第1補正階調信号を保存して出力する。階調信号変換部には、第3フレームの階調信号が入力される。階調信号変換部は、メモリから第2フレームの第1補正階調信号を受け取る。階調信号変換部は、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号を第2フレームの補正階調信号として生成して出力する。コントローラは、補正読出動作と補正書込動作とを制御する。補正読出動作は、メモリから第2フレームの第1補正階調信号を読み出すことである。補正書込動作は、メモリへ第2フレームの第1補正階調信号を書き込むことである。

10

20

#### 【0055】

この表示装置では、階調信号補正部が、階調信号ソースから階調信号を受信する。階調信号補正部のメモリが、受信された階調信号を所定フレームの期間だけ保存して出力する。コントローラが、補正読出動作と補正書込動作とを制御する。階調信号補正部の階調信号変換部が、第1フレームの階調信号を考慮した信号である第1フレームの第1補正階調信号をメモリから受け取ることができる。階調信号補正部の階調信号変換部が、受信された第2フレームの階調信号を受け取ることができる。階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号とを考慮して、第2フレームの第1補正階調信号を生成して出力する。階調信号補正部のメモリが、第2フレームの第1補正階調信号を階調信号変換部から受け取る。階調信号補正部のメモリが、所定フレームの期間だけ第2フレームの第1補正階調信号を保存して出力する。階調信号補正部の階調信号変換部が、メモリから第2フレームの第1補正階調信号を受け取る。階調信号補正部の階調信号変換部に、第3フレームの階調信号が入力される。階調信号補正部の階調信号変換部が、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号を第2フレームの補正階調信号として生成して出力する。これにより、階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号を生成して出力する。

30

40

#### 【0056】

したがって、メモリで所定フレームの期間だけ保存され、第1フレームの階調信号と第2フレームの階調信号とを考慮して第2フレームの第1補正階調信号が生成され得るので、階調信号変換部が第2フレームの第1補正階調信号と第3フレームの階調信号とを受け取ることができる。このため、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して第2フレームの補正階調信号を生成して出力することができる。

#### 【0057】

第25発明に係る表示装置は、第24発明の表示装置であって、第2フレームの第1補正階調信号は、階調信号情報と履歴情報とを含む。階調信号情報は、階調信号に関する情

50

報である。履歴情報は、補正処理の存否を示す。補正処理は、第1電圧に対する第2フレームの電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように生成されることである。

【0058】

この表示装置では、階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号とを考慮して、第2フレームの第1補正階調信号を生成して出力する。第2フレームの第1補正階調信号が、階調信号情報と履歴情報とを含む。

したがって、第2フレームの第1補正階調信号が階調信号情報と履歴情報とを含むので、第2フレームの第1補正階調信号を第1フレームの階調信号と第2フレームの階調信号とを考慮したものとすることができる。

10

【0059】

第26発明に係る表示装置は、第25発明の表示装置であって、階調信号変換部は、第2フレームの第1補正階調信号を生成するとき、階調信号情報において補正処理が存在している場合に履歴情報に対応する信号を活性化させ、階調信号情報において前記補正処理が存在していない場合に前記履歴情報に対応する信号を非活性化させる。

この表示装置では、階調信号補正部の階調信号変換部が、第1フレームの階調信号と第2フレームの階調信号とを考慮して、第2フレームの第1補正階調信号を生成して出力する。第2フレームの第1補正階調信号が、階調信号情報と履歴情報とを含む。階調信号補正部の階調信号変換部が、第2フレームの第1補正階調信号を生成するとき、階調信号情報において補正処理が存在している場合に履歴情報に対応する信号を活性化させ、階調信号情報において前記補正処理が存在していない場合に前記履歴情報に対応する信号を非活性化させる。

20

【0060】

したがって、第3フレーム以降の補正階調信号の電圧が第3フレーム以降の階調信号の電圧に対して変動して表示パネルの表示の品質が低下することを低減することができる。

第27発明に係る表示装置は、第26発明の表示装置であって、階調信号変換部は、第3フレームの第1補正階調信号を生成するとき、第2フレームの第1補正階調信号の履歴情報に対応する信号が活性化されている場合に、第3フレームの第1補正階調信号の前記履歴情報に対応する信号を非活性化させる。

【0061】

第28発明に係る表示装置は、タイミング制御部とデータドライバーと走査ドライバーと表示パネルとを備える。タイミング制御部は、階調信号ソースから階調信号を受信して、階調信号に基づいて補正階調信号を生成して出力する。データドライバーは、補正階調信号に基づいて、画像信号を生成して供給する。走査ドライバーは、走査信号を順次的に供給する。表示パネルは、データドライバーから画像信号が供給されるとともに、走査ドライバーから走査信号が供給される。表示パネルは、複数の走査ラインと複数のデータラインと複数のスイッチング素子と複数の画素とを有する。走査ラインは、走査信号を伝達する。データラインは、画像信号を伝達する。スイッチング素子は、走査ライン及びデータラインにより囲まれた領域に形成され、走査ライン及びデータラインにそれぞれ連結される。画素は、スイッチング素子により制御され、マトリックス状に配列されている。タイミング制御部は、輝度低減処理を行い、第1フレームの輝度低減処理された階調信号と第2フレームの輝度低減処理された階調信号とを考慮して、補正階調信号を生成して出力する。輝度低減処理は、階調信号に対応するフル階調の輝度をダウンさせる処理である。第2フレームは、第1フレームの次のフレームである。

30

40

【0062】

第29発明に係る表示装置は、第28発明の表示装置であって、タイミング制御部は、輝度低減処理された階調信号のレベルがフル階調のレベルより小さい場合に、第1フレームの前記階調信号と前記第2フレームの前記階調信号とを考慮して、補正階調信号を出力する。タイミング制御部は、輝度低減処理された階調信号のレベルがフル階調のレベルである場合に、オーバーシュート電圧を発生するように補正階調信号を出力する。

50



## 【 0 0 6 3 】

第 3 0 発明に係る表示装置は、第 2 9 発明の表示装置であって、タイミング制御部は、データ変換部と、階調信号補正部とを有する。データ変換部は、階調信号を輝度低減処理して出力する。階調信号補正部は、輝度低減処理された階調信号のレベルがフル階調のレベルより小さい場合に、第 1 フレームの階調信号と第 2 フレームの階調信号とを考慮して、補正階調信号を出力する。階調信号補正部は、輝度低減処理された階調信号のレベルがフル階調のレベルである場合に、オーバーシュート電圧を発生するように補正階調信号を出力する。

## 【 0 0 6 4 】

第 3 1 発明に係る表示装置は、第 3 0 発明の表示装置であって、階調信号は、赤色階調信号と緑色階調信号と青色階調信号とを含む。赤色階調信号は、赤色の階調に関する信号である。緑色階調信号は、緑色の階調に関する信号である。青色階調信号は、青色の階調に関する信号である。データ変換部は、R ルックアップテーブルとG ルックアップテーブルとB ルックアップテーブルとを含む。R ルックアップテーブルは、輝度低減処理される前の赤色階調信号のレベルと輝度低減処理された後の赤色階調信号のレベルとを記憶している。G ルックアップテーブルは、輝度低減処理される前の緑色階調信号のレベルと輝度低減処理された後の緑色階調信号のレベルとを記憶している。B ルックアップテーブルは、輝度低減処理される前の青色階調信号のレベルと輝度低減処理された後の青色階調信号のレベルとを記憶している。

10

## 【 0 0 6 5 】

第 3 2 発明に係る表示装置は、第 3 1 発明の表示装置であって、R ルックアップテーブルの赤色階調信号のレベル、G ルックアップテーブルの緑色階調信号のレベル及びB ルックアップテーブルの青色階調信号のレベルは、それぞれ複数存在する。

20

第 3 3 発明に係る表示装置は、第 3 0 発明の表示装置であって、データ変換部は、フル階調のレベルが  $2^k$  である  $k$  ビットの階調信号 ( $k$  は正の整数) をビット数の拡張によりフル階調のレベルが  $2^{k+p}-r$  である ( $k+p$ ) ビットの階調信号 ( $p$  は正の整数、 $r$  は  $k$  より小さい正の整数) に変換する。データ変換部は、フル階調のレベルが  $2^{k+p}-r$  である ( $k+p$ ) ビットの階調信号をフル階調のレベルが  $2^k-r$  である  $k$  ビットの階調信号に変換する。

## 【 0 0 6 6 】

第 3 4 発明に係る表示装置は、第 3 3 発明の表示装置であって、階調信号補正部は、フル階調のレベルが  $2^k-r$  である  $k$  ビットの階調信号に対してR ルックアップテーブル、G ルックアップテーブル及びB ルックアップテーブルを用いて補正階調信号を生成する。階調信号補正部は、残りの  $r$  階調データに対してオーバーシュート電圧を発生するように補正階調信号を生成する。

30

## 【 0 0 6 7 】

第 3 5 発明に係る表示装置は、第 3 0 発明の表示装置であって、データ変換部は、フル階調のレベルが 225 である 8 ビットの階調信号をビット数の拡張によりフル階調のレベルが 1008 である 10 ビットの階調信号に変換する。データ変換部は、フル階調のレベルが 1008 である 10 ビットの階調信号をフル階調のレベルが 252 である 8

40

## 【 0 0 6 8 】

第 3 6 発明に係る表示装置は、第 3 5 発明の表示装置であって、階調信号補正部は、フル階調のレベルが 252 である 8 ビットの階調信号に対してR ルックアップテーブル、G ルックアップテーブル及びB ルックアップテーブルを用いて補正階調信号を生成する。階調信号補正部は、残りの 3 階調データに対してオーバーシュート電圧を発生するように補正階調信号を生成する。

## 【 0 0 6 9 】

第 3 7 発明に係る表示装置は、第 2 8 発明の表示装置であって、データドライバーは、D A 変換器を有する。D A 変換器は、デジタルの信号とアナログの信号とを相互に変換す

50

る。D A 変換器は、直列に連結された複数の抵抗素子を含む。複数の抵抗素子の一端にはオーバーシュート基準電圧が印加される。

第 38 発明に係る駆動装置は、表示パネルを駆動する駆動装置であって、階調信号補正部とデータドライバーと走査ドライバーとを備える。表示パネルは、複数の走査ラインと複数のデータラインと複数のスイッチング素子と複数の画素とを有する。データラインは、走査ラインと絶縁されて交差する。スイッチング素子は、走査ライン及びデータラインにより囲まれる領域に形成され、それぞれ走査ライン及びデータラインに連結されている。画素は、スイッチング素子により制御され、マトリックス型で配列されている。階調信号補正部は、階調信号ソースから階調信号を受信し、階調信号に基づいて補正階調信号を生成して出力する。データドライバーは、補正階調信号に基づいて、画像信号を生成してデータラインに供給する。走査ドライバーは、走査信号を走査ラインに順次的に供給する。階調信号補正部は、第 1 フレームの階調信号と第 2 フレームの階調信号と第 3 フレームの前記階調信号とを考慮して、第 2 フレームの補正階調信号を生成して出力する。第 2 フレームは、第 1 フレームの次のフレームである。第 3 フレームは、第 2 フレームの次のフレームである。

10

【0070】

第 39 発明に係る駆動装置は、第 38 発明の駆動装置であって、階調信号補正部は、輝度低減処理が行われた階調信号のレベルがフル階調のレベルより小さい場合に、第 1 フレームの階調信号と第 2 フレームの階調信号とを考慮して、補正階調信号を出力する。輝度低減処理は、階調信号に対応するフル階調の輝度をダウンさせる処理である。階調信号補正部は、輝度低減処理された階調信号のレベルがフル階調のレベルである場合に、オーバーシュート電圧を発生するように補正階調信号を出力する。

20

【0071】

第 40 発明に係る駆動装置は、第 38 発明の駆動装置であって、階調信号補正部は、第 2 フレームの階調信号の電圧と第 3 フレームの階調信号の電圧とが同じ場合、第 4 フレームの前記階調信号が受信される期間において、第 3 フレームの補正階調信号の電圧が第 3 フレームの階調信号の電圧と同じになるように、第 3 フレームの補正階調信号を生成して出力する。第 4 フレームは、第 3 フレームの次のフレームである。

【0072】

第 41 発明に係る駆動装置は、第 40 発明の駆動装置であって、階調信号補正部は、階調信号変換部と、メモリと、コントローラとを有する。階調信号変換部は、第 1 フレームの階調信号と第 2 フレームの階調信号とを考慮して、第 2 フレームの第 1 補正階調信号を生成して出力する。メモリは、第 2 フレームの第 1 補正階調信号を階調信号変換部から受け取り、所定フレームの期間だけ第 2 フレームの第 1 補正階調信号を保存して出力する。コントローラは、補正読出動作と補正書込動作とを制御する。補正読出動作は、メモリから第 2 フレームの第 1 補正階調信号を読み出すことである。補正書込動作は、メモリへ第 2 フレームの第 1 補正階調信号を書き込むことである。階調信号変換部には、第 3 フレームの階調信号が入力される。階調信号変換部は、メモリから第 2 フレームの第 1 補正階調信号を受け取る。階調信号変換部は、第 2 フレームの第 1 補正階調信号と第 3 フレームの階調信号とを考慮して、第 2 フレームの第 2 補正階調信号を第 2 フレームの補正階調信号として生成して出力する。

30

40

【0073】

第 42 発明に係る駆動装置は、表示パネルを駆動する駆動装置であって、タイミング制御部とデータドライバーと走査ドライバーとを備える。表示パネルは、複数の走査ラインと複数のデータラインと複数のスイッチング素子と複数の画素とを有する。データラインは、走査ラインと絶縁されて交差する。スイッチング素子は、走査ライン及びデータラインにより囲まれる領域に形成され、それぞれ走査ライン及びデータラインに連結されている。画素は、スイッチング素子により制御され、マトリックス型で配列されている。タイミング制御部は、階調信号ソースから階調信号を受信し、階調信号に基づいて補正階調信号を生成して出力する。データドライバーは、補正階調信号に基づいて、画像信号を生成

50

してデータラインに供給する。走査ドライバーは、走査信号を走査ラインに順次的に供給する。タイミング制御部は、輝度低減処理を行い、第1フレームの輝度低減処理された階調信号と第2フレームの輝度低減処理された階調信号とを考慮して、補正階調信号を生成して出力する。輝度低減処理は、階調信号に対応するフル階調の輝度をダウンさせる処理である。第2フレームは、第1フレームの次のフレームである。

【0074】

第43発明に係る駆動装置は、第42発明の駆動装置であって、タイミング制御部は、輝度低減処理された階調信号のレベルがフル階調のレベルより小さい場合に、第1フレームの階調信号と第2フレームの階調信号とを考慮して、補正階調信号を出力する。タイミング制御部は、輝度低減処理された階調信号のレベルがフル階調のレベルである場合に、

10

オーバーシュート電圧を発生するように補正階調信号を出力する。

【0075】

第44発明に係る駆動装置は、第43発明の駆動装置であって、タイミング制御部は、データ変換部と、階調信号補正部とを有する。データ変換部は、階調信号を輝度低減処理して出力する。階調信号補正部は、輝度低減処理された階調信号のレベルがフル階調のレベルより小さい場合に、第1フレームの階調信号と第2フレームの階調信号とを考慮して、補正階調信号を出力する。階調信号補正部は、輝度低減処理された階調信号のレベルがフル階調のレベルである場合に、オーバーシュート電圧を発生するように補正階調信号を出力する。

【0076】

20

第45発明に係る駆動方法は、表示パネルが駆動される駆動方法であって、(a)段階と、(b)段階と、(c)段階とを備える。表示パネルは、複数の走査ラインと複数のデータラインと複数のスイッチング素子と複数の画素とを有する。データラインは、走査ラインと絶縁されて交差する。スイッチング素子は、走査ライン及びデータラインにより囲まれる領域に形成されている。スイッチング素子は、それぞれ走査ライン及びデータラインに連結されている。画素は、スイッチング素子により制御され、マトリックス型で配列されている。(a)段階では、走査ラインに走査信号が順次的に供給される。(b)段階では、階調信号ソースから階調信号が受信される。(b)段階では、第1フレームの階調信号と第2フレームの階調信号と第3フレームの階調信号とを考慮して、第2フレームの補正階調信号が生成される。第2フレームは、第1フレームの次のフレームである。第3

30

フレームは、第2フレームの次のフレームである。(c)段階では、補正階調信号に基づいて、画像信号が生成されてデータラインに供給される。

【0077】

第46発明に係る駆動方法は、第45発明の駆動方法であって、第2フレームの補正階調信号は、第1電圧と第2電圧とが相異なる場合、第3フレームの階調信号が受信される期間において、第1電圧に対する第2フレームの補正階調信号の電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように生成されて出力されたものである。第1電圧は、第1フレームの階調信号の電圧である。第2電圧は、第2フレームの階調信号の電圧である。

【0078】

40

第47発明に係る駆動方法は、第45発明の駆動方法であって、画素は、液晶を含む。第2フレームの補正階調信号は、第1フレームの階調信号の電圧がブラック階調の電圧であり第2フレームの階調信号の電圧がホワイト階調の電圧である場合に、第2フレームの階調信号が受信される期間において、ブラック階調の電圧より高くホワイト階調の電圧より低い電圧を印加して液晶をプリチルトさせるためのプリチルト信号である。

【0079】

第48発明に係る駆動方法は、第45発明の駆動方法であって、段階(b)は、(b-11)段階と、(b-12)段階と、(b-13)段階とを有する。(b-11)段階では、受信された階調信号が所定フレームの期間だけ保存されて出力される。(b-12)段階では、段階(b-11)で出力された階調信号が受け取られ、さらに所定フレームの

50

期間だけ階調信号が保存されて出力される。(b-13)段階では、段階(b-12)で出力された第1フレームの階調信号と、段階(b-11)で出力された第2フレームの階調信号と、受信された第3フレームの階調信号とを考慮して、第2フレームの補正階調信号が生成されて出力される。

【0080】

第49発明に係る駆動方法は、請求項48に記載の駆動方法であって、所定フレームの期間は、1フレームの期間である。

第50発明に係る駆動方法は、第45発明の駆動方法であって、段階(b)は、(b-21)段階と、(b-22)段階と、(b-23)段階とを有する。(b-21)段階では、第1フレームの階調信号と第2フレームの階調信号とを考慮して、第2フレームの第1補正階調信号が生成されて出力される。(b-22)段階では、段階(b-21)で出力された第2フレームの第1補正階調信号が受け取られ、所定フレームの期間だけ第2フレームの第1補正階調信号が保存されて出力される。(b-23)段階では、第3フレームの前記階調信号が入力され、段階(b-21)で出力された前記第2フレームの前記第1補正階調信号が受け取られる。(b-23)段階では、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号が第2フレームの補正階調信号として生成されて出力される。

10

【0081】

第51発明に係る駆動方法は、第50発明の駆動方法であって、所定フレームの期間は、1フレームの期間である。

20

第52発明に係る駆動方法は、請求項45に記載の駆動方法であって、段階(b)では、第2フレームの階調信号の電圧と第3フレームの階調信号の電圧とが同じ場合、第4フレームの階調信号が受信される期間において、第3フレームの補正階調信号の電圧が第3フレームの階調信号の電圧と同じになるように、第3フレームの補正階調信号が生成されて出力される。第4フレームは、第3フレームの次のフレームである。

【0082】

第53発明に係る駆動方法は、第52発明の駆動方法であって、段階(b)は、(b-21)段階と(b-31)段階と(b-32)段階と(b-33)段階と(b-34)段階とを有する。(b-21)段階では、第1フレームの階調信号と第2フレームの階調信号とを考慮して、第2フレームの第1補正階調信号が生成されて出力される。(b-31)段階では、第3フレームの階調信号が入力され、第2フレームの第1補正階調信号が抽出される。(b-32)段階では、第1条件が満たされるか否かが判断される。第1条件は、第2フレームの第1補正階調信号のレベルが第1階調であるとともに第3フレームの階調信号のレベルが第2階調であることである。(b-33)段階では、段階(b-32)で第1条件が満たされないと判断された場合に、第3フレームの階調信号が変換されて、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号が第2フレームの補正階調信号として生成されて出力される。(b-34)段階では、段階(b-32)で第1条件が満たされると判断された場合に、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号が第2フレームの補正階調信号として出力される。

30

40

【0083】

第54発明に係る駆動方法は、第53発明の駆動方法であって、第1階調はブラック階調であり、第2階調はホワイト階調である。

第55発明に係る駆動方法は、第46発明の駆動方法であって、段階(b)は、(b-21)段階と(b-41)段階と(b-42)段階と(b-43)段階と(b-44)段階とを有する。(b-21)段階では、第1フレームの階調信号と第2フレームの階調信号とを考慮して、第2フレームの第1補正階調信号が生成されて出力される。(b-41)段階では、第3フレームの階調信号が入力され、第2フレームの第1補正階調信号が抽出される。(b-42)段階では、履歴情報に対応する信号が第2フレームの第1補正階調信号から抽出されて、履歴情報に対応する信号に基づいて補正処理の存否が判断される

50

。履歴情報は、補正処理の存否を示す。補正処理は、第1電圧に対する第2フレームの電圧の変化量が第1電圧に対する第2電圧の変化量よりも大きくなるように生成されることである。(b-43)段階では、段階(b-42)で補正処理が存在しないと判断される場合に、第3フレームの第1補正階調信号の履歴情報に対応する信号が活性化される。(b-44)段階では、段階(b-42)で補正処理が存在すると判断される場合に、第3フレームの第1補正階調信号の履歴情報に対応する信号が非活性化される。

【0084】

第56発明に係る駆動方法は、第55発明の駆動方法であって、履歴情報に対応する信号は、補正処理の可否に関する情報を含む。

第57発明に係る駆動方法は、第55発明の駆動方法であって、段階(b-43)で補正処理が存在しないと判断される場合に、第2フレームの第1補正階調信号に補正処理が行われずに、第2フレームの第2フレームの第2補正階調信号が第2フレームの補正階調信号として生成されて出力される。

【0085】

第58発明に係る駆動方法は、第55発明の駆動方法であって、段階(b-44)で補正処理が存在すると判断される場合に、第2フレームの第1補正階調信号に補正処理が行われて、第2フレームの第1補正階調信号と第3フレームの階調信号とを考慮して、第2フレームの第2補正階調信号が第2フレームの補正階調信号として生成されて出力される。

【0086】

第59発明に係る駆動方法は、表示パネルが駆動される駆動方法であって、(a)前記走査ラインに走査信号が順次的に供給される段階と、(d)前記階調信号に対応するフル階調の輝度をダウンさせる処理である輝度低減処理が行われ、第1フレームの前記輝度低減処理された前記階調信号と、前記第1フレームの次のフレームである第2フレームの前記輝度低減処理された前記階調信号とを考慮して、前記補正階調信号が生成されて出力される段階と、(c)前記補正階調信号に基づいて、画像信号が生成されて前記データラインに供給される段階とを備える。表示パネルは、複数の走査ラインと、複数のデータラインと、複数のスイッチング素子と、前記スイッチング素子により制御されマトリックス型で配列された複数の画素とを有する。データラインは、走査ラインと絶縁されて交差する。スイッチング素子は、走査ライン及びデータラインにより囲まれる領域に形成され、それぞれ走査ライン及びデータラインに連結されている。

【0087】

第60発明に係る駆動方法は、第59発明の駆動方法であって、段階(d)では、輝度低減処理された階調信号のレベルがフル階調のレベルより小さい場合に、第1フレームの階調信号と第2フレームの階調信号とを考慮して、補正階調信号が出力される。段階(d)では、輝度低減処理された階調信号のレベルがフル階調のレベルである場合に、オーバーシュート電圧を発生するように補正階調信号が出力される。

【発明を実施するための最良の形態】

【0088】

以下、図面を参照して本発明の望ましい一実施形態をより詳細に説明する。

液晶表示装置は走査信号を伝達する複数のゲートラインとこのゲートラインに交差して形成されデータ電圧を伝達するデータラインを含む。また、液晶表示装置はこれらのゲートラインとデータラインにより囲まれた領域に形成されそれぞれゲートライン及びデータラインとスイッチング素子を通じて連結される行列形態の複数の画素を含む。

【0089】

前記液晶表示装置で各画素は液晶を誘電体として有するキャパシタ即ち、液晶キャパシタとしてモデリングすることができるが、このような液晶表示装置の各画素の等価回路は図1のようである。

図1に示すように、液晶表示装置の各画素はデータラインとゲートラインにそれぞれソース電極とゲート電極とが連結されるTFT10と、TFTのドレイン電極と共通電圧

10

20

30

40

50

との間に連結される液晶キャパシターと、TFTのドレーン電極に連結されるストレージキャパシターとを含む。

#### 【0090】

動作時、ゲートラインにゲートラインオン信号が印加されTFT10がターンオンされると、データラインに供給されたデータ電圧がTFT10を通じて各画素電極（図示せず）に印加される。そうすると、画素電極に印加される画素電圧と共通電圧との差異に当る電界が液晶（図1では等価的に液晶キャパシターとして示す）に印加されてこの電界の強さに対応する透過率で光が透過されるようにする。このとき、画素電圧は1フレームの期間保持されなければならないが、図1においてストレージキャパシターは画素電極に印加された画素電圧を保持するため補助的に使用される。

10

#### 【0091】

一方、液晶は異方性誘電率を有するので、液晶の方向により誘電率が異なる特性がある。即ち、電圧が印加されることにより液晶の方向子が変わると誘電率もともに変わるこれによって液晶キャパシターのキャパシタンス（以下ではこれを液晶キャパシタンスと称する）も変わるようになる、TFTがオンされる区間の間液晶キャパシターに電荷を供給した後、TFTがオフ状態になるが、 $Q = CV$ であるので前記液晶キャパシタンスが変わると液晶にかかる画素電圧も変わるようになる。

#### 【0092】

ノーマリ ホワイトモードTN（*twisted Nematics*）液晶表示装置を例に上げると、画素に供給される画素電圧が0Vである場合には液晶分子が基板に平行な方向に配列されているので液晶キャパシタンスは $C(0V) = \epsilon_0 \epsilon_{\parallel} A/d$ となる。ここで、 $\epsilon_{\parallel}$ は液晶分子が基板に平行な方向に配列された場合即ち、液晶分子が光の方向と垂直な方向に配列された場合の誘電率を示し、Aとdはそれぞれ液晶表示装置基板の面積と基板との間の距離を示す。フル・ブラックを表示するための電圧が5Vであるとする液晶に5Vが印加される場合液晶分子が基板に垂直する方向に配列されるので液晶キャパシタンスは $C(5V) = \epsilon_0 \epsilon_{\perp} A/d$ となる。TNモードに使用される液晶の場合には $\epsilon_{\parallel} - \epsilon_{\perp} > 0$ であるので液晶に印加される画素電圧が高くなるほど液晶キャパシタンスがさらに大きくなる。

20

#### 【0093】

n番目フレームでフル・ブラックを作るためにTFTが充電させるべきの電荷量は $C(5V) * 5V$ である。しかし、すぐ前のフレームである(n-1)番目フレームでフル・ホワイト( $V_{n-1} = 0V$ )であったとするとTFTのターンオン時間の間には液晶はまだ応答する前であるので液晶キャパシタンス $C(0V)$ となる。従って、フル・ブラックを作るためにn番目フレームで5Vのデータ電圧 $V_d$ を印加しても実際画素に充電される電荷量は $C(0V) * 5V$ となり、 $C(0V) < C(5V)$ であるので液晶に実際供給される画素電圧 $V_p$ は5Vに至らない画素電圧（例えば3.5V）が印加されてフル・ブラックが表示されない。

30

#### 【0094】

また、次フレームであるn+1番目フレームでフル・ブラックを表示するためにデータ電圧 $V_d$ を5Vに印加した場合には液晶に充電される電荷量は $C(3.5V) * 5V$ となり、結局液晶に供給される電圧 $V_p$ は3.5Vと5Vとの間になる。このような過程を繰り返すと結局幾つかのフレームの後画素電圧 $V_p$ が所望する電圧に到達するようになる。

40

これを階調の観点から説明すると、任意の画素に印加される信号（画素電圧）が低い階調から高い階調に（または高い階調から低い階調へ）変わる場合、現在フレームの階調は以前フレームの階調の影響の受けるのですぐ所望する階調に到達できなく、幾つかのフレームが経過された後にこそ所望する階調に到達するようになる。同じように、現在フレームの画素の透過率は以前フレームの画素の透過率の影響を受け幾つかのフレームが経過された後所望する透過率を得られる。

#### 【0095】

一方、n-1フレームがフル・ブラックであり即ち、画素電圧 $V_p$ が5Vで、nフレ

50

ムでフル・ブラックを表示するために5Vのデータ電圧が印加されたとすると、液晶キャパシタンスは $C(5V)$ であるので画素には $C(5V) \times 5V$ に該当する電荷量が充電されこれによって液晶の画素電圧 $V_p$ は5Vとなる。

このように、液晶に実際供給される画素電圧 $V_p$ は現在フレームに供給されるデータ電圧だけではなく以前フレームの画素電圧 $V_p$ によっても決定される。

#### 【0096】

図2は従来の駆動方式で印加される場合のデータ電圧及び画素電圧を示す図面である。

図2に示すように、従来には以前フレームの画素電圧 $V_p$ を考慮しないで、目標画素電圧 $V_w$ に該当するデータ電圧 $V_d$ をフレーム毎に印加した。従って、実際液晶に印加される画素電圧 $V_p$ は前述したように

、以前フレームの画素電圧に対応する液晶キャパシタンスにより目標画素電圧より低くまたは高くなる。従って、幾つかのフレームが経過された後にこそ目標画素電圧に到達するようになる。

#### 【0097】

図3はこのような従来の駆動方法による液晶表示装置の透過率を示す図面である。

図3に示すように、従来には前述したように実際画素電圧が目標画素電圧より低くなるので液晶の応答時間が一つのフレーム以内である場合にも幾つかのフレームが経過した後にこそ目標透過率に到達するようになる。

しかし、本発明においては現在フレームの画像信号 $P_n$ が入力されるにつれ以前フレームの画像信号 $P_{n-1}$ と次フレームの画像信号 $P_{n+1}$ との比較を通じて次のような補正信号 $P_n'$ を生成した後、補正された画像信号 $P_n'$ を各画素に印加する。ここで、画像信号 $P_n$ は液晶表示装置がアナログ駆動方式を採用する場合にはデータ電圧を意味するが、デジタル駆動方式を採用する場合には前記データ電圧を制御するために二進化された階調信号（または階調データ）を使用するので実際画素に印加される電圧の補正は前記階調信号の補正を通じて行われる。

#### 【0098】

まず、現在フレームの画像信号（データ電圧または階調信号）が以前フレームの画像信号と同様であるか類似していると補正を行わない。

次に、現在フレームの階調信号が以前フレームの階調信号より高い場合には現在フレームの階調信号よりさらに高い補正された階調信号を出力し、現在フレームの階調信号が以前フレームの階調信号より低い場合には現在フレームの階調信号よりさらに低い補正された階調信号を出力する。このとき、補正が行われる程度は現在フレームの階調信号と以前フレームの階調信号と次フレームの階調信号との差に比例する。

#### 【0099】

以下、一般のデータ電圧補正方法を概略的に説明する。

図4は液晶表示装置の電圧・誘電率間の関係を簡単にモデリングした図面である。

図4で、横軸は画素電圧であり、縦軸は、特定画素電圧における誘電率 $(\epsilon(V))$ と、液晶とが基板に平行な方向に配列された場合即ち液晶が光の透過方向と垂直する場合の誘電率 $(\epsilon_\perp)$ との比を示す。

#### 【0100】

図4では、 $(\epsilon(V))/\epsilon_\perp$ の最大値即ち、 $(\epsilon(V))/\epsilon_\perp$ を3だと仮定し、 $V_{th}$ と $V_{max}$ をそれぞれ1V、4Vに仮定した。ここで、 $V_{th}$ と $V_{max}$ はそれぞれフル・ホワイト及びフル・ブラック（またはその反対）に該当する画素電圧を示す。

ストレージキャパシタのキャパシタンス（以下では、これをストレージキャパシタンスと称する）が液晶キャパシタンスの平均値 $C_{st}$ と同じであるとし、液晶表示装置基板の広さ及び基板の間の距離をそれぞれAとdだとすると、ストレージキャパシタンス $C_s$ は次の数式1に示すことができる。

#### 【0101】

10

20

30

40

【数 1】

$$\begin{aligned} C_{st} &= \langle C_1 \rangle = 1/3 * (\epsilon_{\parallel} + 2 \epsilon_{\perp}) * A/d \\ &= (5/3) \epsilon_{\parallel} * A/d = (5/3) * C_o \end{aligned}$$

ここで、 $C_o = \epsilon_{\perp} * A/d$  である。

図 4 から、 $\epsilon(V)/\epsilon_{\perp}$  は次の数式 2 に示すところができる。

【0102】

【数 2】

10

$$\epsilon(V)/\epsilon_{\perp} = 1/3 * (2V + 1)$$

液晶表示装置の総キャパシタンス  $C(V)$  は液晶キャパシタンスとストレージキャパシタンスとを足したものであるので、液晶表示装置のキャパシタンスは  $C(V)$  は数式 1 及び数式 2 から次の数式 3 に示すことができる。

【0103】

【数 3】

$$\begin{aligned} C(V) &= C_1 + C_{st} = \epsilon(V) * A/d + 5/3 * C_o \\ &= 1/3 (2V + 1) C_o + 5/3 (V + 3) C_o \end{aligned}$$

20

【0104】

【数 4】

$$Q = C(V_{n-1}) * V_n = C(V_f) * V_f$$

ここで、 $V_n$  は現在フレームに印加されるデータ電圧（反転駆動式の場合にはデータ電圧の絶対値）を示し、 $C(V_{n-1})$  は以前フレーム（ $n-1$  フレーム）の画素電圧に対応するキャパシタンスを示し、 $C(V_f)$  は現在フレーム（ $n$  フレーム）の実際画素電圧  $V_f$  に対応するキャパシタンスを示す。

30

【0105】

数式 3 及び数式 4 から次の数式 5 が誘導され得る。

【0106】

【数 5】

$$\begin{aligned} C(V_{n-1}) V_n &= C(V_f) V_f \\ &= 2/3 (V_{n-1} + 3) V_n = 2/3 (V_f + 3) V_f \end{aligned}$$

40

従って、実際画素電圧  $V_f$  は次の数式 6 に示され得る。

【0107】

【数 6】

$$V_f = \{-3 + \sqrt{9 + 4 V_n (V_{n-1} + 3)}\} / 2$$

前記した数式 6 から明らかであるように、実際画素電圧  $V_f$  は現在フレームに印加されたデータ電圧  $V_n$  と以前フレームに印加された画素電圧（ $V_{n-1}$ ）により決定される。

一方、 $n$  フレームで画素電圧が目標画素電圧  $V_n$  に到達するようにするために印加され

50



るデータ電圧を  $V_n'$  だとすると、 $V_n'$  は数式 5 から下記する数式 7 に示され得る。

【 0 1 0 8 】

【 数 7 】

$$(V_{n-1}+3) V_n' = (V_n+3) V_n$$

従って、 $V_n'$  は下記する数式 8 に示され得る。

【 0 1 0 9 】

【 数 8 】

$$\begin{aligned} V_n' &= \{V_n+3\} / \{V_{n-1}+3\} V_n \\ &= V_n + \{V_n - V_{n-1}\} / \{V_{n-1}+3\} V_n \end{aligned}$$

10

このように、現在フレームの目標画素電圧  $V_n$  と以前フレームの画素電圧 ( $V_{n-1}$ ) とを考慮して前記数式 8 により求められるデータ電圧  $V_n'$  を印加すると、目標とする画素電圧  $V_n$  にすぐ到達することができる。

【 0 1 1 0 】

前記の数式 8 は図 4 に示された図面及び幾つかの基本仮定から誘導された式であり、一般の液晶表示装置で適用されるデータ電圧  $V_n'$  は次の数式 9 に示すことができる。

20

【 0 1 1 1 】

【 数 9 】

$$|V_n'| = |V_n| + f(|V_n| - |V_{n-1}|)$$

ここで、関数  $f$  は液晶表示装置の特性により決定され、基本的に次の性質を有する。即ち、 $V_n$  の絶対値と  $n-1$  の絶対値とが同じである場合に前記  $f$  は 0 となり、 $V_n$  の絶対値が  $V_{n-1}$  の絶対値より大きい場合前記  $f$  は 0 より大きく、 $V_n$  の絶対値が  $V_{n-1}$  の絶対値より小さい場合前記  $f$  は 0 より小さい。

30

【 0 1 1 2 】

前記した技術を根拠として、液晶の応答速度を高速化するため現在フレームの目標画素電圧と以前フレームの画素電圧とを考慮して補正データ電圧を印加することで、画素電圧がすぐ目標電圧に到達するようにする。具体的に、現在フレームの目標電圧と以前フレームの画素電圧とが異なる場合には現在フレームの目標電圧よりさらに高い電圧を補正されたデータ電圧として印加して一番目のフレームですぐ目標電圧レベルに到達するようにした後以後のフレームでは目標電圧をデータ電圧に印加する方式を通じて液晶の応答速度を改善することができる。このとき、補正データ電圧 (即ち、電荷量) は以前フレームの画素電圧により決定される液晶キャパシタンスを考慮して決定する。即ち、以前フレームの画素電圧レベルを考慮して電荷量を供給することにより一番目のフレームですぐ目標画素電圧レベルに到達するようにする。

40

【 0 1 1 3 】

しかし、一般の垂直配向モードの液晶を採用する液晶表示装置では階調が変化するとき目標値電圧より高い電圧を 1 フレームの期間印加して液晶を強制に早く駆動してもブラック階調からホワイト階調に変換するときの液晶の応答速度を高速化するには限界がある。

特に、画素電極 (または透明電極) に開口パターンを形成し、フリンジフィールド (fringe field) を形成して液晶の傾く方向を 4 方向に均等に分散させ光視野角を確保し得るパターン化された垂直配向 (以下、PVA) モードを採用する液晶表示装置の場合には応答速度を高速化するには限界がある。

【 0 1 1 4 】

50

下記する表 1 は 3.2 インチの解像度と前記垂直配向モードの一例である PVA モードを採用する液晶表示装置で測定したデータとして、各階調間応答速度を示す。

【 0 1 1 5 】

【 表 1 】

		変化後階調				
		0[%]	25[%]	50[%]	75[%]	100[%]
変化前階調	0[%]	-	11.8[msec]	10.8[msec]	9.2[msec]	15.6[msec]
	25[%]	5.8[msec]	-	10.4[msec]	8.2[msec]	9.0[msec]
	50[%]	5.8[msec]	9.6[msec]	-	7.2[msec]	7.6[msec]
	75[%]	6.2[msec]	9.4[msec]	8.6[msec]	-	4.6[msec]
	100[%]	7.0[msec]	9.6[msec]	9.0[msec]	7.0[msec]	-

前記した表 1 に示すように、大部分の階調変換時 10 [ msec ] 以下の良好な応答速度を示す反面、0 % から 100 % の階調へ変換時、即ち、ブラック階調からホワイト階調に変わるときの応答速度は 15.6 [ msec ] であることを確認することができる。

【 0 1 1 6 】

このように、PVA モードの液晶を採用する液晶表示装置においてブラック階調からホワイト階調に画素をターンオンさせるとき応答速度が大きい理由は次のようである。

一般に、前記 PVA モードではブラック階調で液晶、具体的に液晶の長軸が全部垂直に立っている。万一、ブラック状態からホワイトに急変するように制御する強い電圧が印加されると、液晶表示装置に具備されるカラーフィルター基板やアレイ基板に形成されたITO パターン、突起などにより特定方向に液晶が横になる。このとき、ドメイン境界から遠い部分に位置する液晶は正確に方向を見つけることができず所望しない違う方向に向かって横になる。このような理由から再び液晶が本来の位置を見つけるに時間が所要されるので応答速度が遅い。

【 0 1 1 7 】

図 5 は液晶動作時間に応じる輝度特性を示す図面であり、図 6 は PVA モードでブラック電圧による液晶オン時間 ( Ton ) と液晶オフ時間 ( Toff ) を示すための図面である。

図 5 及び図 6 に示すように、前記した PVA モードでブラック階調に対応する電圧 ( 以下、ブラック電圧 ) が高くなるほどフォーリング ( Toff、falling time ) 時間は遅いが、ライジング ( Ton、Rising time ) 時間は速くなる。その理由は前記ブラック電圧が高くなると液晶が垂直状態ではない少しずつITO パターンが誘導する方向にプリチルト ( pre tilt ) 角を有する傾斜配列状態となるのである。このとき、ホワイト階調に対応する電圧 ( 以下、ホワイト電圧 ) が印加されると液晶は速くもとの方向に横になり応答速度が速くなる。

【 0 1 1 8 】

これを利用して応答速度を早くすることが本発明による液晶の高速応答のための駆動方法である。しかし、前記ブラック電圧をとこまでも高めることができない。それはブラック電圧を高めると液晶オフ時間が遅くなるだけでなく、視野角が狭くなり、コントラスト比率も減少するからである。

本発明による液晶の高速応答のための駆動方法は下記する図 7 のようにブラック階調からホワイト階調に変わるとき、変換する前一つのフレーム前に予め一定レベル電圧、例えば、2 ~ 3.5 ボルト内外の電圧を印加して液晶をプリチルト ( pre tilt ) させた後次フレームでホワイト階調に変わるとブラック階調からホワイト階調に変わる応答速度は速くなる。

## 【0119】

図7は本発明によるデータ電圧印加方法を示す図面である。

図7に示すように、本発明においては現在フレームの目標画素電圧と以前フレームの画素電圧（またはデータ電圧）及び次フレームの画素電圧とを考慮して補正データ電圧 $V_n$ を印加して、現在フレームの画素電圧 $V_p$ がすぐ目標電圧に到達するようにする。

即ち、ブラック階調からホワイト階調に変わるとき、ホワイト階調に変換する1フレーム前の期間に前記ブラック階調よりは高い電圧を印加して予め液晶をプリチルトさせる。一般にブラック電圧は0.5～1.5Vである点を勘案すると、前記プリチルトさせるための高い電圧は大略2～3.5Vであることが望ましい。また、フル-階調が256階調であるなら0～50グレイに当ると前記ブラック階調として定義されることができ、200～225グレイに当ると前記ホワイト階調として定義することができる。勿論、設計者により前記したブラック階調やホワイト階調の範囲は任意で設定可能である。また、前記プリチルトさせる電圧も、グレイとは関係なしに設定されたブラック階調に一括的に対応されるように設定することができ、それぞれのグレイに対応するように互いに異なる値を有するように設定される。

10

## 【0120】

その次のフレームでホワイト階調に変わるとブラック階調信号からホワイト階調に変換する速度を高速化させることができる。

具体的に、現在フレームがブラック階調であるとき、次フレームがどんな階調の信号がくるかについて前もって知っているべきである。このとき、次フレームがホワイト階調または明るい階調であると現在フレームにはブラック階調ではないブラック階調より高い階調の信号を印加する。

20

## 【0121】

このように、原始階調信号がブラック階調からホワイト階調に変換するときプリチルト発生のための補正階調信号とオーバーシュート発生のための補正階調信号を出力することにより液晶の応答速度を高速化させることができる。

図8は本発明による液晶表示装置を示すための図面で、特にデジタル駆動方法を有する液晶表示装置を説明する。

## 【0122】

図8に示すように、本発明による液晶表示装置は液晶パネル100、ゲートドライバー200、データドライバー300及び階調信号補正部400を含む。ここで、ゲートドライバー200、データドライバー300及び階調信号補正部400はグラフィックコントローラのような外部のホストから提供される画像信号を液晶パネル100に適応するように変換して出力する液晶表示装置の駆動装置として動作を遂行する。

30

## 【0123】

液晶パネル100にはゲートオン信号を伝達するための複数のゲートライン（走査ライン）が形成され、補正されたデータ電圧を伝達するためのデータライン（またはソースライン）が形成されている。前記ゲートラインと前記データラインにより囲まれた領域はそれぞれ画素を成し、各画素は前記ゲートラインと前記データラインにそれぞれゲート電極及びソース電極が連結される薄膜トランジスタ110と、前記薄膜トランジスタ110のドレイン電極に連結される液晶キャパシターC1と、ストレージキャパシターCstとを含む。

40

## 【0124】

特に、液晶パネルは垂直配向モードを採用することもでき、パターン化された垂直配向モードを採用することもでき、混載（mixide）された垂直配向モードを採用することもできる。ここで、垂直配向モードはアレイ基板のラビングラインとカラーフィルター基板のラビングラインとが交差する角度が0でありながらその方向が正反対である液晶モードであり、前記混載された垂直配向モードはアレイ基板のラビングラインとカラーフィルター基板のラビングラインとが交差する角度が0より大きく90より小さいその方向が正反対である液晶モードである。

50

## 【0125】

ゲートドライバ200は前記ゲートラインに順次にゲートオン電圧( $S_1$ 、 $S_2$ 、 $S_3$ 、...、 $S_n$ )を印加して、前記ゲートオン電圧が印加されたゲートラインにゲート電極が連結される薄膜トランジスタ110をターンオンさせる。

データドライバ300は階調信号補正部400から受信された補正階調信号( $G_n' - 1$ )を該当階調電圧(データ電圧)に変更したデータ信号( $D_1$ 、 $D_2$ 、...、 $D_n$ )をそれぞれデータラインに印加する。

## 【0126】

階調信号補正部400は階調信号ソース、例えばグラフィックコントローラ(図示せず)から原始階調信号 $G_n$ を受信した後、前述したように現在フレーム、以前フレーム及び次フレームの階調信号を考慮して補正階調信号( $G_n' - 1$ )を出力する。 10

即ち、現在フレームの原始階調信号と次フレームの原始階調信号( $G_{n+1}$ )とが同一である場合には補正されないが、現在フレームの原始階調信号 $G_n$ がブラック階調に対応し、次フレームの原始階調信号( $G_{n+1}$ )が明るい階調またはホワイト階調に対応する階調だとすると現在フレームには前記ブラック階調よりは高い階調が形成されるように補正階調信号を出力する。具体的に、現在フレームの原始階調信号と以前フレームの原始階調信号との比較を通じてオーバーシュート波形形成のための補正階調信号を出力し、現在フレームの原始階調信号と次フレームの原始階調信号との比較を通じて液晶をプリチルトさせるための補正階調信号を出力する。

## 【0127】

一方、図面上では階調信号補正部400がスタンドアローン(*Stand-alone*)ユニットで存在することを図示したが、グラフィックカードや液晶表示モジュール、タイミングコントローラ、データドライバなどに通合されるように表示することもできる。 20

以上、本発明によるとデータ電圧を補正し、補正されたデータ電圧を画素に印加することによって画素電圧がすぐ目標電圧レベルに到達するようにする。従って、液晶パネルの構造を変更するか、液晶の物性を変更しなくても液晶の応答速度を改善させることができる。

## 【0128】

図9は本発明の第1実施形態による階調信号補正部を示すための図面である。 30

図9に示すように、本発明の第1実施形態による階調信号補正部400は合成器410は、第1フレームメモリ412、第2フレームメモリ414、コントローラ416、階調信号変換器418及び分離器420を含み、現在フレームの原始階調信号 $G_n$ の提供を受け以前フレームに対応する補正階調信号( $G_n' - 1$ )を出力する。

## 【0129】

合成器410は階調信号ソース(図示せず)から伝送される現在フレームの原始階調信号 $G_n$ を受信し、階調信号補正部400が処理可能な速度にデータストリームの周波数を変換する。例えば、前記階調信号ソースから24ビットのデータが65(MHz)周波数に同期して受信され、階調信号補正部400の構成要素の処理速度が50(MHz)が限界だとすると、合成器410は24ビットの原始階調信号を2つずつ束にして48ビットの階調信号 $G_n$ として合成して第1フレームメモリ412及び階調信号変換器418に伝送する。このとき、コントローラ416が、入力されたクロック信号 $S_{ync}$ の周波数を1/2にして、後述のアドレスクロック、リードクロック $R$ 及びライトクロック $W$ を生成する。なお、クロック信号 $S_{ync}$ の周波数をあらかじめ分周してコントローラ416に 40

## 【0130】

第1フレームメモリ412はコントローラ416から提供されるアドレスクロック及びリードクロック $R$ にตอบสนองして予め保存された以前フレームの階調信号 $G_n - 1$ を階調信号変換器418及び第2フレームメモリ414に出力する。コントローラ416から提供されるアドレスクロック $A$ 及びライトクロック $W$ にตอบสนองして合成器410から提供される現 50

在フレームの階調信号  $G_n$  を保存する。

【0131】

第2フレームメモリ414はコントローラ416から提供されるアドレスクロックA及びリードクロックRにตอบสนองして所定アドレスに保存されている以前フレームの階調信号  $G_{n-2}$  を階調信号変換器418に出力する。コントローラ416から提供されるアドレスクロックA及びライトクロックWにตอบสนองして第1フレームメモリ412から提供される以前フレームの階調信号  $G_{n-1}$  を保存する。

【0132】

階調信号変換器418はコントローラ416から提供されるリードクロックRにตอบสนองして合成器410から出力される現在フレームの階調信号  $G_n$  と、第1フレームメモリ412から出力される以前フレームの階調信号  $G_{n-1}$  と、第2フレームメモリ414から出力されるその以前フレームの階調信号  $G_{n-2}$  をそれぞれ受信し、現在フレームの階調信号  $G_n$  と以前フレームの階調信号  $G_{n-1}$  とその以前フレームの階調信号  $G_{n-2}$  とを考慮して補正階調信号  $G_{n-1}$  を生成する。

【0133】

つまり、階調信号変換器418は  $n-1$  番目フレームの原始階調信号と  $n$  番目フレームの原始階調信号が相異なる場合に、 $n$  番目フレーム駆動時  $n$  番目フレームの目標電圧より高いオーバーシュート波形が印加されるように補正階調信号を出力し、 $n-1$  番目フレームの階調信号がブラック階調である場合、 $n$  番目フレームが明るい階調またはホワイト階調であると  $n-1$  番目フレームには前記ブラック階調よりは高い階調信号を印加して液晶をプリチルトさせるための補正階調信号を出力する。

【0134】

分離器420は階調信号変換器418から出力される補正階調信号  $G_{n-1}$  を分離し、分離された階調信号  $G'_{n-1}$  をデータドライバ300に出力する。例えば、補正された階調信号  $G'_{n-1}$  が48ビットを有すると分離された階調信号  $G_{n-1}$  は24ビットを有する。

以上、前記階調信号に同期するクロック周波数が第1フレームメモリ412及び第2フレームメモリ414をアクセスするクロック周波数と相異なるので、前記階調信号を合成及び分離する合成器410及び分離器420が必要であった。しかし、前記階調信号に同期するクロック周波数と第1フレームメモリ412及び第2フレームメモリ414をアクセスするクロック周波数が同一な場合には前記した合成器と分離器は不必要である。

【0135】

一方、前記した階調信号変換器418は前述した数式9を満たすデジタル回路を直接製造して使用でき、ルックアップテーブルを作成してROM(Read Only Memory)に保存した後アクセスして階調信号を補正することもできる。実際、補正データ電圧  $V_n'$  は単純に以前フレームのデータ電圧  $V_{n-1}$  と現在フレームのデータ電圧  $V_n$  の差のみに比例するものではなく前述したようにそれぞれの絶対値にも依存する複雑な関数であるので前記したルックアップテーブルを構成すると演算処理に依存するより回路がずっと簡単になるという長所がある。

【0136】

一方、本発明の実施形態によるデータ電圧を補正するためには実際に使われるグレイスケール範囲よりさらに広いダイナミックレンジを有するべきである。しかし、アナログ回路では高電圧ICを使用することにより解決できるのに対して、デジタル方式においては分けられる階調数が限定されている。例えば、6ビット階調である場合64個の階調レベルのうち一部分は実際の階調表示ではなく変造された電圧のために割当てなければならない。即ち、一部の階調レベルは電圧補正用として割当てすべきである。従って、表現しなければならない階調の数が減ることになる。

【0137】

前記した階調の数の減少を防ぐためには次のような打ち切り(truncation)の概念が導入され得る。例えば、液晶が1Vから4Vの間で駆動し補正電圧を考慮したとき

10

20

30

40

50

電圧が 0 V から 8 V まで必要とされる場合を仮定しよう。このとき、補正を充実にするために 0 V から 8 V までを 64 個の段階に分けると実際表現できる階調は 30 個程度に過ぎない。従って、電圧幅を 1 ~ 4 V に低くし計算上矯正された電圧  $V_n'$  が 4 V を越える場合には全部補正電圧を 4 V に打ち切りすると階調数の減少を減らすことができる。

【0138】

図 10 ~ 図 13 は前記した図 9 の階調信号補正部の動作を概念的に示すための図である。

図 10 に示すように、 $n - 2$  番目フレームの階調信号  $G_{n-2}$  が第 1 フレームメモリ 412 及び階調信号変換器 418 に提供されることにより、第 1 フレームメモリ 412 に保存された  $n - 3$  番目フレームの階調信号  $G_{n-3}$  は第 2 フレームメモリ 414 及び階調信号変換器 418 に提供され、第 2 フレームメモリ 414 に保存された  $n - 4$  番目フレームの階調信号  $G_{n-4}$  は階調信号変換器 418 に提供される。このとき、階調信号変換器 418 に提供された  $n - 2$  番目フレームの階調信号  $G_{n-2}$  と、 $n - 3$  番目フレームの階調信号  $G_{n-3}$  と、 $n - 4$  番目フレームの階調信号  $G_{n-4}$  は液晶の高速応答のために補正された  $n - 3$  番目フレームの補正階調信号を  $G_{n-3}$  を出力する。

10

【0139】

一方、図 11 に示すように、 $n - 1$  番目フレームの階調信号  $G_{n-1}$  が第 1 フレームメモリ 412 及び階調信号変換器 418 に提供されることにより、第 1 フレームメモリ 412 に保存された  $n - 2$  番目フレームの階調信号  $G_{n-2}$  は第 2 フレームメモリ 414 及び階調信号変換器 418 に提供され、第 2 フレームメモリ 414 に保存された  $n - 3$  番目フレームの階調信号  $G_{n-3}$  は階調信号変換器 418 に提供される。このとき、階調信号変換器 418 に提供された  $n - 1$  番目フレームの階調信号  $G_{n-1}$  と、 $n - 2$  番目フレームの階調信号  $G_{n-2}$  と、 $n - 3$  番目フレームの階調信号  $G_{n-3}$  は液晶の高速応答のために補正されて  $n - 2$  番目フレームの補正階調信号  $G_{n-2}$  を出力する。

20

【0140】

一方、図 12 に示すように、 $n$  番目フレームの階調信号  $G_n$  が第 1 フレームメモリ 412 及び階調信号変換器 418 に提供されることにより、第 1 フレームメモリ 412 に保存された  $n - 1$  番目フレームの階調信号  $G_{n-1}$  は第 2 フレームメモリ 414 及び階調信号変換器 418 に提供され、第 2 フレームメモリ 414 に保存された  $n - 2$  番目フレームの階調信号  $G_{n-2}$  は階調信号変換器 418 に提供される。このとき、階調信号変換器 418 に提供された  $n$  番目フレームの階調信号  $G_n$  と、 $n - 1$  番目フレームの階調信号  $G_{n-1}$  と、 $n - 2$  番目フレームの階調信号  $G_{n-2}$  は液晶の高速応答のために補正されて  $n - 1$  番目フレームの補正階調信号  $G_{n-1}$  を出力する。

30

【0141】

一方、図 13 に示すように、 $n + 1$  番目フレームの階調信号  $G_{n+1}$  が第 1 フレームメモリ 412 及び階調信号変換器 418 に提供されることにより、第 1 フレームメモリ 412 に保存された  $n$  番目フレームの階調信号  $G_n$  は第 2 フレームメモリ 414 及び階調信号変換器 418 に提供され、第 2 フレームメモリ 414 に保存された  $n - 1$  番目フレームの階調信号  $G_{n-1}$  は階調信号変換器 418 に提供される。このとき、階調信号変換器 418 に提供された  $n + 1$  番目フレームの階調信号  $G_{n+1}$  と、 $n$  番目フレームの階調信号  $G_n$  と、 $n - 1$  番目フレームの階調信号  $G_{n-1}$  は液晶の高速応答のために補正されて  $n$  番目フレームの補正階調信号  $G_n$  を出力する。

40

【0142】

図 14 は本発明の第 1 実施形態による入力階調信号と出力補正階調信号とを対比して示す波形図である。

図 14 に示すように、 $n - 1$  番目フレームの期間に 1 ボルトに対応し、 $n$  番目と  $n + 1$  番目フレームの期間に 5 ボルトに対応し、 $n + 2$  番目フレーム以後には 3 ボルトに対応する原始階調信号が入力されると、本発明の第 1 実施形態による補正階調信号は次のように出力される。

50

## 【0143】

即ち、 $n$  番目フレームの期間には液晶をプリチルトさせるための形成信号として前記 1 ボルトよりは高い 1.5 ボルトに対応する補正階調信号が出力され、 $n+1$  番目フレームの期間に前記 5 ボルトより高い 6 ボルトに対応する補正階調信号が出力された後、 $n+2$  番目フレームの期間に 5 ボルトに対応する補正階調信号が出力される。

このように、本発明の第 1 実施形態による補正階調信号は原始階調信号を対比して 1 フレーム期間ずつ遅延され出力されるので液晶の応答速度を高速化することができる。特に、低電圧が要求されるブラック階調から高電圧が要求されるホワイト階調に急変するとき、まず液晶をプリチルト (pre tilt) させるためのプリチルト形成信号を出力した後、次のフレーム期間に目標画素電圧より高い高階調の信号が入力されるので液晶の応答速度を向上させることができる。 10

## 【0144】

図 15 は本発明の第 2 実施形態による階調信号補正部を示すための図である。

図 15 に示すように、本発明の第 2 実施形態による階調信号補正部 400 は合成器 450、フレームメモリ 452、コントローラ 454、階調信号変換器 456 及び分離器 458 を含み、現在フレームの原始階調信号  $G_n$  の提供を受け以前フレームに対応する補正階調信号  $G'_{n-1}$  を出力する。

## 【0145】

合成器 450 は階調信号ソース (図示せず) から伝送される現在フレームの原始階調信号  $G_n$  を受信し、階調信号補正部 400 が処理し得る速度でデータストリームの周波数を 20 変換した後、変換された現在フレームの階調信号を階調信号変換器 456 に提供する。

フレームメモリ 452 はコントローラ 454 から提供されるアドレスクロック A 及びリードクロック R に応答して予め保存された以前フレームの第 1 補正階調信号  $G'_{n-1}$  を階調信号変換器 418 に出力すると同時に、コントローラ 416 から提供されるアドレスクロック A 及びライトクロック W に応答して階調信号変換器 418 から提供される現在フレームの第 1 補正階調信号  $G'_n$  を保存する。

## 【0146】

階調信号変換器 456 はコントローラ 454 から提供されるリードクロック R に応答して合成器 450 から出力される現在フレームの階調信号  $G_n$  と、フレームメモリ 452 から出力される以前フレームの第 1 補正階調信号  $G'_{n-1}$  とを考慮して以前フレームの第 2 補正階調信号  $G''_{n-1}$  を生成した後分離器 458 に提供する。また、現在フレームの第 1 補正階調信号  $G'_n$  をフレームメモリ 412 に保存するように提供する。つまり、階調信号変換器 418 は  $n-1$  番目フレームの原始階調信号と  $n$  番目フレームの原始階調信号が相異なる場合、 $n$  番目フレーム駆動時  $n$  番目フレームの目標電圧より高いオーバーシュート波形が印加されるように第 2 補正階調信号  $G''_{n-1}$  を出力し、 $n-1$  番目フレームの階調信号がブラック階調信号であるとき、 $n$  番目フレームが明るい階調またはホワイト階調であると  $n-1$  番目フレームには前記ブラック階調よりは高い階調信号を印加して液晶をプリチルトさせるための第 2 補正階調信号  $G''_{n-1}$  を出力する。 30

## 【0147】

分離器 458 は第 2 補正階調信号  $G''_{n-1}$  を分離し、分離された階調信号を補正階調信号  $G'_{n-1}$  として定義してデータドライバー 300 に出力する。例えば、前記第 2 補正階調信号  $G''_{n-1}$  が 48 ビットを有すると前記補正階調信号  $G'_{n-1}$  は 24 ビットを有するようになる。 40

このように、本発明の第 2 実施形態による階調信号補正部は一つのフレームメモリのみを備えても以前フレームの階調信号と現在フレームの階調信号と次フレームの階調信号とを考慮して前記現在フレームに対応する補正階調信号を出力することができる。

## 【0148】

図 16 ~ 図 19 は前記した図 15 の階調信号補正部の動作を概念的に説明するための図面である。

図 16 に示すように、 $n-2$  番目フレームの階調信号  $G_{n-2}$  が階調信号変換器 456 50

に提供されることにより、階調信号変換器 456 は  $n - 2$  番目フレームの第 1 補正階調信号  $G'_{n-2}$  をフレームメモリ 452 に提供する。

【0149】

一方、図 17 に示すように、 $n - 1$  番目フレームの階調信号  $G_{n-1}$  が階調信号変換器 456 に提供されることにより、階調信号変換器 456 はコントローラ 454 から提供されるリードクロック R に応答してフレームメモリ 452 から  $n - 2$  番目フレームの第 1 補正階調信号  $G'_{n-2}$  を抽出し、 $n - 1$  番目フレームの第 1 補正階調信号  $G'_{n-1}$  をフレームメモリ 452 に提供し、前記  $n - 2$  番目フレームの第 1 補正階調信号  $G'_{n-2}$  と前記  $n - 1$  番目フレームの階調信号  $G_{n-1}$  とを考慮して  $n - 2$  番目フレームの第 2 補正階調信号  $G''_{n-2}$  を出力する。

10

【0150】

一方、図 18 に示すように、 $n$  番目フレームの階調信号  $G_n$  が階調信号変換器 456 に提供されることにより、階調信号変換器 456 はコントローラ 454 から提供されるリードクロック R に応答してフレームメモリ 452 から  $n - 1$  番目フレームの第 1 補正階調信号  $G'_{n-1}$  を抽出し、 $n$  番目フレームの第 1 補正階調信号  $G'_n$  をフレームメモリ 452 に提供し、前記  $n - 1$  番目フレームの第 1 補正階調信号  $G'_{n-1}$  と前記  $n$  番目フレームの階調信号  $G_n$  とを考慮して  $n - 1$  番目フレームの第 2 補正階調信号  $G''_{n-1}$  を出力する。

【0151】

一方、図 19 に示すように、 $n + 1$  番目フレームの階調信号  $G_{n+1}$  が階調信号変換器 456 に提供されることにより、階調信号変換器 456 はコントローラ 454 から提供されるリードクロック R に応答してフレームメモリ 452 から  $n$  番目フレームの第 1 補正階調信号  $G'_n$  を抽出し、 $n + 1$  番目フレームの第 1 補正階調信号  $G'_{n+1}$  をフレームメモリ 452 に提供し、前記  $n$  番目フレームの第 1 補正階調信号  $G'_n$  と前記  $n + 1$  番目フレームの階調信号  $G_{n+1}$  とを考慮して  $n$  番目フレームの第 2 補正信号  $G''_n$  を出力する。

20

【0152】

このように、本発明の第 2 実施形態による補正階調信号は原始階調信号を対比して 1 フレームずつ遅延されて出力され、特に低電圧が要求されるブラック階調から高電圧が要求されるホワイト階調に急変するとき、まず液晶をプリチルトさせるためのプリチルト形成信号を出力した後、次に高い高階調の信号が入力されるので液晶の応答速度を向上させることができる。

30

【0153】

図 20 は本発明の第 2 実施形態による入力階調信号と出力補正階調信号とを対比して示す波形図で、特に、前記した本発明の第 1 実施形態による入力階調信号と出力補正信号とを対比した波形図を共に図示する。

図 20 に示すように、 $n - 1$  番目フレームの期間 1 ボルトに対応し、 $n$  番目と  $n + 1$  番目フレームの期間 5 ボルトに対応し、 $n + 2$  番目フレームの以後には 3 ボルトに対応する原始階調信号に入力されると、本発明の第 2 実施形態による補正階調信号は次のように出力される。

40

【0154】

即ち、 $n - 1$  番目フレームの期間 1 ボルトに対応する階調信号を保持し、 $n$  番目フレームの期間には液晶をプリチルトさせるための形成信号として前記 1 ボルトよりは高い大略 1.5 ボルトに対応し、 $n + 1$  番目フレームの期間前記 5 ボルトより高い 6 ボルトに対応し、 $n + 2$  番目フレームの期間 5 ボルトより低い大略 4.8 ボルトに対応し、 $n + 3$  番目フレームの期間 3 ボルトよりは低い 2.5 ボルトに対応し、 $n + 4$  番目フレームの期間には 3 ボルトよりは若干高い 3.2 ボルトに対応し、 $n + 5$  番目フレームから 3 ボルトに対応する補正階調信号が出力される。

【0155】

このように、本発明の第 2 実施形態においては一つのメモリを使用する。このとき、前

50



記フレームメモリには現在フレームの階調信号が保存されるのではなく、階調信号変換器で以前フレームの階調信号とその以前フレームの階調信号とを根拠にして変換された第1補正階調信号が保存される。そして、出力されるのは予め保存された第1補正階調信号と現在フレームの階調信号とを比較して液晶をプリチルトさせる必要がある場合またその変換を経て第2補正階調信号を出力する。

【0156】

前記した本発明の第1実施形態においては以前フレームの階調信号とその以前フレームの階調信号を保存して、現在フレームの階調信号と共に3つのフレームを比べるが、本発明の第2実施形態においては以前フレームの階調信号とその以前フレームの階調信号とが比較されたデータである第1補正階調信号が保存され、第1補正階調信号と現在フレームの階調信号とが比較される。このため、前記した方法においてメモリを減らすことで発生する情報損失分がある。

10

【0157】

前記した本発明の第2実施形態を適用すると前記した図20のように $n+1$ 番目と $n+4$ 番目フレームで2回のオーバーシュート波形が反復される。即ち、階調信号変換器で現在フレームの階調信号と以前フレームの階調信号とを比較するのではなく、現在フレームの階調信号と第1補正階調信号とを比較するからである。しかし、二番目に発生されるオーバーシュート波形即ち、 $n+4$ 番目フレームで発生されるオーバーシュート波形の大きさは一番目のオーバーシュート波形に比べてその大きさが顕著に小さくなるので液晶の応答速度差異は殆ど発生しない。

20

【0158】

しかし、前記した本発明の第2実施形態による補正階調信号にはオーバーシュート波形が発生された後リップル波形が発生する。それは、前記フレームメモリには現在フレームの階調信号が保存されるのではなく、階調信号変換器で変換された第1補正階調信号が保存され、出力されるのは以前第1補正階調信号と現在階調信号とを考慮してプリチルトまたはオーバーシュートする必要がある場合にはまたの変換を経て以前第2補正階調信号が出力されるからである。

【0159】

前記したリップル波形は目標値階調信号に未達するか超過して所望する階調レベルに至らなくディスプレイ品質を悪化させる恐れがある。

30

そうすると、前記リップル波形の発生を抑制するための階調信号補正部を下記する図面を参照して説明する。

図21は本発明の第3実施形態による階調信号補正部を示すための図である。

【0160】

図21に示すように、本発明の第3実施形態による階調信号補正部500は合成器520、フレームメモリ525、コントローラ524、階調信号変換器526及び分離器528を含み、現在原始階調信号 $G_n$ の提供を受け以前フレームに対応する階調信号 $G'_{n-1}$ を出力する。

合成器520はグラフィックコントローラのような階調信号ソース(図示せず)から伝送される現在原始階調信号 $G_n$ を受信し、階調信号補正部500が処理可能な速度でデータストリームの周波数を変換した後変換された現在階調信号を階調信号変換器526に提供する。図面上では説明の便宜上現在原始階調信号 $G_n$ が8ビットであることを図示する。勿論、前記原始階調信号がR、G、B階調信号であるとそれぞれのR、G、B階調信号は8ビットからなり、総24ビットの原始階調信号 $G_n$ が階調信号変換器526に提供される。

40

【0161】

フレームメモリ525はコントローラ524から提供されるアドレスクロックA及びリードクロックRに应答して予め保存された以前第1補正階調信号 $G_{n-1}$ を階調信号変換器526に出力すると同時に、コントローラ526から提供されるアドレスクロックA及びライトクロックWに应答して階調信号変換器526から提供される現在第1補正階調信

50

号  $G_n$  を保存する。

【0162】

前記フレームメモリ525に保存される以前第1補正階調信号  $G_{n-1}$  や現在第1補正階調信号  $G_n$  はオーバーシュートिंगのためのオプション信号を含む。前記オプション信号は第1ビットからなり、前記第1補正階調信号 ( $G_{n-1}$  または  $G_n$ ) が前記オーバーシュートिंगのために変換された場合であると前記オプション信号には1が記入され、前記オーバーシュートिंगのために未変換された場合であると前記オプション信号には0が記入される。即ち、前記オプション信号には該当フレームのオーバーシュート適用可否に対するヒストリー情報が含まれる。

【0163】

階調信号変換器526はコントローラ524から提供されるリードクロックRにตอบสนองして合成器520から出力される8ビットの現在階調信号  $G_n$  と、フレームメモリ525から出力される9ビットの以前第1補正階調信号  $G_{n-1}$  を考慮して8ビットの以前第2補正階調信号  $G'_{n-1}$  を生成した後分離器528に提供すると同時に、9ビットの現在第1補正階調信号  $G_n$  をフレームメモリ525に保存されるように提供する。

【0164】

つまり、階調信号変換器526はフレームメモリ525に保存された  $n-1$  番目第1補正階調信号  $G'_{n-1}$  と合成器520を経由して提供される  $n$  番目原始階調信号  $G_n$  が相異なる場合、 $n$  番目フレーム駆動時  $n$  番目目標電圧より高いオーバーシュート波形が印加されるように第2補正階調信号  $G'_{n-1}$  を出力する。このとき、前記  $n$  番目原始階調信号  $G_n$  と比べられる前記  $n-1$  番目第1補正階調信号  $G'_{n-1}$  は1ビットのオプション信号を除いた8ビットが利用される。前記1ビットのオプション信号は連続してオーバーシュート波形が印加されないように利用される。

【0165】

一方、階調信号変換器526は  $n-1$  番目階調信号がブラック階調である場合、 $n$  番目フレームが明るい階調またはホワイト階調であると  $n-1$  番目フレームには前記ブラック階調よりは高い階調信号を印加して液晶をプリチルトさせるための第2補正階調信号  $G'_{n-1}$  を出力する。このとき、前記  $n$  番目原始階調信号  $G_n$  と比べられる前記  $n-1$  番目第1補正階調信号  $G'_{n-1}$  は1ビットのオプション信号を除いた8ビットが利用される。

【0166】

分離器528は第2補正階調信号  $G'_{n-1}$  を分離し、分離された階調信号を補正階調信号  $G'_{n-1}$  として定義してデータドライバー300に出力する。例えば、前記第2補正階調信号  $G'_{n-1}$  が48ビットを有すると前記補正階調信号  $G_{n-1}$  は24ビットを有する。

図面上では合成器510と分離器518を図示したが、これを省略しても良いのである。

【0167】

このように、本発明の第3実施形態によると階調信号補正部に一つのフレームメモリのみを備えても以前階調信号と現在階調信号と次階調信号とを考慮して前記現在フレームに対応する補正階調信号を出力できるだけでなく、連続してオーバーシュート波形が印加されないようにすることができる。

具体的に、補正階調信号は原始階調信号を対比して1フレーム期間ずつ遅延されて出力され、特に低電圧が要求されるブラック階調から高電圧が要求されるホワイト階調に急変するときまず液晶をプリチルトさせるためのプリチルト形成信号を出力した後、その次に高いオーバーシュートされた高階調の信号が入力されるので液晶の応答速度を向上させることができる。

【0168】

また、前記したプリチルト形成信号を発生した後、オーバーシュートが発生するとフレームメモリに保存される第1補正階調信号に含まれるオプション信号を活性化させ次フレ

10

20

30

40

50

ームでオーバーシュートが発生されることを遮断することによりオーバーシュートされない原始階調信号が出力される。これによって、前記補正階調信号にリップルが発生されることを遮断することができる。

【0169】

図22は前記した図21の動作を説明するための流れ図である。特に、本発明の第3実施形態による階調信号変換器の動作を説明する。

図21及び図22に示すように、外部のグラフィックコントローラのようなホストから現在原始階調信号 $G_n$ の入力可否を判断して(段階S105)、前記現在原始階調信号が入力されることで判断される場合にはフレームメモリ452に保存された以前第1補正階調信号 $G'_{n-1}$ を抽出する(段階S110)。前記現在原始階調信号 $G_n$ の大きさが8  
10ビットであるとフレームメモリ452に保存された以前第1補正階調信号 $G'_{n-1}$ の大きさは1ビットのオプション信号が付加された9ビットである。

【0170】

続いて、前記以前第1補正階調信号 $G'_{n-1}$ がブラック階調で、現在原始階調信号 $G_n$ がホワイト階調である第1条件を満足するかの可否を判断する(段階S115)。前記ブラック階調はフル-ブラック階調でもあり、前記フル-ブラック階調に近接する階調でもあり、前記ホワイト階調はフル-ホワイト階調でもあり、前記フル-ホワイト階調に近接する階調でもある

前記段階S115で前記第1条件を満足すると判断される場合には液晶の応答速度を高速化するために以前第1補正階調信号 $G'_{n-1}$ を変換して以前第2補正階調信号 $G''_{n-1}$ を生成した後(段階S120)、生成された以前第2補正階調信号 $G''_{n-1}$ を利用して画面を出力する(段階S125)。  
20

【0171】

一方、前記段階S115で前記第1条件を満足しないと判断される場合には以前第1補正階調信号 $G'_{n-1}$ を利用して画面を出力する(段階S130)。

前記段階S125及び段階S130に続き、前記以前第1補正階調信号 $G'_{n-1}$ に含まれたオプション信号を抽出する(段階S140)。前記オプション信号には以前フレームに対応してオーバーシュートされた波形の出力ヒストリー情報が含まれる。

【0172】

続いて、前記段階S140で抽出されたオプション信号が1か0かが判断される(段階S145)。例えば、前記オプション信号が1である場合には以前フレームに対応してオーバーシュートされた波形が出力されたヒストリー情報が含まれる。  
30

前記段階S145で以前第1補正階調信号 $G'_{n-1}$ のオプション信号が0と判断される場合には以前フレームに対応してオーバーシュートされた波形が未出力されたこととして見なして現在階調信号 $G_n$ の変換を通じてオーバーシュート発生のための現在第1補正階調信号 $G'_n$ を生成する(段階S150)。続いて、前記段階S150で生成された現在第1補正階調信号 $G'_n$ に1ビットのオプション信号、例えば1のオプション信号を付加した後(段階S155)、フレームメモリ452に保存する(段階S160)。前記フレームメモリ452に保存された活性化されたオプション信号と現在第1補正階調信号 $G'_n$ は次フレームに対応する階調信号出力時利用される。  
40

【0173】

前記段階S145で以前第1補正階調信号 $G'_{n-1}$ のオプション信号が1として判断される場合には以前フレームに対応してオーバーシュートされた波形が出力されたこととして見なして現在階調信号 $G_n$ に1ビットのオプション信号、例えば0のオプション信号を付加した後(段階S165)、フレームメモリ452に保存する(段階S170)。前記フレームメモリ452に保存された非活性化されたオプション信号と現在第1補正階調信号は次フレームに対応する階調信号出力時利用される。

【0174】

図23は本発明の第3実施形態による入力階調信号と出力補正階調信号とを対比して示す波形図である。

10

20

30

40

50

図 2 3 に示すように、 $n - 1$  番目フレームの期間 1 ボルトに対応し、 $n$  番目フレーム以後に 5 ボルトに対応する原始階調信号が入力されると、本発明の第 3 実施形態による補正階調信号は次のように出力される。

【 0 1 7 5 】

$n - 1$  番目フレームの期間 1 ボルトに対応する階調信号を保持し、 $n$  番目フレームの期間には液晶をプリチルトさせるための形成信号として前記 1 ボルトよりは高い大略 1 . 5 ボルトに対応する補正階調信号が出力される。

続いて、 $n + 1$  番目フレームの期間前記 5 ボルトより高い 6 ボルトに対応する補正階調信号が出力され、 $n + 2$  番目フレームからはオーバーシュート発生が抑制されてこそ 5 ボルトに対応する補正階調信号が出力される。

10

【 0 1 7 6 】

前記したオーバーシュート発生の抑制によりリップルが発生されることを遮断でき、これによって一回のオーバーシュート波形が発生された以後に正常的に該当階調信号を用いて画像をディスプレイすることができる。

以上、本発明の第 3 実施形態においては一つのピクセルに 2 フレーム連続して変わる原始階調信号が入力されるとき 2 番目フレームに対応してはオーバーシュートが適用されない原始階調信号が出力されるので前記 2 番目のフレームでは画面に残像が存在し得る可能性がある。しかし、TV 信号や DVD 信号など大部分の場合には 30 Hz 未満の信号を出力するので 60 Hz 駆動時二つのフレームが連続変わる信号が入力される場合は殆どない。

20

【 0 1 7 7 】

モニターの場合 2 回連続変わる場合があるが、このとき、オーバーシュートが 2 回連続適用され過度に補償されて画面が歪曲される。

即ち、図 2 4 に示されたように、本発明の第 2 実施形態によると  $n$  番目フレームをディスプレイするとき、ブラック階調からホワイト階調に急激に変換されると一番目オーバーシュート（即ち、ホワイトオーバーシュート）が発生され、 $n + 1$  番目フレームをディスプレイするとき、ホワイト階調からブラック階調に急激に変換されると 2 番目オーバーシュート（即ち、ブラックオーバーシュートまたはアンダーシュート）が発生される。前記二番目オーバーシュートは  $n + 1$  番目フレームをディスプレイするが実質にディスプレイ歪曲を誘発する。それは目標値階調電圧は 1 ボルトであるが、供給される階調電圧は大略 0 . 5 ボルトであるので液晶キャパシターに正常的に充電されないからである。

30

【 0 1 7 8 】

しかし、本発明の第 3 実施形態によると、 $n$  番目フレームをディスプレイするとき、ブラック階調からホワイト階調に急激に変換されると一番目のオーバーシュートが発生され、 $n + 1$  番目フレームをディスプレイするとき、ホワイト階調からブラック階調に階調が急激に変換されても二番目オーバーシュートが発生されることを遮断し、該当入力階調信号がそのまま出力される。これによって、オーバーシュート変換後発生されるリップルを遮断してディスプレイ不良を解決することができる。

【 0 1 7 9 】

一方、液晶表示装置は R、G、B それぞれの階調毎に色感が異なって示される視認性の問題と、色温度が変わる問題を解決するために自動色補償方式（以下、ACC）を採用している。

40

すなわち、外部から印加される原始画像データを R、G、B それぞれに対して別途に調節して互いに異なる R、G、B それぞれのガンマ曲線を一つの曲線に示すことで、階調毎に色感が異なって示される視認性の問題点及び色温度が変化する場合の問題点を解決することができる。

【 0 1 8 0 】

下記する表 2 は一般の自動色補償方式 ACC により入力されるデータに対応して変換されたデータを説明する。

【 0 1 8 1 】

50

【表 2】

入力 8 ビット	10 ビット 変換	ACC変換データ (10ビット)			ACC変換データ (8ビット)		
		R	G	B	R	G	B
0	0	0	0	0	0	0	0
1	4	4	4	4	1	1	1
2	8	8	8	7	2	2	1.75
3	12	13	12	11	3.25	3	2.75
4	16	17	16	15	4.25	4	3.75
5	20	21	20	18	5.25	5	4.5
...	...	...	...	...	...	...	...
250	1000	1004	1000	992	251	250	248
251	1004	1007	1004	998	251.75	251	249.5
252	1008	1010	1008	1003	252.5	252	250.75
253	1012	1014	1012	1009	253.5	253	252.25
254	1016	1017	1016	1014	254.25	254	253.5
255	1020	1020	1020	1020	255	255	255

10

20

しかし、前記した表 2 に示すように、一般の自動色補償方式では 255 - 階調データを 10 ビットに変換して 1020 - 階調データとして生成し、これを再び自動色補償 ACC 変換してディザリング方法を通じて 8 ビットに表現する。このとき、最高階調とも言える 255 - 階調に対応するデータは 1020 - 階調であるフル - ホワイトに変換されるので自動色補償 ACC 変換を経た後にも変わらないようになる。

## 【0182】

従って、255 - 階調データのようなフル - ホワイトに対応する階調データが入力されるとオーバーシュート電圧を印加することができなくなるので、液晶の応答速度を高速化するには限界がある。本発明はフル - 階調に対応する階調データが入力されても液晶の応答速度を高速化することができる液晶表示装置と、これの駆動装置及び方法を提案する。

30

図 25 は本発明の第 4 実施形態による液晶表示装置を示すための図である。

## 【0183】

図 25 に示すように、本発明の第 4 実施形態による液晶表示装置は液晶パネル 100、ゲートドライバ 200、データドライバ 300 及びタイミング制御部 600 を含む。前記した図 8 と比べ同一な構成要素に対しては同一な図面符号を付与し、その詳細な説明は省略する。また、ゲートドライバ 200、データドライバ 300 及びタイミング制御部 600 はグラフィックコントローラのような外部のホストから提供される画像信号を液晶パネル 100 に適用するように変換して出力する液晶表示装置の駆動装置として動作を遂行する。

40

## 【0184】

タイミング制御部 600 は外部から第 1 タイミング信号 (Vsync、Hsync、DE、MCLK) が印加されることにより、第 2 タイミング信号 (Gate、Clk、STV) をゲートドライバ 200 に出力し、第 3 タイミング信号 (LOAD、STH) をデータドライバ 300 に出力する。

また、タイミング制御部 600 は自動色補償部及び階調補正部を含み、グラフィックコントローラ (図示せず) のような階調信号ソースから原始階調信号 Gn を受信した後、前記原始階調信号に対応するフル - 階調のピーク値をダウンさせ、前記ダウンされた現在階

50

調信号と以前階調信号とを考慮して補正階調信号  $G_n'$  をデータドライバ 300 に出力する。

# 【0185】

具体的に、自動色補償部 610 は  $k$  ビット（前記  $k$  は正の整数）の  $2^k$  フル - 階調データをビット拡張を通じて  $(k + p)$  ビットの  $2^{k+p} - r$  フル - 階調データ（前記  $p$  は正の整数、前記  $r$  は  $k$  より小さい正の整数）に変換し、前記  $(k + p)$  ビットの  $2^{k+p} - r$  フル - 階調データを  $k$  ビットの  $2^k - r$  フル - 階調データに変換する。

即ち、自動色補償部 610 は現在原始階調信号  $G_n$  が入力されることにより、現在色補正階調信号  $C G_n$  を階調信号補正部 620 に出力する。前記色補正階調信号  $C G_n$  は R、G、B それぞれのルックアップテーブル 612、614、616 を根拠として出力される。R ルックアップテーブル 612 は前記原始階調信号のうち複数の R - 階調データそれぞれに対応してダウンされた複数の R - 階調データを保存し、G ルックアップテーブル 614 は前記原始階調信号のうち複数の G - 階調データそれぞれに対応してダウンされた複数の G - 階調データを保存し、B ルックアップテーブル 616 は前記原始階調信号のうち複数の B - 階調データそれぞれに対応してダウンされた複数の B - 階調データを保存する。

# 【0186】

下記する表 3 は本発明の第 4 実施形態による自動色補償 ACC を適用するための R、G、B それぞれのルックアップテーブルの一例を表す。

# 【0187】

## 【表 3】

入力 8 ビット	10 ビット 変換	ACC変換データ (10ビット)			ACC変換データ (8ビット)		
		R	G	B	R	G	B
0	0	0	0	0	00	00	00
1	4	4	4	4	1. 00	1. 00	1. 00
2	8	8	8	7	2. 00	2. 00	1. 75
3	12	13	12	11	3. 25	3. 00	2. 75
4	16	17	16	15	4. 25	4. 00	3. 75
5	20	21	20	18	5. 25	5. 00	4. 50
...	...	...	...	...	...	...	...
250	1000	1004	1000	992	248. 00	247.0 0	245.00
251	1004	1007	1004	998	248. 75	248.0 0	246.50
252	1008	1010	1008	1003	249. 50	249.0 0	246.75
253	1012	1014	1012	1009	250. 50	250.0 0	249.25
254	1016	1017	1016	1014	251. 25	250.0 0	250.50
255	1020	1020	1020	1020	252. 00	252.0 0	252.00

例えば、250 - 階調に対応して R、G、B それぞれ 8 ビットである原始階調信号が入

力されると、前記 R、G、B それぞれの原始階調信号を 10 ビットとして拡張させる。即ち、R 現在原始階調信号は 992、G 現在原始階調信号は 998、B 現在原始階調信号は 980 に対応する値に変換する。

#### 【0188】

続いて、変換されたそれぞれの値は 8 ビットに縮小されて R 現在色補正階調信号  $C_{Gn}$  に対応しては 248.00 であり、G 現在色補正階調信号に対応しては 247.00 であり、B 現在色補正階調信号に対応しては 245.00 である値を階調信号補正部 620 に出力する。前記した例においては小数点に対応する値がないので問題がないが、小数点に対応する値が存在する場合にはディザリング (dithering) または FRC 変換を通じて同一ビット数に合わせることができる。

10

#### 【0189】

即ち、前記した自動色補償 ACC 変換は通常入力信号よりビット数を追加して変換させた後、再び入力信号と同一なビット数に低くした後これを表示するためにディザリング方法を使用する。このような方法として損失が発生した階調部分をディザリングを通じて補償することができる。

図 26 は本発明の第 4 実施形態による自動色補償部により変換されるガンマ曲線を示すための図面である。

#### 【0190】

図 26 に示すように、本発明の第 4 実施形態による自動色補償部によるガンマ曲線は一般の自動色補償部によるガンマ曲線より最高値レベルがダウンされたことを確認することができる。即ち、最低値レベルである 0 ~ 32 - 階調では本発明による自動色補償部によるガンマ曲線や一般の自動色補償部によるガンマ曲線が大部分同一で、最高値レベルである 255 - 階調では本発明の第 4 実施形態による自動色補償部によるガンマ曲線が一般の自動色補償部によるガンマ曲線に比べてレベルダウンされたことを確認することができる。

20

#### 【0191】

以上、本発明の第 4 実施形態による自動色補償 ACC 変換のためのルックアップ・テーブルによると、255 - 階調データが入力されてもこれより低い 252 - 階調データが出力される。従って、255 - 階調データが入力されるとき自動色補償 ACC 変換を経て出力される色補正階調データは前記 255 - 階調データより低い 252 - 階調データとなる。

30

#### 【0192】

従って、フル・ホワイト階調よりさらに高い階調が存在するのでこれを後続する階調信号補正部 620 では 253 ~ 255 - 階調に対して一定マージンを有しているので液晶の応答速度を高速化するオーバーシュート用として使用することができる。即ち、フル階調に対応する階調データが入力されても液晶の応答速度を高速化することができる。

一方、階調信号補正部 620 は  $2^{k+p} - r$  階調データ (前記  $k$  は正の整数、前記  $p$  は正の整数、前記  $r$  は  $k$  より小さい正の整数) に対しては液晶の応答速度を高速化するためにルックアップテーブルを用いて補正階調データ  $G'_n$  を生成し、残りの  $r$  - 階調データに対してはオーバーシュート電圧に対応する補正階調データ  $G'_n$  を生成して出力する。

40

#### 【0193】

具体的に、階調信号補正部 620 は図 27 に示すように、フレームメモリ 622 及びデータ補正部 624 を含み、自動色補償部 610 から色補正階調信号  $C_{Gn}$  が入力されることにより、前述したように以前色補正階調信号  $C_{Gn-1}$  と現在色補正階調信号  $C_{Gn}$  を考慮して補正階調信号  $G_n'$  をデータドライバー 300 に出力する。

即ち、以前色補正階調信号  $C_{Gn-1}$  と現在色補正階調信号  $C_{Gn}$  が同一な場合には補正しないが、以前色補正階調信号  $C_{Gn-1}$  がブラック階調に対応し、現在色補正階調信号  $C_{Gn}$  が明るい階調またはホワイト階調に対応する階調であると現在フレームでは前記ブラック階調より高い階調が形成されるように補正階調信号を出力する。

#### 【0194】

50

具体的に、フレームメモリ622は入力される一つのフレームだけの色補正階調信号CGnを保存する。フレームメモリ622は一例として前記現在フレームの色補正階調信号CGnが入力されることにより、予め保存された以前フレームの色補正階調信号CGn-1を出力し、前記現在フレームの色補正階調信号CGnを保存するSDRAMである。

データ補正部624は一種のルックアップテーブルLUTの形態で定義され、以前フレームに比べて現在フレームの階調が変換するとき目標画素電圧よりは高いか低いデータ電圧が出力されるように制御する複数の補正階調データG'nを保存する。ここで、前記補正階調データG'nは液晶のライジングタイムやフォーリングタイムを最適化することができるデータである。

#### 【0195】

具体的に、データ補正部624は以前フレームの色補正階調信号CGn-1と現在フレームの色補正階調信号CGnが同一な場合には補正しないが、以前フレームの色補正階調信号CGn-1がブラック階調に対応し、現在フレームの色補正階調信号CGnが明るい階調またはホワイト階調に対応する階調であると前記ブラック階調よりは高い階調が形成されるように補正階調データG'nを出力する。

#### 【0196】

即ち、現在フレームの色補正階調信号CGnと以前フレームの色補正階調信号CGn-1との比較を通じてオーバーシュート波形形成のための補正階調データG'nを出力する。また、以前フレームの色補正階調信号CGn-1がホワイト階調に対応し、現在フレームの色補正階調信号CGnが暗い階調またはブラック階調に対応する階調であると前記ホワイト階調よりは低い階調が形成されるようにアンダーシュート波形形状のための補正階調データG'nを出力する。

#### 【0197】

以上、本発明によると色補正階調データを補正して画素に印加することによって画素電圧がすぐ目標電圧レベルに到達できるようにする。

従って、液晶パネルの構造を変更するか、液晶の物性を変更しなくても液晶の応答速度を改善させることができ、動画像を有用にディスプレイすることができる。

つまり、既存には階調表示のために255個階調数全部を使用したか、本発明においては階調表示のために252個階調数を使用し、残り3個の階調数はオーバーシュート発生のために使用する。勿論、階調表現するに所要される階調数は前記した252より大きくも小さくもある。漏落された数だけの階調数は自動色補償ACCのディザリング機能を通じて克服することができる。このとき、輝度が低下する問題を回避するためには駆動電圧を上昇させ既存のフル-ホワイト電圧に該当する電圧に変換されたホワイト-階調から出られるようにする。

#### 【0198】

即ち、既存構造では階調電圧発生のための電源電圧AVDDが10.5Vで設定されて255-階調が入力され、共通電圧に対して5.25Vが入力される。一方、本発明においては前記階調電圧発生のための電源電圧AVDDを11.5Vで使用したとき、245-階調の信号が入力され共通電圧に対して5.25Vとなると245-階調がホワイトとして使用され、残りがオーバーシュート用で使用される。

#### 【0199】

このとき、自動色補償ACC変換を通じて階調数を減少させるので画質に悪影響を与えられるという短所がある。これを補償するためには、ディザリング変換(またはFRC変換)が有効である。

また、画質が低下することを減少させるためには自動色補償ACC変換後のフル-階調が自動色補償ACC変換前のフル-階調に近接している必要がある。即ち、自動色補償ACC変換前の階調が255-階調であると、損失される階調数が最少になるように自動色補償ACC変換後の階調は前記255-階調に近接している必要がある。

#### 【0200】

これをためにはデータドライバーの構造を下記する図28及び図29のように変更する

10

20

30

40

50



。

図 28 は前記した図 25 のデータドライバの一例を示すための図面である。図 29 は前記した図 28 の D/A コンバーターを示すための図面である。

図 25 ~ 図 29 に示すように、本発明の第 4 実施形態によるデータドライバの一例はシフトレジスタ 310、データラッチ 320、D/A コンバーター 330 及び出力バッファ 340 を含み、データ電圧（または階調電圧）を液晶パネル 100 のデータラインに出力する。

#### 【0201】

前記シフトレジスタ 310 は所定のシフトクロックを発生させ前記タイミング制御部 600 から伝送される R、G、B それぞれの補正階調データ  $G'n$  を順次にシフトさせながら前記データラッチ 320 に保存させる。 10

前記データラッチ 320 は前記シフトレジスタ 310 から提供される前記画像データを一時保存し、前記シフトクロックに応答して保存された R、G、B それぞれの補正階調データ  $G'n$  を前記 D/A コンバーター 330 に提供する。

#### 【0202】

前記 D/A コンバーター 330 は互いに直列連結された複数の抵抗列 RS を含み、前記データラッチ 320 を経て提供される R、G、B それぞれの補正階調データ  $G'n$  に対応してアナログ階調電圧に変換させ出力バッファ 340 に提供する。

前記 D/A コンバーター 330 は 16 個のガンマ基準電圧（ $-V_{GMA1} \sim -V_{GMA7}$ 、 $+V_{GMA1} \sim +V_{GMA7}$ ）と、共通電極電圧  $V_{COM}$  と、2 つのオーバーシュート基準電圧（ $-V_{OVER}$ 、 $+V_{OVER}$ ）のそれぞれの提供を受けこれを電圧分配させ 256 個の階調電圧を生成し、前記画像データ R、G、B による該当電圧を出力バッファ 340 に出力する。一例として、前記 256 個の階調電圧は階調表示のための 254 個の電圧とオーバーシュートのための 2 つの電圧を含む。 20

#### 【0203】

具体的に、前記複数の抵抗列のセンターには共通電極電圧  $V_{COM}$  が印加され、一方向に対応する複数の抵抗列には複数の正極性のガンマ基準電圧（ $+V_{GMA1} \sim +V_{GMA7}$ ）が印加され、他の方向に対応する複数の抵抗列には複数の負極性のガンマ基準電圧（ $-V_{GMA1} \sim -V_{GMA7}$ ）が印加され、前記一方向の一側端部には正極性のオーバーシュート基準電圧（ $+V_{OVER}$ ）が印加され、前記他の方向の一側端部には負極性のオーバーシュート基準電圧（ $-V_{OVER}$ ）が印加される。 30

#### 【0204】

前記複数の抵抗列はそれぞれ互いに連結された複数の抵抗からなり、それぞれの抵抗はノードを通じて複数の階調電圧を出力する。特に、一方向の一側端部に具備される抵抗列には 2 つの抵抗からなり、前記正極性のオーバーシュート基準電圧（ $+V_{OVER}$ ）と正極性の第 7 ガンマ基準電圧（ $+V_{GMA7}$ ）の提供を受け 253 - 階調、254 - 階調及び 255 - 階調に対応するデータ電圧（ $V_{253}$ 、 $V_{254}$ 、 $V_{255}$ ）を出力する。

#### 【0205】

即ち、既存には 256 - 階調を表示するためには 32 個の抵抗を一つの単位として 8 個の抵抗列（または 16 個の抵抗を一つの単位として 16 個の抵抗列）を備えた。しかし、本発明の第 4 実施形態においては互いに連結された複数の抵抗列のうち両側の抵抗列には 1 個または 2 個のみの抵抗を一つの抵抗列として定義し、残りの 31 個または 30 個の抵抗に対しては 6 個の抵抗列（または 12 個の抵抗列）に含ませて抵抗列を定義するので別途の抵抗を具備しなくても液晶の応答速度を高速化するためのデータドライバを表示することができる。 40

#### 【0206】

図面上には 2 つのオーバーシュート発生のために一側端部の正極性用抵抗列と一側端部の負極性用抵抗列に 2 つの抵抗を利用することを図示したが、これを限定することではない。即ち、一つのオーバーシュート発生のためには一側端部の正極性用抵抗列と、一側端部の負極性用抵抗列に一つの抵抗を利用することができ、3 つまたは 4 つのオーバーシュ 50

ート発生のためには3つまたは4つの抵抗を利用することもできる。

【0207】

一方、前記出力バッファ340は前記D/Aコンバータ330から出力されるアナログ階調電圧を液晶パネル100のデータラインにライン単位として印加する。

以上、説明したように、データドライバー内部に具備されるD/Aコンバータ330の抵抗列で一つの階調または2つの階調に対応する部分を分離させ、これを他の電圧、即ち、オーバーシュート基準電圧を印加するようにすることが望ましい。

【0208】

以上、本発明の実施形態によると以前フレームの原始階調信号と現在フレームの原始階調信号が相異なる場合、次フレーム駆動時現在フレームの目標電圧より高いオーバーシュート波形が印加されるように補正階調信号を出力し、以前フレームの階調信号がブラック階調であるとき、現在フレームが明るい階調またはホワイト階調であると現在フレームには前記ブラック階調より高い階調信号を印加して液晶をプリチルト (pre-tilt) させるための補正階調信号を出力することで、液晶表示装置の応答速度を向上させることができる。

10

【0209】

また、液晶パネル構造を変更するか、液晶の物性を変更しなくても液晶の応答速度を改善させることができ動画像などを有用にディスプレイすることができる。

また、原始階調信号の全体階調数より小さい階調数で階調信号を補正し、残りの階調数をオーバーシュート電圧として使用することで、液晶の応答速度を高速化することができる。

20

【0210】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0211】

【図1】液晶表示装置において各画素の等価回路を示す図面である。

【図2】従来の駆動方式で印加されるデータ電圧及び画素電圧を示す図面である。

【図3】従来の駆動方式による液晶表示装置の透過率を示す図面である。

30

【図4】液晶表示装置の電圧 - 誘電率間の関係をモデリングした図面である。

【図5】液晶動作時時間に応じる輝度特性を示す図面である

【図6】PVAモードでブラック電圧に応じる液晶オン時間とオフ時間を示すための図面である。

【図7】本発明によるデータ電圧の印加方法を示す図面である。

【図8】本発明による液晶表示装置を示すための図面である。

【図9】本発明の第1実施形態による階調信号補正部を示すための図面である。

【図10】前記した図9の階調信号補正部の動作を概念的に示すための図面である。

【図11】前記した図9の階調信号補正部の動作を概念的に示すための図面である。

【図12】前記した図9の階調信号補正部の動作を概念的に示すための図面である。

40

【図13】前記した図9の階調信号補正部の動作を概念的に示すための図面である。

【図14】本発明の第1実施形態による入力階調信号と出力補正階調信号とを対比して示す波形図である。

【図15】本発明の第2実施形態による階調信号補正部を示すための図面である。

【図16】前記した図15の階調信号補正部の動作を概念的に示すための図面である。

【図17】前記した図15の階調信号補正部の動作を概念的に示すための図面である。

【図18】前記した図15の階調信号補正部の動作を概念的に示すための図面である。

【図19】前記した図15の階調信号補正部の動作を概念的に示すための図面である。

【図20】本発明の第2実施形態による入力階調信号と出力補正階調信号とを対比して示す波形図である。

50

【図 2 1】本発明の第 3 実施形態による階調信号補正部を示すための図面である。

【図 2 2】前記した図 2 1 の動作を示すための流れ図である。

【図 2 3】本発明の第 3 実施形態による入力階調信号と出力補正階調信号とを対比して示す波形図である。

【図 2 4】本発明の第 2 実施形態及び第 3 実施形態による出力補正階調信号それぞれを示す波形図である。

【図 2 5】本発明の第 4 実施形態による液晶表示装置を示すための図面である。

【図 2 6】本発明の第 4 実施形態による自動色補償部により変換されるガンマ曲線を示すための図面である。

【図 2 7】前記した図 2 5 の階調信号補正部を示すための図面である。

10

【図 2 8】前記した図 2 5 のデータドライバーの一例を示すための図面である。

【図 2 9】前記した図 2 8 の D/A コンバーターを示すための図面である。

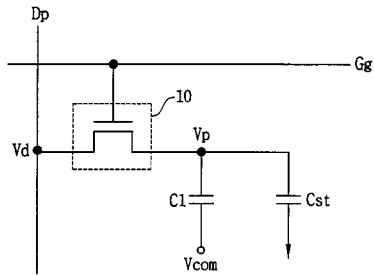
【符号の説明】

【 0 2 1 2 】

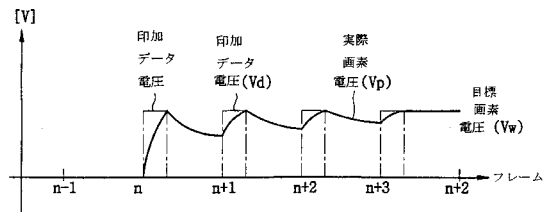
1 0 0	液晶パネル
2 0 0	ゲートドライバー
3 0 0	データドライバー
4 0 0、5 0 0	階調信号補正部
4 1 0、4 5 0、5 2 0	合成器
4 1 2	第 1 フレームメモリ
4 1 4	第 2 フレームメモリ
4 1 6、4 5 4、5 2 4	コントローラ
4 1 8、4 5 6、5 2 6	階調信号変換器
4 2 0、4 5 8、5 2 8	分離器
4 5 2、5 2 5、6 2 2	フレームメモリ
6 2 4	データ補正部

20

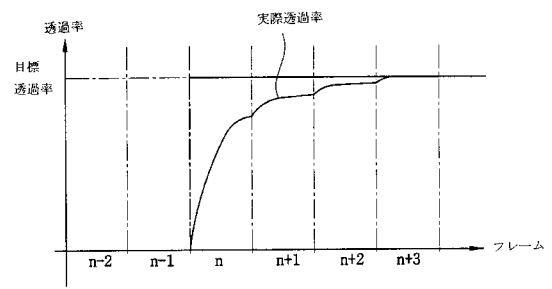
【図 1】



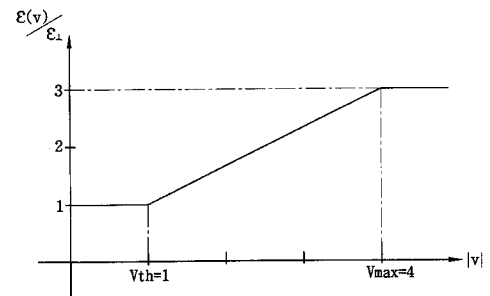
【図 2】



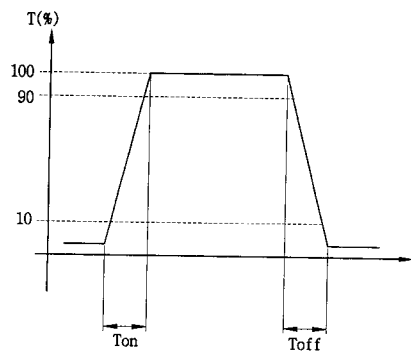
【図 3】



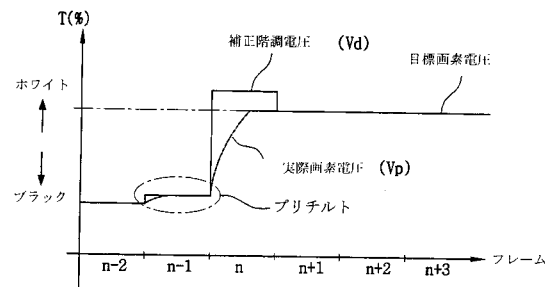
【図 4】



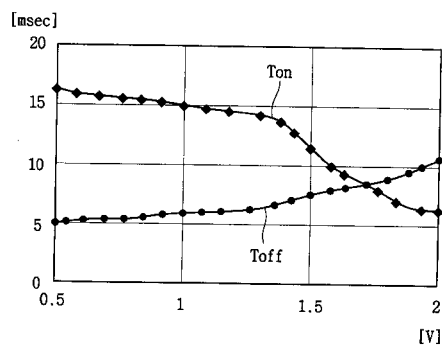
【図 5】



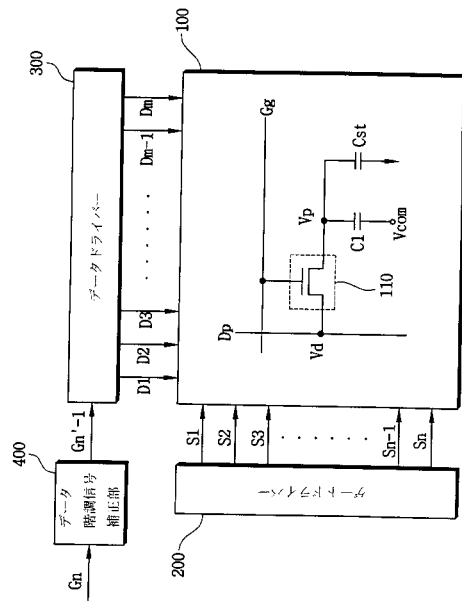
【図 7】



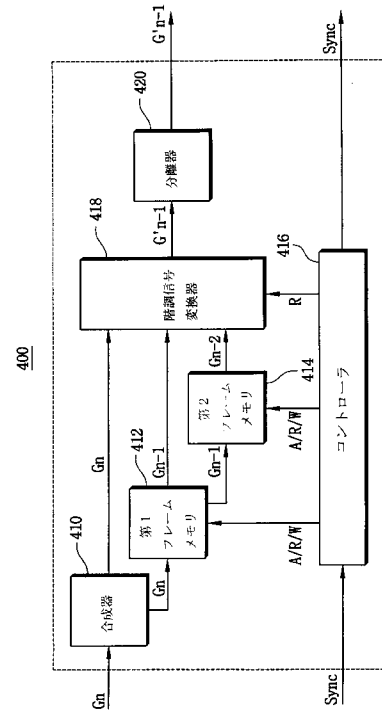
【図 6】



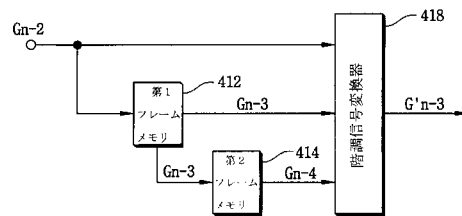
【図 8】



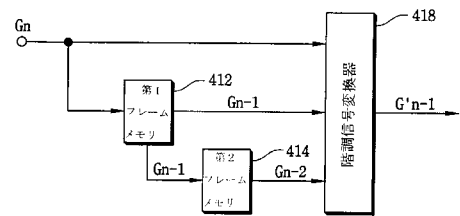
【図 9】



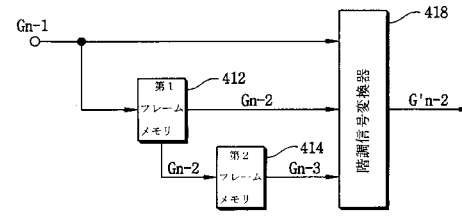
【図 10】



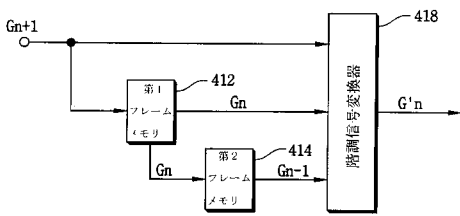
【図 12】



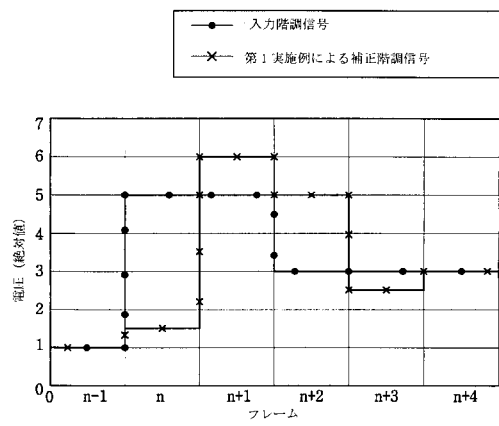
【図 11】



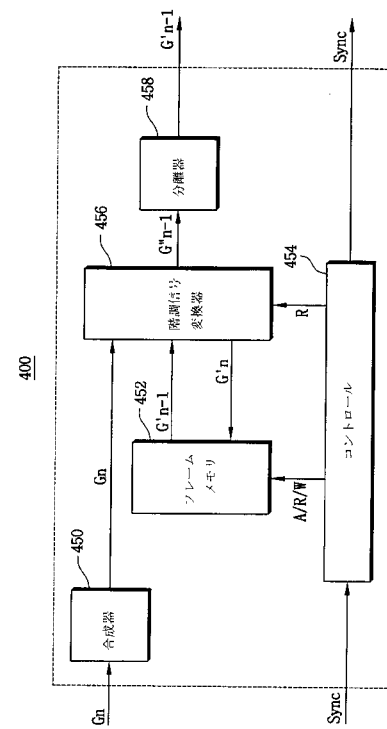
【図 13】



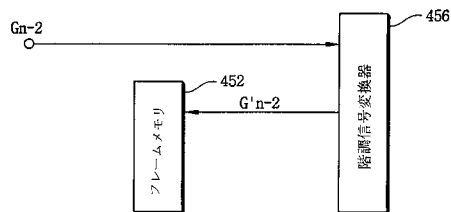
【図 14】



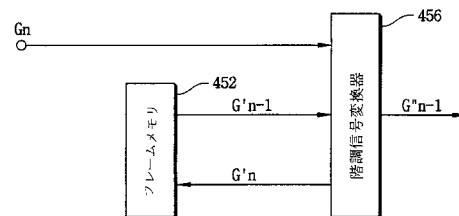
【図 15】



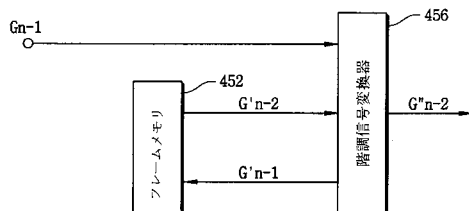
【図 16】



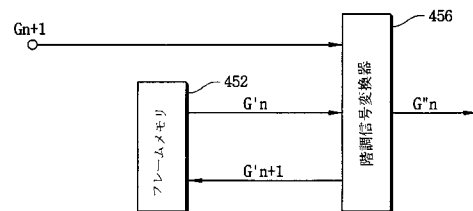
【図 18】



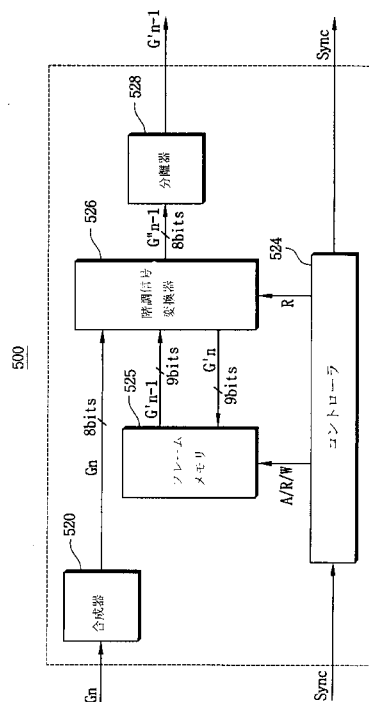
【図 17】



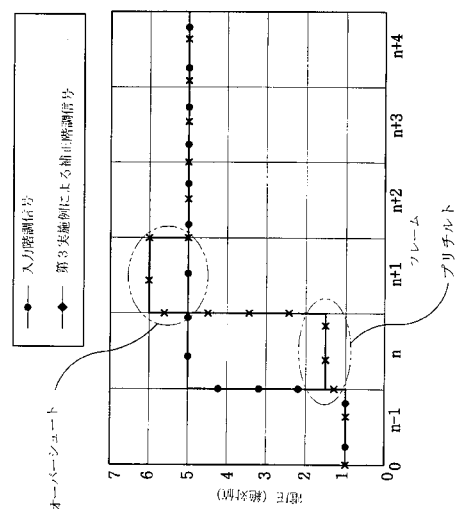
【図 19】



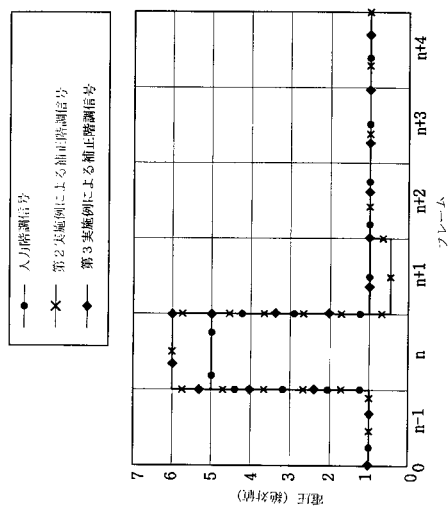
【 ㊦ 2 1 】【



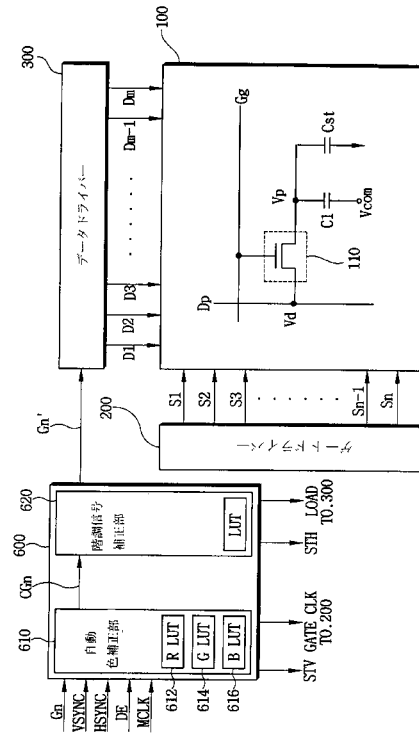
【 図 2 3 】



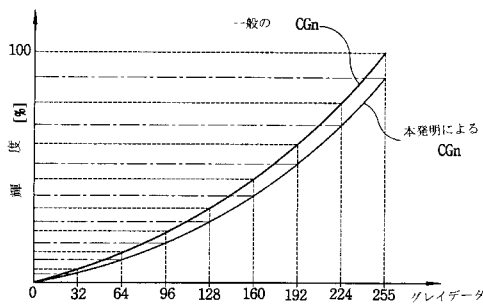
【図 24】



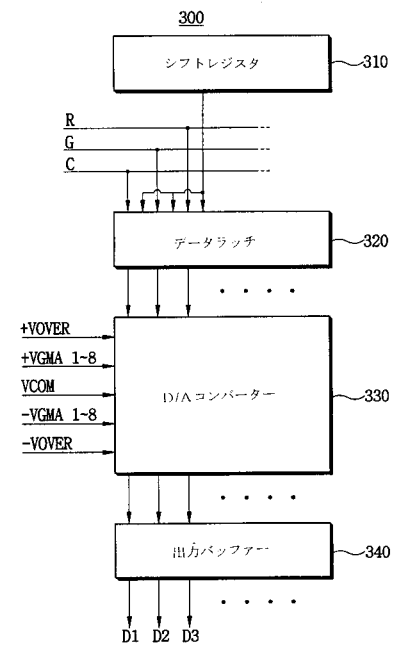
【図 25】



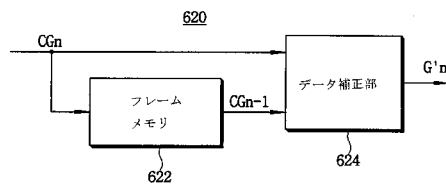
【図 26】



【図 28】

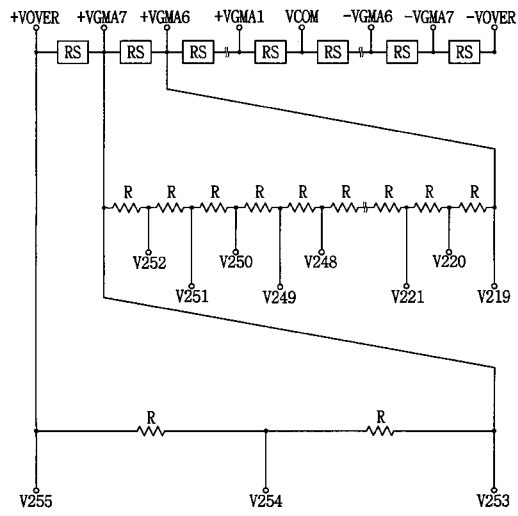


【図 27】





【 図 2 9 】



## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 D
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 E
G 0 9 G	3/20	6 4 2 L
G 0 9 G	3/20	6 5 0 J
G 0 9 G	3/20	6 5 0 M
G 0 9 G	3/20	6 6 0 V

F ターム(参考)	2H093	NA16	NA43	NA53	NA54	NA55	NA64	NC10	NC12	NC13	NC14
		NC29	NC34	NC35	NC49	NC65	ND05	ND09	ND13	ND15	ND17
		ND31	ND33	ND58	NE04	NF04	NF05	NH12	NH15		
5C006	AA01	AA12	AA14	AA16	AA17	AA22	AC11	AC21	AC26	AF03	
	AF04	AF06	AF11	AF25	AF44	AF45	AF46	AF51	AF53	AF72	
	AF83	AF84	AF85	BB16	BC12	BC16	BF02	BF03	BF04	BF08	
	BF23	BF25	BF28	BF43	FA14	FA18	FA54	FA55	FA56	GA02	
5C080	AA10	BB05	CC03	DD03	DD08	EE19	EE29	EE30	FF11	GG08	
	GG15	GG17	JJ02	JJ03	JJ04	JJ05	KK02	KK43			

【要約の続き】

【選択図】 図 7

专利名称(译)	显示装置，驱动装置和驱动方法		
公开(公告)号	<a href="#">JP2004310113A</a>	公开(公告)日	2004-11-04
申请号	JP2004113685	申请日	2004-04-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	宋長根 朴東園		
发明人	宋 長 根 朴 東 園		
IPC分类号	G02F1/1337 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G5/395 G09G3/2011 G09G3/2018 G09G3/3648 G09G3/3688 G09G3/3696 G09G5/06 G09G5/397 G09G2310/027 G09G2310/06 G09G2320/0242 G09G2320/0252 G09G2320/0276 G09G2340/0428 G09G2340/16		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.570 G02F1/133.575 G02F1/1337.505 G09G3/20.612.U G09G3/ /20.621.F G09G3/20.623.F G09G3/20.623.J G09G3/20.623.Y G09G3/20.631.B G09G3/20.631.D G09G3/20.631.V G09G3/20.641.C G09G3/20.641.P G09G3/20.642.E G09G3/20.642.L G09G3/20.650. J G09G3/20.650.M G09G3/20.660.V		
F-TERM分类号	2H090/HC10 2H090/HD11 2H090/KA04 2H090/LA04 2H090/MA01 2H090/MA15 2H093/NA16 2H093/ /NA43 2H093/NA53 2H093/NA54 2H093/NA55 2H093/NA64 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC14 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC65 2H093/ND05 2H093/ /ND09 2H093/ND13 2H093/ND15 2H093/ND17 2H093/ND31 2H093/ND33 2H093/ND58 2H093/NE04 2H093/NF04 2H093/NF05 2H093/NH12 2H093/NH15 5C006/AA01 5C006/AA12 5C006/AA14 5C006/ /AA16 5C006/AA17 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC26 5C006/AF03 5C006/AF04 5C006/AF06 5C006/AF11 5C006/AF25 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/ /AF53 5C006/AF72 5C006/AF83 5C006/AF84 5C006/AF85 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF08 5C006/BF23 5C006/BF25 5C006/BF28 5C006/ /BF43 5C006/FA14 5C006/FA18 5C006/FA54 5C006/FA55 5C006/FA56 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD08 5C080/EE19 5C080/EE29 5C080/EE30 5C080/ /FF11 5C080/GG08 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK02 5C080/KK43 2H193/ZA04 2H193/ZD23 2H193/ZD24 2H193/ZD25 2H193/ZD32 2H193/ /ZD34 2H193/ZE01 2H193/ZF22 2H193/ZF36 2H193/ZH40 2H193/ZP04 2H193/ZQ06 2H290/AA15 2H290/AA35 2H290/AA37 2H290/BC01 2H290/CA46 2H290/CA51 2H290/DA01		
优先权	1020030021638 2003-04-07 KR 1020030061880 2003-09-04 KR 1020030067298 2003-09-29 KR		
其他公开文献	JP4679066B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

提供了一种显示装置及其驱动装置及其方法。[解决方案] 灰度信号校正单元从灰度信号源接收灰度信号，并考虑前一帧的灰度信号，当前帧的灰度信号和下一帧的灰度信号，以校正当前帧的灰度信号。 输出。 数据驱动器转换与校正后的灰度信号相对应的数据电压，并输出图像信号。 扫描驱动器顺序提供扫描信号。 显示面板包括：多条传输扫描信号的扫描线，多条传输图像信号的数据

据线，形成在由扫描线和数据线围绕的区域中并分别连接到扫描线和数据线的开关元件。多个像素排列成矩阵。因此，通过将当前帧的灰度信号施加到前一帧的灰度信号和下一帧的灰度信号，校正了灰度信号以施加到当前帧，从而提高了液晶的响应速度。可以加快速度。[选择图]图7

