

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-246325  
(P2004-246325A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/36</b>	G09G 3/36	2H093
<b>G02F 1/133</b>	G02F 1/133 505	5C006
<b>G09G 3/20</b>	G09G 3/20 621M	5C080
	G09G 3/20 623B	
	G09G 3/20 623F	
審査請求 未請求 請求項の数 12 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2003-347419 (P2003-347419)  
 (22) 出願日 平成15年10月6日 (2003.10.6)  
 (31) 優先権主張番号 092102692  
 (32) 優先日 平成15年2月10日 (2003.2.10)  
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 502429109  
 奇景光電股▲ふん▼有限公司  
 台湾台南縣台南科學工業園區南科八路12  
 號1樓  
 (74) 代理人 100086368  
 弁理士 萩原 誠  
 (72) 発明者 ト 令 楷  
 台湾台南縣善化鎮南科八路12號1樓  
 (72) 発明者 蕭 全 成  
 台湾台南縣善化鎮南科八路12號1樓  
 (72) 発明者 陳 燕 晟  
 台湾台南縣善化鎮南科八路12號1樓  
 Fターム(参考) 2H093 NA43 NA53 NC13 NC15 NC16  
 NC22 NC24 NC59 ND50 ND54

最終頁に続く

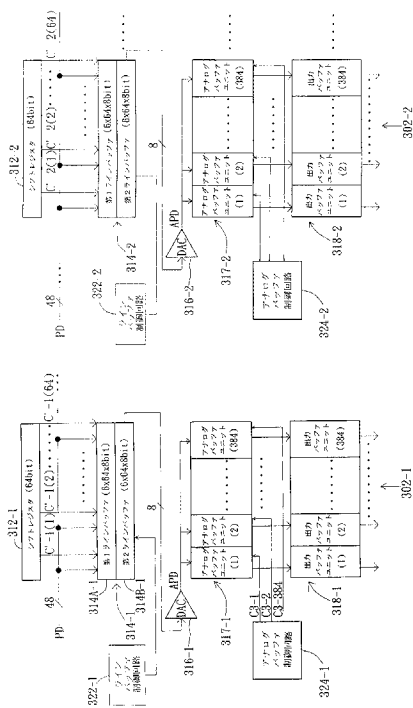
(54) 【発明の名称】 LCDパネル用データドライバ

(57) 【要約】

【課題】 複数チャンネルのピクセルデータに基づいてLCDパネル上の複数のデータ線を駆動するためのデータドライバを提供する。

【解決手段】 該データドライバにおいて、デジタルバッファが数回にわたってピクセルデータを受信し格納し、1チャンネルのピクセルデータを一度に選択的に出力する。D/A変換器が、デジタルバッファが出力するピクセルデータを数回にわたって受信し、このピクセルデータを複数チャンネルのアナログピクセルデータに変換し、このアナログピクセルデータを数回にわたって出力する。アナログバッファが、D/A変換器が出力するアナログピクセルデータを数回にわたって受信し、このアナログピクセルデータを一度に出力する。出力バッファが、アナログバッファが出力するアナログピクセルデータを受信し、データラインを駆動する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

複数チャンネルのピクセルデータに基づいてLCDパネル上の複数のデータ線を駆動するためのデータドライバであって、

デジタルデータバッファと、

D/A変換器と、

アナログバッファと、

出力バッファと、を具備し、

前記デジタルデータバッファは、数回にわたって前記ピクセルデータを受信し格納し、

1チャンネルの前記ピクセルデータを一度に選択的に出力し、

10

前記D/A変換器は、前記デジタルバッファが出力する前記ピクセルデータを数回にわたって受信し、前記ピクセルデータを複数チャンネルのアナログピクセルデータに変換し、前記アナログピクセルデータを数回にわたって出力し、

前記アナログバッファは、前記D/A変換器が出力する前記アナログピクセルデータを数回にわたって受信し、前記アナログピクセルデータを一度に出力し、

前記出力バッファは、前記アナログバッファが出力する前記アナログピクセルデータを受信し、前記データ線を駆動することを特徴とするデータドライバ。

## 【請求項 2】

請求項 1 に記載のデータドライバにおいて、

前記デジタルバッファに、前記ピクセルデータを受信するように命令するシフトレジスタをさらに具備することを特徴とするデータドライバ。

20

## 【請求項 3】

請求項 1 に記載のデータドライバにおいて、

前記デジタルバッファが第 1 ラインバッファ及び第 2 ラインバッファを有し、

前記第 1 ラインバッファが数回にわたって前記ピクセルデータを受信し格納し、

前記第 1 ラインバッファは、受信動作を終了すると、格納した全ての前記ピクセルデータを前記第 2 ラインバッファに並列伝送し、

前記第 2 ラインバッファが 1 チャンネルのピクセルデータを一度に前記 D/A 変換器へ出力することを特徴とするデータドライバ。

## 【請求項 4】

30

請求項 3 に記載のデータドライバにおいて、

ラインバッファ制御回路をさらに具備し、前記第 2 ラインバッファが複数のラインバッファユニットを備え、

前記ラインバッファ制御回路が前記ラインバッファユニットの 1 つを一度に選択し、

前記第 2 ラインバッファが、前記選択したラインバッファユニットに格納している前記ピクセルデータを出力することを特徴とするデータドライバ。

## 【請求項 5】

請求項 1 に記載のデータドライバにおいて、

前記アナログバッファが複数のアナログバッファユニットを具備し、

前記アナログバッファユニットが、前記 D/A 変換器が数回にわたって出力する前記アナログピクセルデータを受信することを特徴とするデータドライバ。

40

## 【請求項 6】

請求項 5 に記載のデータドライバにおいて、アナログバッファ制御回路をさらに具備し、

前記アナログバッファ制御回路が、

前記アナログバッファに、前記 D/A 変換器が出力する前記アナログピクセルデータを受信し前記アナログピクセルデータを数回にわたって前記アナログバッファユニットに格納するように命令し、

前記アナログバッファに、前記アナログバッファの受信動作終了後に前記アナログピクセルデータを前記出力バッファに並列出力するように命令することを特徴とするデータ

50

ライバ。

【請求項 7】

複数チャンネルのピクセルデータに基づいてLCDパネル上の複数のデータ線を駆動するためのデータドライバであって、

前記データドライバが、  
デジタルバッファと、  
N個のD/A変換器と、  
アナログバッファと、  
出力バッファと、を具備し、

前記デジタルバッファは、前記ピクセルデータを数回にわたって受信し格納し、Nチャンネル(Nは1より大きく前記データ線の数よりも小さい正の整数)のピクセルデータを一度に選択的に出力し、

前記N個のD/A変換器は、前記デジタルバッファが出力する前記ピクセルデータを受信し、Nチャンネルの前記ピクセルデータをNチャンネルのアナログピクセルデータに同時に変換し、前記アナログピクセルデータを出力し、

前記アナログバッファは、前記D/A変換器が出力する前記アナログピクセルデータを数回にわたって受信し、前記アナログピクセルデータを一度に出力し、

前記出力バッファは、前記アナログバッファが出力する前記アナログピクセルデータを受信し、前記データ線を駆動することを特徴とするデータドライバ。

【請求項 8】

請求項7に記載のデータドライバにおいて、

前記デジタルバッファに、前記ピクセルデータを受信するように命令するシフトレジスタをさらに具備することを特徴とするデータドライバ。

【請求項 9】

請求項8に記載のデータドライバにおいて、

前記デジタルバッファが第1ラインバッファ及び第2ラインバッファを有し、

前記第1ラインバッファが前記ピクセルデータを数回にわたって受信し格納し、

前記第1ラインバッファは、受信動作を終了すると、格納した全ての前記ピクセルデータを前記第2ラインバッファに伝送し、

前記第2ラインバッファがNチャンネルの前記ピクセルデータを前記D/A変換器に一度に選択的に出力することを特徴とするデータドライバ。

【請求項 10】

請求項9に記載のデータドライバにおいて、

ラインバッファ制御回路をさらに具備し、

前記第2ラインバッファが複数のラインバッファユニットを備え、

前記ラインバッファ制御回路が、前記ラインバッファユニットからN個のラインバッファユニットを一度に選択し、

前記第2ラインバッファが、前記選択したラインバッファユニットに格納した前記ピクセルデータを出力することを特徴とするデータドライバ。

【請求項 11】

請求項7に記載のデータドライバにおいて、

前記アナログバッファが複数のアナログバッファユニットを具備し、

前記複数のアナログバッファユニットは、前記D/A変換器が出力する前記デジタルピクセルデータを数回にわたって受信することを特徴とするデータドライバ。

【請求項 12】

請求項11に記載のデータドライバにおいて、

アナログバッファ制御回路をさらに具備し、

前記アナログバッファ制御回路が、アナログバッファに、前記D/A変換器が出力する前記ピクセルデータを受信し、前記ピクセルデータを前記アナログバッファユニットに数回にわたって格納するように命令し、

10

20

30

40

50

前記アナログバッファに、前記アナログバッファの受信動作終了後に、前記ピクセルデータを前記出力バッファに並列出力するように命令することを特徴とするデータドライバ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はLCD（液晶ディスプレイ）パネル用のデータドライバに係り、より詳細には、D/A変換器の数を抑えることのできるデータドライバに関する。

【背景技術】

【0002】

LCDは薄さ、軽さ、低電磁放射という利点を持つことから、近年幅広く利用されている。そのため、LCDの分野においては、コスト削減及び製品競争力強化が重要な課題となっている。

図1は従来のLCDシステムを示す基本設計概念図である。解像度1024×768のLCDパネル100を例として示す。LCDパネル100は、データドライバ102が駆動する1024×3本のデータ線と、走査ドライバ104が駆動する768本の走査線を有する。

【0003】

各データドライバ102がそれぞれ384本のデータ線を駆動し、各走査ドライバ104がそれぞれ256本のデータ線を駆動する場合、LCDパネル100は8つのデータドライバ102と3つの走査ドライバ104とを必要とする。データドライバ102-1乃至102-8は、コントローラ106が出力するデータ制御信号Cntrl\_Dの制御のもとで、コントローラ106からの複数チャンネルのピクセルデータPDを順次受信する。

データドライバ102-1乃至102-8は受信したピクセルデータPDを処理し、LCDパネル100の複数のデータ線を駆動する。一方、走査ドライバ104は走査信号を順次出力し、コントローラ106が出力する走査制御信号Cntrl\_Sの制御のもとで、各走査線を走査する。

【0004】

図2は、図1のデータドライバ102-1乃至102-8を示す回路ブロック図である。従来データドライバ102は、シフトレジスタ212と、第1ラインバッファ214Aと、第2ラインバッファ214Bと、D/A変換回路216と、出力バッファ218とから成る。シフトレジスタ212は制御信号Cを出力する。第1ラインバッファ214Aは、コントローラ106が出力したピクセルデータPDを制御信号Cに従って順次受信し、格納する。

【0005】

第1ラインバッファ214Aの受信動作終了後、第1ラインバッファ214Aは、格納した全てのピクセルデータPDを第2ラインバッファ214Bに同時に伝送する。第2ラインバッファ214Bは、全てのピクセルデータPDをD/A変換回路216に同時に出力する。出力バッファ218は、D/A変換回路216が出力するピクセルデータPDを並列受信するとともに、このピクセルデータPDをLCDパネル100のデータ線へ出力する。

【0006】

図2に示すデータドライバ102-1乃至102-8の動作を、データドライバ102-1を例にとってさらに説明する。コントローラ106は2つのポートからのピクセルデータPDを一度にラインバッファ214-1に出力する。このとき、各ポートのピクセルデータは、1チャンネルの赤色ピクセルデータと、1チャンネルの青色ピクセルデータと、1チャンネルの緑色ピクセルデータとを含む。すなわち、コントローラ106は、6チャンネルのピクセルデータPDを一度にラインバッファ214-1に出力する。

【0007】

ピクセルデータの各チャンネルが8ビットを有する場合、第1ラインバッファ214A及

10

20

30

40

50

び第2ラインバッファ214Bは、それぞれ384×8(すなわち6×64×8)ビットを有することになる。これは、データドライバ102-1が384本のデータ線を駆動しなければならないためである。コントローラ106は、6×8ビットの6チャンネルのピクセルデータを一度に出力しなければならない。

1つのデータドライバ102-1に対するピクセルデータ入力動作は、64回の出力を行うと完了する。1つのデータドライバ102のピクセルデータ受信動作が完了すると、別のデータドライバ102のピクセルデータ受信動作が始まる。

第1ラインバッファ214A-1のピクセルデータ受信動作が完了すると、第1ラインバッファ214A-1は、格納した6×64×8ビットのピクセルデータPDを第2ラインバッファ214B-1に同時並列伝送する。すると、第2ラインバッファ214B-1は、ピクセルデータPDをD/A変換回路216-1に同時に出力する。

10

#### 【0008】

D/A変換回路216-1は、384個のD/A変換器、すなわちD/A変換器(1)乃至D/A変換器(384)を有する。各D/A変換器は1チャンネルのピクセルデータPDを変換する。D/A変換回路216-1は、384チャンネル(6×64×8ビット)のピクセルデータPDを同時にアナログデータに変換する。

D/A変換回路216-1は、6×64×8ビットのピクセルデータPDを同時にアナログデータに変換した後、この384チャンネルのアナログピクセルデータPDを出力バッファ218-1に同時に並列入力する。出力バッファ218-1は複数のOP増幅器から成り、データドライバ102-1が出力する384チャンネルのアナログピクセルデータPDのデータ線駆動機能を高める。

20

#### 【0009】

一般的な回路レイアウトでは、D/A変換器は相対的に広い面積を占めている。従来の各データドライバにおいては、384個のD/A変換器が必要となる。これは、384チャンネルのピクセルデータPDをアナログデータに変換しなければならないからである。その結果、データドライバ102のチップ面積は相対的に大きくなり、コストも高くなる。よって、D/A変換器に必要な面積を縮小し、コストを削減することが重要である。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0010】

したがって、本発明が解決しようとする課題は、D/A変換器が占めるチップ面積を効果的に縮小することのできるデータドライバを提供し、コストを削減することにある。

30

#### 【課題を解決するための手段】

#### 【0011】

上記の課題を解決するために、本発明が提供するデータドライバは、複数チャンネルのピクセルデータに基づいてLCDパネル上の複数のデータ線を駆動する。このデータドライバは、デジタルバッファと、D/A変換器と、アナログバッファと、出力バッファとを具備する。デジタルバッファは数回にわたってピクセルデータを受信し格納し、1チャンネルのピクセルデータを一度に選択的に出力する。

D/A変換器はデジタルバッファが出力するピクセルデータを数回にわたって受信し、このピクセルデータを複数チャンネルのアナログピクセルデータに変換するとともに数回にわたってこのアナログピクセルデータを出力する。アナログバッファはD/A変換器が出力するアナログピクセルデータを数回にわたって受信し、このアナログピクセルデータを一度に出力する。出力バッファはアナログバッファが出力するアナログピクセルデータを受信し、データ線を駆動する。

40

#### 【0012】

また、上記の課題を解決するために本発明が提供するデータドライバは、複数チャンネルのピクセルデータに基づいてLCDパネル上の複数のデータ線を駆動する。このデータドライバは、デジタルバッファと、N個のD/A変換器と、アナログバッファと、出力バッファとを具備する。デジタルバッファは数回にわたってピクセルデータを受信し格納し、

50

Nチャンネルのピクセルデータを一度に選択的に出力する。このとき、Nは1よりも大きくデータ線の数よりも小さい正の整数である。

【0013】

D/A変換器はデジタルバッファが出力したピクセルデータを受信し、NチャンネルのピクセルデータをNチャンネルのアナログピクセルデータに同時に変換し、このアナログピクセルデータを出力する。アナログバッファは、D/A変換器が出力するアナログピクセルデータを数回にわたって受信し、このアナログピクセルデータを一度に出力する。出力バッファはアナログバッファが出力するアナログピクセルデータを受信し、データ線を駆動する。

【発明の効果】

10

【0014】

本発明のデータドライバにおいては従来技術と比較してD/A変換器の数が大幅に抑えられるため、D/A変換器が占めるチップ面積が縮小し、よってコストも削減することができる。

【発明を実施するための最良の形態】

【0015】

本発明の要点は、各データドライバにおいて1または複数のD/A変換器を利用し、1チャンネルまたは複数チャンネルのピクセルデータが一度にD/A変換器に入力されることにある。その結果、データドライバのチップ面積が抑えられる。

【実施例1】

20

【0016】

図3は、本発明の第1実施例による複数のデータドライバを示す回路ブロック図である。LCDパネルが複数のデータ線を駆動するためには、複数のデータドライバが必要である。図3に、例として8つのドライバを示す。各データドライバ302は、シフトレジスタ312と、デジタルバッファ314と、D/A変換器316と、アナログバッファ317と、出力バッファ318とを備える。

シフトレジスタ312はデジタルバッファ314に第1制御信号C<sub>1</sub>を出力する。デジタルバッファ314は第1制御信号C<sub>1</sub>に従ってピクセルデータPDを順次受信し格納する。デジタルバッファ314はピクセルデータPDを数回にわたって選択的に出力し、1チャンネルのピクセルデータPDを一度にD/A変換器316に出力する。

30

【0017】

D/A変換器316はデジタルバッファ314が出力するピクセルデータPDを受信し、そのピクセルデータPDをアナログピクセルデータAPDに変換する。アナログバッファ317は、D/A変換器316が出力するアナログピクセルデータAPDを受信し格納し、格納したアナログピクセルデータAPDを一度に出力する。出力バッファ318はアナログバッファ317が出力するアナログピクセルデータAPDを受信し、データ線を駆動する。

デジタルバッファ314は、第1ラインバッファ314Aと第2ラインバッファ314Bとから成る。第1ラインバッファ314Aは制御信号C<sub>1</sub>に従ってピクセルデータPDを順次受信し格納する。第1ラインバッファ314Aは、受信動作を終えると、第1ラインバッファ314AのピクセルデータPDを第2ラインバッファ314Bに同時に並列伝送する。

40

【0018】

本発明のデータドライバ302はさらに、ラインバッファ制御回路322を備える。第2ラインバッファ314Bは複数のラインバッファユニット(図示せず)から成る。ラインバッファ制御回路322は、第2制御信号C<sub>2</sub>を第2ラインバッファ314Bに出力する。第2ラインバッファ314Bは、ラインバッファ制御回路322の制御のもとで、1チャンネルのピクセルデータPDを一度に選択的に出力する。すなわち、第2制御信号C<sub>2</sub>は一度に1つのラインバッファユニットを選択し、第2ラインバッファ314Bは選択したラインバッファユニットが格納しているピクセルデータPDを出力する。

50

## 【0019】

例えば、各ラインバッファユニットはラッチとスイッチとから構成される。ラッチはピクセルデータPDを格納し、スイッチは第2制御信号C2の制御のもとでオンになったりオフになったりする。選択的にピクセルデータを出力する方法は、例えば、第2制御信号C2に従って、選択したラインバッファユニットのスイッチをオンにし、選択したラインバッファユニットのラッチが格納しているピクセルデータPDを出力する段階を含む。

D/A変換器316は1チャンネルのピクセルデータPDを一度にアナログデータに変換するとともに、1チャンネルのアナログピクセルデータAPDを一度に出力する。

## 【0020】

さらに、アナログバッファ317は、アナログバッファユニット(1)乃至(384)を含む複数のアナログバッファユニットから成る。各アナログバッファユニットは、サンプル及びホールド回路に実装される。アナログバッファ制御回路324はアナログバッファ317を制御する。また、第3制御信号C3を出力してアナログバッファ317を制御する。第3制御信号は、アナログバッファユニット(1)乃至(384)を制御する信号C3-1乃至C3-384をそれぞれ含む。

10

## 【0021】

アナログバッファユニットは、第3制御信号C3の制御のもとでD/A変換器316が出力したアナログピクセルデータAPDを順次受信する。D/A変換器316が出力した1チャンネルのアナログピクセルデータAPDは、アナログバッファユニット(1)乃至(384)に一度に格納される。アナログバッファ317は、受信動作を完了すると、アナログピクセルデータAPDを出力バッファ318に同時に並列出力する。

20

## 【0022】

アナログバッファ制御回路324が出力する第3制御信号C3は、以下の方法でアナログバッファ317を制御する。

第3制御信号C3はD/A変換器316に電氣的に接続されたアナログバッファユニットを選択し、D/A変換器316が出力するアナログピクセルデータAPDを受信する。第3制御信号C3はアナログバッファユニットも制御し、所定の時点でアナログピクセルデータAPDを出力する。例えば、第3制御信号C3はアナログバッファユニット(1)乃至(384)を制御し、384チャンネルのアナログピクセルデータを受信した後、384チャンネルのアナログピクセルデータを出力バッファ318に同時に出力する。

30

## 【0023】

図3に示したデータドライバ302の動作を以下により詳細に説明する。データドライバ302-1乃至302-8の動作は実質的に同一であるため、データドライバ302-1のみを例として示す。

第1ラインバッファ314A-1は、2ポートのピクセルデータPD(すなわち、2チャンネルの赤色ピクセルデータと、2チャンネルの青色ピクセルデータと、2チャンネルの緑色ピクセルデータとを含む6チャンネルのピクセルデータ)を一度に受信する。ピクセルデータPDの各チャンネルが8ビットであれば、第1ラインバッファ314A-1は毎回48(=6×8)ビットのピクセルデータを受信する。

## 【0024】

シフトレジスタ312-1の64ビットのうち1ビットをイネーブルにすることによって(すなわち制御信号C-1(1)乃至C-1(64)のうち1つをイネーブルにすることによって)、第1ラインバッファ314A-1の別の格納アドレスを選択し、受信したピクセルデータPDを対応する格納アドレスに格納することが可能になる。

40

そのため、384チャンネルのピクセルデータPDの受信が完了するのは、第1ラインバッファ314A-1が64回データを受信した後となる。その場合、第1ラインバッファ314A-1の容量は6×64×8ビットである。

## 【0025】

第1ラインバッファ314A-1は、受信動作の完了後、格納している全てのピクセルデータPDを第2ラインバッファ314B-1に同時に並列伝送する。このとき、第2ライ

50

ンバッファ 3 1 4 B - 1 の容量も  $6 \times 64 \times 8$  ビットである。

第 2 ラインバッファ 3 1 4 B - 1 は、第 1 ラインバッファ 3 1 4 A - 1 が格納しているピクセルデータ PD の受信を完了した後、ラインバッファ制御回路 3 2 2 - 1 の制御のもとで 1 チャンネルのピクセルデータ PD を D / A 変換器 3 1 6 - 1 に一度に選択的に出力する。このとき、ピクセルデータ PD をアナログデータに変換する。

【 0 0 2 6 】

第 2 ラインバッファ 3 1 4 B - 1 は、例えば、384 個のラインバッファユニットを有する。このラインバッファユニットは、左から右に選択され、格納しているデジタルピクセルデータ PD を出力することを前提としている。D / A 変換器 3 1 6 - 1 は D / A 変換を 384 回行い、第 2 ラインバッファ 3 1 4 B - 1 が格納している 384 チャンネルのデジタルピクセルデータ PD を完全に変換する。

10

つまり、ラインバッファ制御回路 3 2 2 - 1 は第 2 ラインバッファ 3 1 4 B - 1 を制御し、格納しているピクセルデータ PD を 1 チャンネルずつ出力する。D / A 変換器 3 1 6 - 1 はピクセルデータ PD を 1 チャンネルずつ受信し、1 チャンネルのピクセルデータは一度にアナログデータに変換される。

【 0 0 2 7 】

したがって、第 2 ラインバッファ 3 1 4 B - 1 はピクセルデータ PD を 384 回出力しなければならない。また、D / A 変換回路 3 1 6 - 1 は D / A 変換を 384 回行い、第 2 ラインバッファ 3 1 4 B - 1 が格納している 384 チャンネルのピクセルデータ PD を完全に変換しなければならない。変換されたアナログピクセルデータ APD は、1 度に 1 チャンネルずつ、アナログバッファ制御回路 3 2 4 - 1 が出力する制御信号 C 3 の制御のもとで、アナログバッファ 3 1 7 - 1 のアナログバッファユニット ( 1 ) 乃至 ( 384 ) に順次格納される。

20

【 0 0 2 8 】

384 チャンネルのアナログピクセルデータ APD をアナログバッファ 3 1 7 - 1 に完全に格納した後、アナログバッファ 3 1 7 - 1 は、アナログバッファ制御回路 3 2 4 - 1 が出力する制御信号 C 3 の制御のもとで、384 チャンネルのアナログピクセルデータ APD を出力バッファ 3 1 8 - 1 に出力する。アナログピクセルデータ APD は、出力バッファ 3 1 8 - 1 の 384 個の OP 増幅器など 384 個の出力バッファユニット ( 1 ) 乃至 ( 384 ) を通過する。出力バッファユニット ( 1 ) 乃至 ( 384 ) はそれぞれ電氣的にデータ線に接続される。

30

【 0 0 2 9 】

本実施例の D / A 変換回路 3 1 6 における D / A 変換の制限時間の上限は、走査時間の  $1 / 384$  である。「走査時間」とは、1 本の走査線に対応する 1 列のピクセルの画像表示時間を意味し、実質的には走査線の数によって分割される LCD の 1 フレームの表示時間に等しい。

データピクセル PD を第 1 ラインバッファ 3 1 4 A に入力する場合、走査時間内に 3092 ( =  $384 \times 8$  ) チャンネルのピクセルデータ PD を第 1 ラインバッファ 3 1 4 A - 1 乃至 3 1 4 A - 8 に順次入力しなければならない。しかし、各第 2 ラインバッファ 3 1 4 B が走査時間内に出力しなければならないピクセルデータは 384 チャンネルのみである ( すなわち、各 D / A 変換器 3 1 6 は走査時間内に 384 チャンネルだけピクセルデータを処理すればよい ) 。

40

【 0 0 3 0 】

したがって、第 2 ラインバッファ 3 1 4 B がピクセルデータ PD を出力する速度及び D / A 変換器 3 1 6 の処理速度は、第 1 ラインバッファ 3 1 4 A がピクセルデータ PD を受信する速度の  $1 / 8$  でよい。つまり、本発明の D / A 変換器が必要とする動作頻度はピクセルデータ PD の入力頻度の 8 倍であり、ハードウェア要求を満たすのが非常に容易である。

【 0 0 3 1 】

図 4 は、図 3 のアナログバッファの内部詳細を示す回路図である。各アナログバッファ

50

ユニットはサンプル及びホールド回路に実装され、各サンプル及びホールド回路はスイッチS1, S2, S3, S4と蓄電器C1, C2とから成る。

あるピクセル列中の384チャンネルのアナログピクセルデータAPDを受信すると、スイッチS1(1)乃至S1(384)はオンになり、アナログピクセルデータAPDをイネーブルにして蓄電器C1(1)乃至C1(384)に順次格納する。

【0032】

次のピクセル列中の384チャンネルのアナログピクセルデータAPDを受信すると、スイッチS1(1)乃至S1(384)はオフになり、スイッチS3(1)乃至S3(384)がオンになる。このスイッチS3は、次のピクセル列中の384チャンネルのアナログピクセルデータAPDをイネーブルにする。このアナログピクセルデータは、蓄電器C2(1)乃至C2(384)に格納される。

10

一方、スイッチS2(1)乃至S2(384)がオンになると、蓄電器C1(1)乃至C1(384)に格納されている384チャンネルのアナログピクセルデータAPDがイネーブルにされ、出力バッファユニット(1)乃至(384)にそれぞれ出力される。

【0033】

さらに次のピクセル列中の384チャンネルのアナログピクセルデータAPDを受信すると、スイッチS1(1)乃至S1(384)はオンになり、スイッチS3(1)乃至S3(384)がオフになる。このスイッチS3は、蓄電器C1(1)乃至C1(384)に格納される384チャンネルのアナログピクセルデータAPDをイネーブルにする。

また一方では、スイッチS4(1)乃至S4(384)がオンになり、蓄電器C2(1)乃至C2(384)に格納されている384チャンネルのアナログピクセルデータAPDをそれぞれイネーブルにする。このアナログピクセルデータは、出力バッファユニット(1)乃至(384)に出力される。

20

【0034】

図3に示した本実施例のデータドライバ302と図2に示したデータドライバ102とを比較すると、以下のような結果が得られる。

データドライバ102のD/A変換回路216が384チャンネルのデジタルピクセルデータPDをアナログデータに変換するには、384個のD/A変換器が必要である。しかし、本発明のデータドライバ302はわずか316個のD/A変換器しか必要としない。よって、本実施例はチップ面積を大幅に抑えていることになる。

30

【実施例2】

【0035】

図5は、本発明の第2の実施例による複数のデータドライバを示す回路ブロック図である。各データドライバ502は、シフトレジスタ512と、デジタルバッファ514と、複数のD/A変換器516と、アナログバッファ517と、出力バッファ518とを備える。デジタルバッファ514は、第1ラインバッファ514A及び第2ラインバッファ514Bから成る。

第2の実施例と図3に示す第1の実施例との相違点は、第2の実施例のデータドライバ502で用いられるD/A変換回路516が複数のD/A変換器から成るところにある。このD/A変換器の数は384より少なく、例えば6であってもよい。つまり、D/A変換器はD/A変換器516(1)乃至516(6)を含む。

40

【0036】

よって、6チャンネルのピクセルデータPDは第2ラインバッファ514BからD/A変換器516(1)乃至516(6)に出力され、ラインバッファ制御回路322の制御のもとでデジタルデータからアナログデータへ同時に変換される。変換された6チャンネルのアナログピクセルデータAPDは6個のアナログバッファユニットに同時に格納され、アナログバッファ制御回路324の制御のもとでさらに処理される。

【0037】

以上の2つの実施例において、データドライバのシフトレジスタ及びラインバッファの容量は異なる設計に変更してもよい。LCDの解像度、データドライバに伝送されるピク

50

セルデータのビット数、及びD/A変換器が変換するピクセルデータのチャンネル数も、設計要求に応じて調節してよい。また、デジタルバッファは選択的にデータを出力できるバッファまたはメモリに置き換えてもよい。

選択的にデジタルピクセルデータをアナログデータに変換するという目的の範囲内での変更は、いかなるものであれ、本発明の範囲内にあるものとする。シフトレジスタ、ラインバッファ制御回路、及びアナログバッファ制御回路は、例においては別々の回路に分割されているが、2またはそれ以上の回路が個別の制御回路に組み込まれてもよい。

【0038】

以上、好適な実施例を挙げて本発明を説明したが、本発明がこれに制限されないことは明らかである。また、本発明の技術的思想及び範囲を逸脱しない限度内で多様な変化及び変更が可能である。よって、こうした変更や類似の形態が包含されるよう、特許請求の範囲は最も広義での解釈を認められるべきである。

10

【図面の簡単な説明】

【0039】

【図1】従来のLCDシステムを示す基本設計概念図である。

【図2】図1のデータドライバ102-1乃至102-8を示す回路ブロック図である。

【図3】本発明の第1の実施例による複数のデータドライバを示す回路ブロック図である。

【図4】図3のアナログバッファの内部詳細を示す回路図である。

【図5】本発明の第2の実施例による複数のデータドライバを示す回路ブロック図である

20

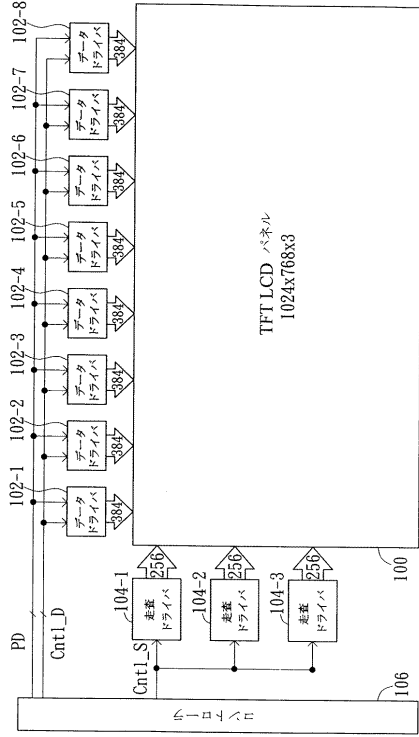
【符号の説明】

【0040】

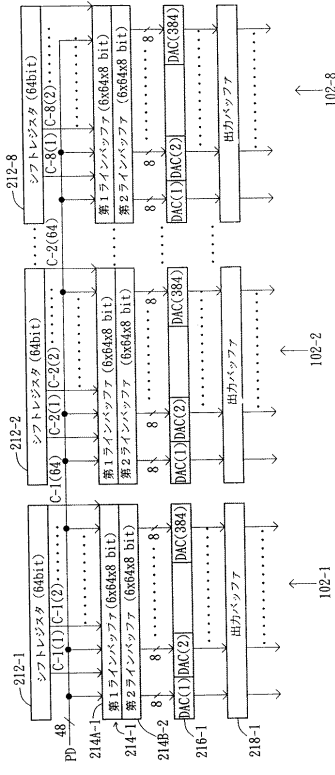
302	データドライバ
312、512	シフトレジスタ
314、514	デジタルバッファ
316、516	D/A変換器
317、517	アナログバッファ
318、518	出力バッファ
322、522	ラインバッファ制御回路
324、524	アナログバッファ制御回路

30

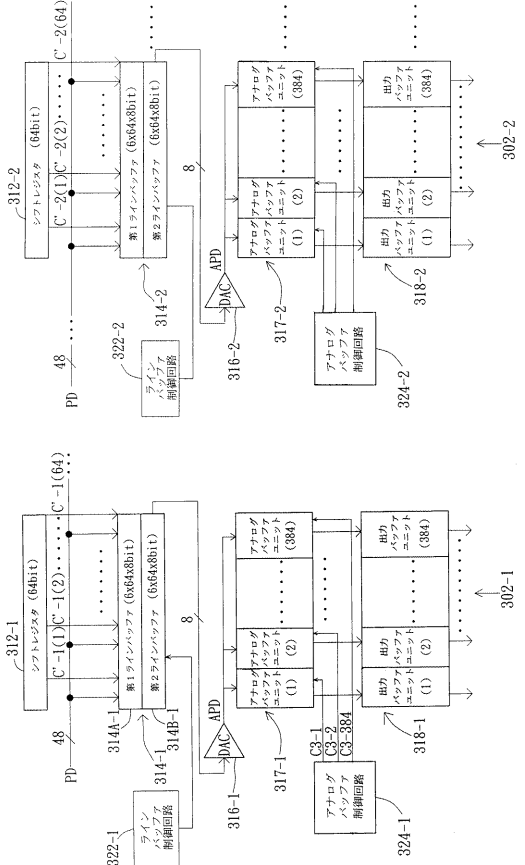
【図 1】



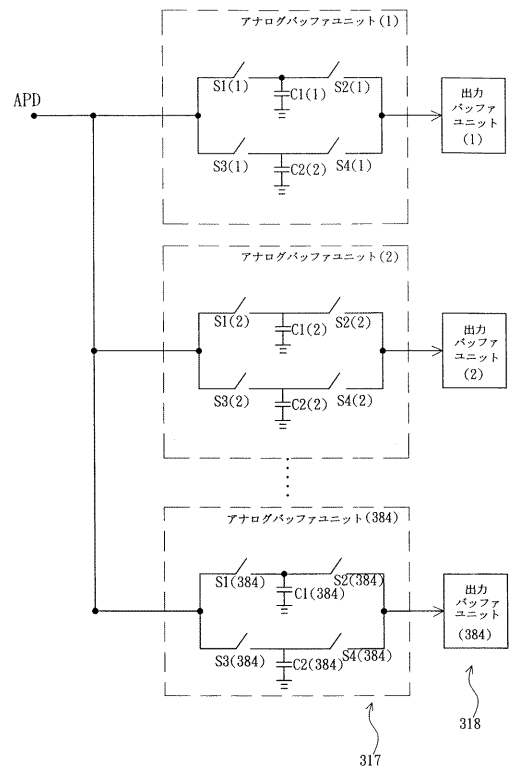
【図 2】



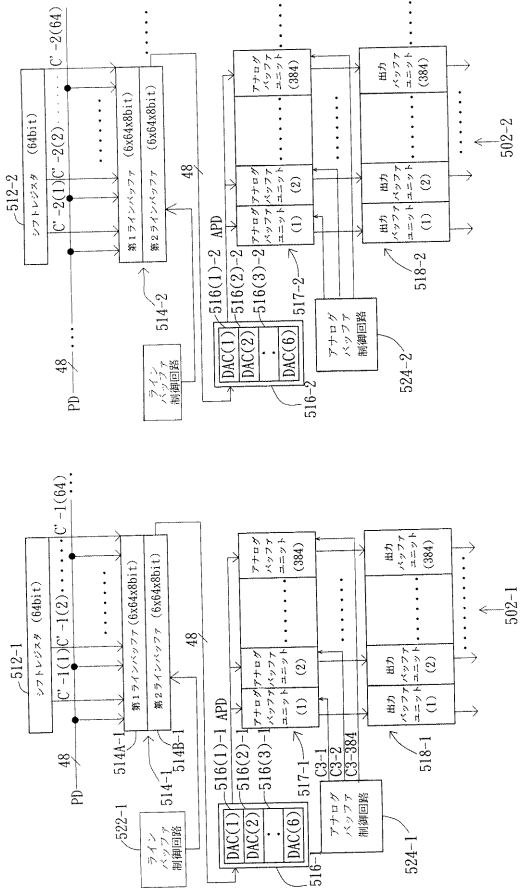
【図 3】



【図 4】



【図 5】



## フロントページの続き

(51) Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 3 H
	G 0 9 G 3/20	6 2 3 L
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 8 0 G

Fターム(参考) 5C006 AA16 AF51 AF53 AF71 AF83 BB16 BC02 BC11 BC20 BF03  
BF04 BF05 BF11 EB04 EB05 FA41  
5C080 AA10 BB05 DD22 DD27 DD28 FF11 JJ02

专利名称(译)	LCD面板的数据驱动程序		
公开(公告)号	<a href="#">JP2004246325A</a>	公开(公告)日	2004-09-02
申请号	JP2003347419	申请日	2003-10-06
[标]申请(专利权)人(译)	奇景光电股份有限公司		
申请(专利权)人(译)	奇景光电股份有限公司		
[标]发明人	卜令楷 蕭全成 陳燕晟		
发明人	卜令楷 蕭全成 陳燕晟		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/2011 G09G2310/027		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.621.M G09G3/20.623.B G09G3/20.623.F G09G3/20.623.H G09G3/20.623.L G09G3/20.623.R G09G3/20.680.G		
F-TERM分类号	2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC59 2H093/ND50 2H093/ND54 5C006/AA16 5C006/AF51 5C006/AF53 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF11 5C006/EB04 5C006/EB05 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ02 2H193/ZD23		
代理人(译)	萩原诚		
优先权	092102692 2003-02-10 TW		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种数据驱动器，用于基于多个通道的像素数据来驱动LCD面板上的多条数据线。在数据驱动器中，数字缓冲器多次接收和存储像素数据，并且一次选择性地输出一个通道的像素数据。D/A转换器多次接收从数字缓冲器输出的像素数据，将像素数据转换为多个通道的模拟像素数据，并且多次输出模拟像素数据。模拟缓冲器多次接收从D/A转换器输出的模拟像素数据，并一次输出模拟像素数据。输出缓冲器接收由模拟缓冲器输出的模拟像素数据并驱动数据线。[选择图]图3

