

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-45576

(P2004-45576A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1368	GO2F 1/1368	2H091
GO2F 1/1335	GO2F 1/1335 500	2H092
GO2F 1/1343	GO2F 1/1343	5F110
HO1L 29/786	HO1L 29/78 619B	

審査請求 未請求 請求項の数 17 O L (全 38 頁)

(21) 出願番号	特願2002-200578 (P2002-200578)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(22) 出願日	平成14年7月9日(2002.7.9)	(74) 代理人	100078282 弁理士 山本 秀策
		(74) 代理人	100062409 弁理士 安村 高明
		(74) 代理人	100107489 弁理士 大塩 竹志
		(72) 発明者	上田 徹 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
		(72) 発明者	猪口 和彦 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

最終頁に続く

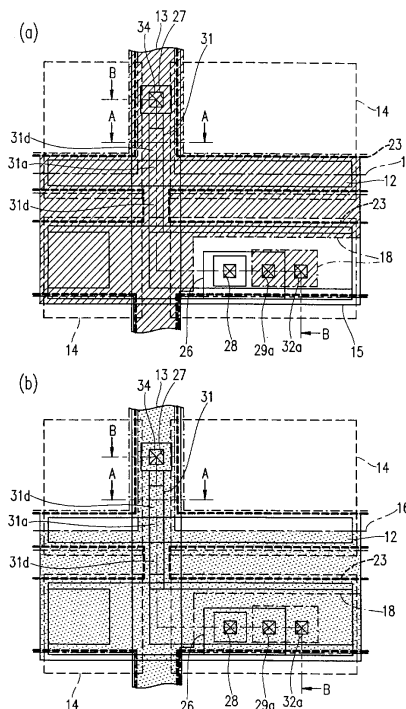
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 アクティブマトリクス基板に対して斜め方向から入射する光等を、開口率を低下させることなく、確実に遮光することができる。

【解決手段】 液晶表示装置のアクティブマトリクス基板10において、第3層間絶縁膜21の上面は平坦になっており、また、第1層間絶縁膜17の層厚部上に設けられた第2層間絶縁膜19および第3層間絶縁膜21の各側面は、第1層間絶縁膜17の各側面に連続した垂直面になっており、第1層間絶縁膜17、第2層間絶縁膜19および第3層間絶縁膜21の両側の各側面は、それぞれ、側部遮光層23によって覆われており、各側部遮光層23は、容量電極15の下方に位置する多結晶Si膜31部部の各側方およびゲート配線12の各側方に沿うように、所定の形状にパターニングされている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

透明基板上にマトリクス状に設けられた複数の薄膜トランジスタと、各薄膜トランジスタを覆うように設けられた絶縁膜を介して、各薄膜トランジスタのチャネル領域に対向した状態で、それぞれが平行に設けられた複数のゲート配線と、各ゲート配線を覆うように設けられた絶縁膜を介して、各ゲート配線とは直交するようにそれぞれが平行に設けられており、前記各薄膜トランジスタのソース領域にそれぞれ接続された複数の信号配線と、各信号配線を覆うように設けられた絶縁膜を介して、マトリクス状に設けられており、それぞれが前記各薄膜トランジスタのドレイン領域にそれぞれ接続された複数の透明な画素電極とを具備するアクティブマトリクス基板が、液晶層を挟んで対向基板に対向配置された液晶表示装置であって、各薄膜トランジスタを構成する半導体層の少なくとも一部の領域の側方に、該半導体層に沿って、前記透明基板に対して垂直な状態で、側部遮光層が設けられていることを特徴とする液晶表示装置。

10

【請求項 2】

前記半導体層の下方に、該半導体層を下側から覆うように、絶縁膜を介して、下部遮光層が設けられている請求項 1 に記載の液晶表示装置。

【請求項 3】

前記側部遮光層が、前記下部遮光層に接している請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記信号配線の上方に、絶縁膜を介して上部遮光層が設けられている請求項 1 に記載の液晶表示装置。

【請求項 5】

前記側部遮光層が、該側部遮光層に近接したゲート配線の一部領域の側方に、該ゲート配線の領域に沿った状態に配置されている請求項 1 に記載の液晶表示装置。

【請求項 6】

前記側部遮光層が、該側部遮光層に近接した信号配線の一部領域の側方に、該信号配線の領域に沿った状態に配置されている請求項 1 に記載の液晶表示装置。

【請求項 7】

前記下部遮光層の下方に、絶縁膜を介して、付加容量電極が設けられており、該付加容量電極と前記下部遮光層とによって付加容量が形成されるようになっている請求項 2 に記載の液晶表示装置。

30

【請求項 8】

前記下部遮光層および前記半導体層の間に、絶縁膜を介して、付加容量電極が設けられており、該付加容量電極と前記下部遮光層とによって付加容量が形成されるようになっている請求項 2 に記載の液晶表示装置。

【請求項 9】

前記付加容量電極が、前記半導体層のドレイン領域に接続されている請求項 7 または 8 に記載の液晶表示装置。

40

【請求項 10】

前記側部遮光層が、前記付加容量電極に接している請求項 8 に記載の液晶表示装置。

【請求項 11】

前記半導体層が L D D 構造である請求項 1 に記載の液晶表示装置。

【請求項 12】

前記側部遮光層が、ポリシリコンである請求項 1 に記載の液晶表示装置。

【請求項 13】

前記側部遮光層が、金属または金属シリサイドである請求項 1 に記載の液晶表示装置。

【請求項 14】

前記側部遮光層が、金属または金属シリサイドとポリシリコンの 2 層構造である請求項 1

50

に記載の液晶表示装置。

【請求項 15】

請求項 1 に記載の液晶表示装置の製造方法であって、前記透明基板上に、前記薄膜トランジスタおよび該薄膜トランジスタを覆う第 1 絶縁膜を形成して、前記ゲート配線を形成する工程と、該ゲート配線を覆うように第 2 絶縁膜を形成する工程と、前記側部遮光層が設けられる領域における第 2 該絶縁膜を除去して、前記透明基板に垂直な側壁を有する段差を形成する工程と、前記側部遮光層を構成する材料を該段差を覆うように成膜して、ドライエッチングによって、その段差の側壁に沿った部分に前記側部遮光層を形成する工程と、を包含することを特徴とする液晶表示装置の製造方法。

10

【請求項 16】

前記段差を形成する工程の前に、前記第 2 絶縁膜の表面を平坦化する工程をさらに包含する請求項 15 に記載の液晶表示装置の製造方法。

【請求項 17】

前記平坦化する工程が、化学的機械研磨によって行われる請求項 16 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置およびその製造方法に関し、特に、プロジェクタ用のように、大光量を要する小型高精細の液晶表示装置およびその製造方法に関する。

20

【0002】

【従来の技術】

液晶表示装置として、画素電極がマトリクス状に配置されたアクティブマトリクス基板と、対向電極が設けられた対向基板とを、液晶層を挟んで対向配置して構成されたアクティブマトリクス型が知られている。このような液晶表示装置では、通常、アクティブマトリクス基板には、各画素電極に電圧を印加するために、薄膜トランジスタ (TFT) がそれぞれ設けられている。

【0003】

このようなアクティブマトリクス型液晶表示装置は、プロジェクタ用としても使用されている。しかしながら、プロジェクタ用の液晶表示装置では、使用に際して、大光量を必要とするために、アクティブマトリクス基板に設けられた薄膜トランジスタ (TFT) に光が照射されることによって、TFT にリーク電流が発生するおそれがある。リーク電流が発生すると、コントラストの低下、クロストークの発生等によって画質が劣化するおそれがある。このような問題を解決するために、アクティブマトリクス基板に、TFT に光が入射しないように、TFT の上方であって画素電極の下方に遮光層を設けるとともに、TFT の下方にも遮光層を設けた液晶表示装置が、例えば、特開 2001-242443 号公報に開示されている。この液晶表示装置の構成を図 41 ~ 43 に示す。

30

【0004】

図 41 (a) および (b) は、それぞれ、前記公報に開示された液晶表示装置の要部の概略平面図、図 42 は、図 41 の A - A 線における断面図、図 43 は、図 41 の B - B 線における断面図である。なお、図 41 (a) および (b) は、それぞれ、遮光層の配置が明確になるように表現したものであり、同様の構成になっている。この液晶表示装置は、図 42 および図 43 に示すように、アクティブマトリクス基板 110 と、対向基板 140 との間に、液晶層 150 が設けられて構成されている。

40

【0005】

対向基板 140 は、石英ガラスによって構成された透明基板 141 における液晶層 150 側に透明電極 142 が設けられて、この透明電極 142 上に配向膜 143 が積層されている。

50

【0006】

アクティブマトリクス基板110は、石英ガラスによって構成された透明基板111を有しており、この透明基板111上に、図41に示すように、相互に平行に設けられた複数のゲート配線112と、各ゲート配線112とはそれぞれが直交するように設けられた複数の信号配線113とを有している。

【0007】

各ゲート配線112と各信号配線113とによって囲まれた領域には、画素電極114が、それぞれ設けられている。

【0008】

また、各ゲート配線112の近傍には、各ゲート配線112と平行に、容量電極115がそれぞれ設けられている。各容量電極115は、ゲート配線112よりも幅広に形成されている。 10

【0009】

各ゲート配線112とそれぞれ交差する各信号配線113の下方には、TFTを構成するN型の多結晶Si膜131が設けられている。この多結晶Si膜131は、信号配線113よりも小さな幅方向寸法であって、ゲート配線112と交差するように信号配線113に沿って延出して、その延出側の側部が容量電極115の下方に位置している。

【0010】

図42および図43に示すように、各信号配線113の下方、および、容量電極115の下方に設けられた多結晶Si膜131の下方の領域には、下部遮光層116(図41(b)参照)がそれぞれ配置されている。各下部遮光層116は、透明基板111上に設けられており、信号配線115の下方に配置された帯状の多結晶Si膜131よりも幅が広い帯状であって、多結晶Si膜131を下側から覆うように、しかも、容量電極115の下方に配置された多結晶Si膜131と、容量電極115およびその近傍のゲート配線112との間に形成された間隙を覆うように形成されている。 20

【0011】

透明基板111上には、下部遮光層116を覆うように、透明基板111の全面にわたって第1層間絶縁膜117が積層されている。

【0012】

第1層間絶縁膜117上には、前述した多結晶Si膜131が設けられており、第1層間絶縁膜117の層厚部上に、多結晶Si膜131を覆う第2層間絶縁膜(ゲート絶縁膜)119が積層されている。そして、第2層間絶縁膜119上に設けられたゲート配線112および容量電極115を覆うように、第3層間絶縁膜121が、第2層間絶縁膜119上に積層されている。 30

【0013】

第2層間絶縁膜119上には、前述した信号配線113が所定のパターンで設けられるとともに、図43に示すように、容量電極115の下方に設けられた多結晶Si膜131に積層されるように、引き出し電極126が、長形状のパターンで形成されている。

【0014】

信号配線113の下方に配置された多結晶Si膜131における容量電極115側の端部とは反対側の端部の上方(図41参照)の第3層間絶縁膜121および第2層間絶縁膜119に、第1コンタクトホール127が形成されており、この第1コンタクトホール127内に信号配線113と同様の導電材料が充填されることによりTFTのソース電極133が形成されている。ソース電極133は、信号配線113と多結晶Si膜131のソース領域131bとを電氣的に接続している。 40

【0015】

引き出し電極126の下方であって多結晶Si膜131の上方の第3層間絶縁膜121および第2層間絶縁膜119には、第2コンタクトホール128が形成されており、この第2コンタクトホール128内に引き出し電極126と同様の導電材料が充填されることにより、TFTのドレイン電極134が形成されている。ドレイン電極134は、引き出し 50

電極 1 2 6 と多結晶 Si 膜 1 3 1 のドレイン領域 1 3 1 c とを電氣的に接続している。

【 0 0 1 6 】

第 3 層間絶縁膜 1 2 1 上には、信号配線 1 3 および引き出し電極 2 6 を覆うように、第 1 平坦化膜 1 2 5 が設けられている。上部遮光層 1 1 8 は、導電性材料によって構成されている（図 4 1 (a) 参照）。

【 0 0 1 7 】

引き出し電極 1 2 6 を覆う第 1 平坦化膜 1 2 5 には、上部遮光層 1 1 8 の下方に、第 3 コンタクトホール 1 2 5 a が設けられており、この第 3 コンタクトホール 1 2 5 a を介して、上部遮光層 1 1 8 が引き出し電極 1 2 6 に電氣的に接続されている。

【 0 0 1 8 】

第 1 平坦化膜 1 2 5 上には、第 2 平坦化膜 1 2 9 が設けられており、第 2 平坦化膜 1 2 9 には、各画素電極 1 1 4 の下方であって、引き出し電極 1 2 6 と上部遮光層 1 1 8 とを電氣的に接続する第 3 コンタクトホール 1 2 5 a の近傍に、第 4 コンタクトホール 1 2 9 a が形成されており、この第 4 コンタクトホール 1 2 9 a を介して、各画素電極 1 1 4 が、上部遮光層 1 1 8 にそれぞれ接続されている。

【 0 0 1 9 】

第 2 平坦化膜 1 2 9 上には、全ての画素電極 1 1 4 を覆うように、配向膜 1 3 6 が形成されている。

【 0 0 2 0 】

このようなアクティブマトリクス基板 1 1 0 は、所定の間隔をあけて、対向基板 1 4 0 と対向配置される。この場合、アクティブマトリクス基板 1 1 0 の配向膜 1 3 6 および対向基板 1 4 0 の配向膜 1 4 3 同士が相互に対向されて、両配向膜 1 3 6 および 1 4 3 の間に液晶層 1 5 0 が設けられることにより、液晶表示装置とされる。

【 0 0 2 1 】

このような構成の液晶表示装置は、次のように製造される。まず、石英ガラスによって構成された透明基板 1 1 1 上に、P (リン) がドーピングされた多結晶 Si 膜及び W Si 膜を順次成膜した後、これらの膜をパターンニングして下部遮光層 1 1 6 を形成する。次に、例えば CVD 法により、透明基板 1 1 1 の全面に、SiO₂ 膜からなる第 1 層間絶縁膜 1 1 7 を成膜する。次に、例えば CVD 法により透明基板 1 1 1 の全面に多結晶 Si 膜 1 3 1 を成膜して、所定形状にパターンニングする。次に、例えば CVD 法により、透明基板 1 1 1 の全面に、SiO₂ 膜からなる第 2 層間絶縁膜 (ゲート絶縁膜) 1 1 9 を成膜して、所定形状にパターンニングする。その後、透明基板 1 1 1 の全面に、P がドーピングされた多結晶 Si 膜及び W Si 膜を順次成膜して、これらの膜をパターンニングすることにより、ゲート配線 1 1 2 および付加容量素子用の容量電極 1 1 5 を形成する。

【 0 0 2 2 】

次に、例えば CVD 法により、透明基板 1 1 1 の全面に、例えば SiO₂ 膜からなる第 3 層間絶縁膜 1 2 1 を成膜する。その後、この第 3 層間絶縁膜 1 3 1 及び第 2 層間絶縁膜 1 1 9 の所定部分をエッチング除去して第 1 および第 2 のコンタクトホール 1 2 7 および 1 2 8 を形成する。次に、透明基板 1 1 1 の全面に、W Si 膜、または Al 膜及び W Si 膜を順次成膜して、これらの膜を所定形状にパターンニングすることにより、引出し電極 1 2 6 および信号配線 1 1 3 を形成する。

【 0 0 2 3 】

このような状態になると、例えば常圧 CVD 法により、透明基板 1 1 1 の全面に SiO₂ 膜からなる層間絶縁膜を成膜する。その後、例えばプラズマ CVD 法により、透明基板 1 1 1 の全面に SiN 膜を成膜して所定形状にパターンニングする。

【 0 0 2 4 】

次に、例えば TEOS を原料ガスとして用いたプラズマ CVD 法により、透明基板 1 1 1 の全面に、SiO₂ からなる平坦化用の第 1 平坦化膜 1 2 5 を成膜する。この第 1 平坦化膜 1 2 5 の膜厚は、例えば 2 5 0 0 nm とされる。

【 0 0 2 5 】

10

20

30

40

50

その後、第1平坦化膜125をCMP法により、例えば2200nmの厚さになるように研磨して平坦化する。このCMPによる平坦化後の残留段差レベルは、0.5μm以下、条件次第では0.1μm以下とすることができる。

【0026】

次に、第1平坦化膜125の所定部分をエッチング除去して第4コンタクトホール125aを形成する。その後、例えば蒸着法、スパッタリング法等により、透明基板11の全面にTi膜を成膜して、所定形状にパターニングすることにより、導電性の上部遮光層(ブラックマトリクス)118を形成する。

【0027】

次に、上部遮光層118の上に中間膜を介して第2平坦化膜129を形成する。中間膜としては、例えばTEOSを原料ガスとして用いたプラズマCVD法によるSiO膜が用いられる。そして、この中間膜上にSOG法によって第2の平坦化膜129が形成される。第2の平坦化膜129はCMPで形成してもよい。

10

【0028】

次に、第2平坦化膜129の所定部分をエッチング除去して第4コンタクトホール129aを形成する。その後、基板全面にITO膜を、例えば70nmの膜厚になるように成膜して、所定形状にパターニングすることによって画素電極114を形成する。

【0029】

このようにしてアクティブマトリクス基板110が得られると、アクティブマトリクス基板110は、所定の間隔をあけて、対向基板140と対向配置される。この場合、アクティブマトリクス基板110の配向膜136および対向基板140の配向膜143同士が相互に対向されて、両配向膜136および143の間に液晶層150が設けられることにより、液晶表示装置とされる。

20

【0030】

このような構成の液晶表示装置では、上部遮光層(ブラックマトリクス)118は、対向基板140側からアクティブマトリクス基板110内に入射する光を遮光するようになっており、下部遮光層116は、アクティブマトリクス基板110における透明基板111の裏面、透明基板111から一旦、出射された光が光学系によって反射される光を遮光するようになっている。

【0031】

30

【発明が解決しようとする課題】

しかしながら、上部遮光層(ブラックマトリクス)118および下部遮光層116によって、TFTに入射する光を確実に遮光するためには、上部遮光層118および下部遮光層116を広く形成すればよい。しかしながら、上部遮光層118および下部遮光層116を広く形成することによって、液晶層150における光が透過する部分、即ち開口部の面積が小さくなり、開口率が低下することになる。開口率を確保するために、上部遮光層118および下部遮光層116を適当な大きさに設定すると、アクティブマトリクス基板110に対して斜め方向から入射する光、透明基板111の裏面からの入射光、光学系からの反射光等を確実に遮光することができない。さらには、TFTの上下に位置する上部遮光層118および下部遮光層116との間において、光が多重反射することによって、TFTに光が入射するおそれもある。

40

【0032】

本発明は、このような問題を解決するものであり、その目的は、アクティブマトリクス基板に対して斜め方向から入射する光、アクティブマトリクス基板の裏面から入射する光、光学系からの反射光、さらには、TFTの上下に位置する各遮光層との間において多重反射することによってTFTに入射する光等を、開口率を低下させることなく、遮光することができる液晶表示装置及びその製造方法を提供することにある。

【0033】

【課題を解決するための手段】

本発明は、透明基板上にマトリクス状に設けられた複数の薄膜トランジスタと、各薄膜ト

50

ランジスタを覆うように設けられた絶縁膜を介して、各薄膜トランジスタのチャネル領域に対向した状態で、それぞれが平行に設けられた複数のゲート配線と、各ゲート配線を覆うように設けられた絶縁膜を介して、各ゲート配線とは直交するようにそれぞれが平行に設けられており、上記各薄膜トランジスタのソース領域にそれぞれ接続された複数の信号配線と、各信号配線を覆うように設けられた絶縁膜を介して、マトリクス状に設けられており、それぞれが上記各薄膜トランジスタのドレイン領域にそれぞれ接続された複数の透明な画素電極とを具備するアクティブマトリクス基板が、液晶層を挟んで対向基板に対向配置された液晶表示装置であって、各薄膜トランジスタを構成する半導体層の少なくとも一部の領域の側方に、上記半導体層に沿って、上記透明基板に対して垂直な状態で、側部遮光層が設けられていることを特徴とする。

10

【0034】

上記半導体層の下方に、上記半導体層を下側から覆うように、絶縁膜を介して、下部遮光層が設けられている。

【0035】

上記側部遮光層が、上記下部遮光層に接している。

【0036】

上記信号配線の上方に、絶縁膜を介して上部遮光層が設けられている。

【0037】

上記側部遮光層が、上記側部遮光層に近接したゲート配線の一部領域の側方に、上記ゲート配線の領域に沿った状態に配置されている。

20

【0038】

上記側部遮光層が、上記側部遮光層に近接した信号配線の一部領域の側方に、上記信号配線の領域に沿った状態に配置されている。

【0039】

上記下部遮光層の下方に、絶縁膜を介して、付加容量電極が設けられており、上記付加容量電極と上記下部遮光層とによって付加容量が形成されるようになっている。

【0040】

上記下部遮光層および上記半導体層の間に、絶縁膜を介して、付加容量電極が設けられており、上記付加容量電極と上記下部遮光層とによって付加容量が形成されるようになっている。

30

【0041】

上記付加容量電極が、上記半導体層のドレイン領域に接続されている。

【0042】

上記側部遮光層が、上記付加容量電極に接している。

【0043】

上記半導体層がLDD構造である。

【0044】

上記側部遮光層が、ポリシリコンである。

【0045】

上記側部遮光層が、金属または金属シリサイドである。

40

【0046】

上記側部遮光層が、金属または金属シリサイドとポリシリコンの2層構造である。

【0047】

本発明は、液晶表示装置の製造方法であって、上記透明基板上に、上記薄膜トランジスタおよび上記薄膜トランジスタを覆う第1絶縁膜を形成して、上記ゲート配線を形成する工程と、上記ゲート配線を覆うように第2絶縁膜を形成する工程と、上記側部遮光層が設けられる領域における第2絶縁膜を除去して、上記透明基板に垂直な側壁を有する段差を形成する工程と、上記側部遮光層を構成する材料を上記段差を覆うように成膜して、ドライエッチングによって、その段差の側壁に沿った部分に上記側部遮光層を形成する工程と、を包含することを特徴とする。

50

【0048】

上記段差を形成する工程の前に、上記第2絶縁膜の表面を平坦化する工程をさらに包含する。

【0049】

上記平坦化する工程が、化学的機械研磨によって行われる。

【0050】

本発明の液晶表示装置は、このように側部遮光層が設けられているために、薄膜トランジスタに入射する光を、確実に遮光することができる。これにより、薄膜トランジスタの光リーク電流を著しく低減することができる。特に大光量の元で使用するプロジェクタ用液晶表示装置において、光リーク電流によるコントラスト低下、クロストーク等の劣化のない優れた表示品位が得られる。

10

【0051】

【発明の実施の形態】

以下、本発明の実施の形態を、図面に基づいて説明する。

【0052】

<実施形態1>

図1(a)は、本発明の液晶表示装置の実施の形態の要部の平面図、図2は、図1のA-A線における断面図である。なお、図1(b)は、後述する下部遮光層16の配置を示す平面図であり、図1(a)の平面図と同様の構成になっている。

【0053】

この液晶表示装置は、図2および図3に示すように、アクティブマトリクス基板10と、対向基板40との間に、液晶層50が設けられて構成されている。

20

【0054】

対向基板40は、石英ガラスによって構成された透明基板41における液晶層50側に透明電極42が設けられて、この透明電極42上に配向膜43が積層されている。

【0055】

アクティブマトリクス基板10は、石英ガラスによって構成された透明基板11を有しており、この透明基板11上に、図1に示すように、相互に平行に設けられた複数のゲート配線12と、各ゲート配線12とはそれぞれが直交するように設けられた複数の信号配線13とを有している。

30

【0056】

各ゲート配線12と各信号配線13とによって囲まれた領域には、画素電極14が、それぞれ設けられている。

【0057】

また、各ゲート配線12の近傍には、各ゲート配線12と平行に、容量電極15がそれぞれ設けられている。各容量電極15は、ゲート配線12よりも幅広に形成されている。

【0058】

各ゲート配線12とそれぞれ交差する各信号配線13の下方には、TFTを構成するN型の多結晶Si膜31が設けられている。この多結晶Si膜31は、LDD(Lightly Doped Drain:低濃度不純物拡散)構造になっており、信号配線13よりも小さな幅方向寸法であって、ゲート配線12と交差するように信号配線13に沿って延出して、その延出側の側部が容量電極15の下方に位置している。容量電極15の下方に位置する多結晶Si膜31は、容量電極15の下方において、容量電極15の幅寸法よりも若干小さな幅寸法で、容量電極15に沿って側方に延出している。

40

【0059】

図2および図3に示すように、各信号配線13の下方、および、容量電極15の下方に設けられた多結晶Si膜31の下方の領域には、下部遮光層16がそれぞれ配置されている。各下部遮光層16は、図1(b)に網掛け模様で示すように、透明基板11上に設けられており、信号配線15の下方に配置された帯状の多結晶Si膜31よりも幅が広い帯状であって、多結晶Si膜31を下側から覆うように、しかも、容量電極15の下方に配置

50

された多結晶Si膜31と、容量電極15およびその近傍のゲート配線12との間に形成された間隙を覆うように形成されている。

【0060】

透明基板11上には、下部遮光層16を覆うように、透明基板11の全面にわたって第1層間絶縁膜17が積層されている。第1層間絶縁膜17は、下部遮光層16の各側縁部を除く中央部に積層された部分が、他の部分よりも厚くなっており、従って、第1層間絶縁膜17には、透明基板11に対して垂直な側面部を有する段差が形成されている。

【0061】

第1層間絶縁膜17の層厚部の幅方向中央部上には、前述した多結晶Si膜31が設けられており、第1層間絶縁膜17の層厚部上に、多結晶Si膜31を覆う第2層間絶縁膜（ゲート絶縁膜）19が積層されている。そして、第2層間絶縁膜19上に設けられたゲート配線12および容量電極15を覆うように、第3層間絶縁膜21が、第2層間絶縁膜19上に積層されている。

10

【0062】

LDD構造のTFTを構成する多結晶Si膜31は、ゲート配線12の下方がチャネル領域31aになっている。

【0063】

第3層間絶縁膜21の上面は平坦になっており、また、第1層間絶縁膜17の層厚部上に設けられた第2層間絶縁膜19および第3層間絶縁膜21の各側面は、第1層間絶縁膜17の各側面に連続した垂直面になっている。

20

【0064】

第1層間絶縁膜17、第2層間絶縁膜19および第3層間絶縁膜21の両側の各側面は、それぞれ、側部遮光層23によって覆われている。各側部遮光層23は、図1(a)および(b)に太い点線で示すように、容量電極15の下方に位置する多結晶Si膜31部の各側方およびゲート配線12の各側方に沿うように、所定の形状にパターンニングされている。各側部遮光層23の上面は、それぞれ、第3層間絶縁膜21の上面に連続した水平な平坦面になっている。

【0065】

第1層間絶縁膜17における層厚部以外の部分上には、側部遮光層23とは適当な間隔をあけて、ダミー絶縁膜24が設けられている。ダミー絶縁膜24の上面は、第3層間絶縁膜21および側部遮光層23の上面と同一の水平な平坦面になっている。

30

【0066】

透明基板11上には、ダミー絶縁膜24、第3層間絶縁膜21および各側部遮光層21を覆うように、第4層間絶縁膜25が設けられている。この第4層間絶縁膜25は、ダミー絶縁膜24と各側部遮光層23との間を埋め込んでおり、その上面は、全体にわたって水平な平坦面になっている。

【0067】

第4層間絶縁膜25上には、前述した信号配線13が所定のパターンで設けられるとともに、図3に示すように、容量電極15の下方に設けられた多結晶Si膜31に積層されるように、引き出し電極26が、長方形形状のパターンで形成されている。

40

【0068】

引き出し電極26の下方であって多結晶Si膜31の上方の第2層間絶縁膜19、第3層間絶縁膜21および第4層間絶縁膜25には、第2コンタクトホール28が形成されており、この第2コンタクトホール28内に引き出し電極26と同様の導電材料が充填されることにより、TFTのドレイン電極34が形成されている。ドレイン電極34は、引き出し電極26と多結晶Si膜31のドレイン領域31cとを電氣的に接続している。

【0069】

また、信号配線13の下方に配置された多結晶Si膜31における容量電極15側の端部とは反対側の端部の上方（図1参照）の第2層間絶縁膜19、第3層間絶縁膜21および第4層間絶縁膜25に、第1コンタクトホール27が形成されており、この第1コンタク

50

トホール 27 内に信号配線 13 と同様の導電材料が充填されてることにより T F T のソース電極 33 が形成されている。ソース電極 33 は、信号配線 13 と多結晶 S i 膜 31 のソース領域 31 b とを電氣的に接続している。

【 0 0 7 0 】

多結晶 S i 膜 31 におけるチャンネル領域 31 a とドレイン領域 31 c との間、および、チャンネル領域 31 a とソース領域 31 b との間の多結晶 S i 膜 31 のそれぞれの領域は、低濃度不純物拡散 (L D D) 領域 (N ⁻) 31 d になっている。

【 0 0 7 1 】

第 4 層間絶縁膜 25 上には、信号配線 13 および引き出し電極 26 を覆うように、第 5 層間絶縁膜 29 が設けられている。この第 5 層間絶縁膜 29 の上面は、全体にわたって水平な平坦面になっている。

10

【 0 0 7 2 】

第 5 層間絶縁膜 29 上には、信号配線 13 およびゲート配線 12 を覆うように、また、容量電極 15 を覆うように、上部遮光層 18 が所定の形状にパターンニングされて設けられている (図 1 (a) にてハッチングで示す) 。上部遮光層 18 は、導電性材料によって構成されている。

【 0 0 7 3 】

引き出し電極 26 を覆う第 5 層間絶縁膜 29 には、上部遮光層 18 の下方に、第 3 コンタクトホール 29 a が設けられており、第 3 コンタクトホール 29 a を介して、上部遮光層 18 が引き出し電極 26 に電氣的に接続されている。

20

【 0 0 7 4 】

第 5 層間絶縁膜 29 上には、上部遮光層 18 を覆うように、第 6 層間絶縁膜 32 が設けられており、第 6 層間絶縁膜 32 上に、画素電極 14 が、所定のパターンで形成されている。画素電極 14 は、隣接する信号配線 13 間および隣接するゲート配線 12 間に位置するようにそれぞれ設けられている。各画素電極 14 は、相互に近接したゲート配線 12 と容量電極 15 との間に、隣接する画素電極 14 の間隔が位置するように、各ゲート配線 12 および各容量電極 15 と重なった状態になっている。

【 0 0 7 5 】

第 6 層間絶縁膜 32 には、各画素電極 14 の下方であって、引き出し電極 26 と上部遮光層 18 とを電氣的に接続する第 3 コンタクトホール 29 a の近傍に、第 4 コンタクトホール 32 a が形成されており、この第 4 コンタクトホール 32 a を介して、各画素電極 14 が、上部遮光層 18 にそれぞれ接続されている。

30

【 0 0 7 6 】

第 6 層間絶縁膜 32 上には、全ての画素電極 14 を覆うように、配向膜 36 が形成されている。

【 0 0 7 7 】

このようなアクティブマトリクス基板 10 は、所定の間隔をあけて、対向基板 40 と対向配置される。この場合、アクティブマトリクス基板 10 および対向基板 40 の配向膜 36 および 43 同士が相互に対向されて、両配向膜 36 および 43 の間に液晶層 50 が設けられることにより、本発明の液晶表示装置とされる。

40

【 0 0 7 8 】

図 4 は、アクティブマトリクス基板 10 に設けられた薄膜トランジスタ (T F T) の概略構成図である。第 1 層間絶縁膜 17 上に設けられた多結晶 S i 膜 31 は、第 2 層間絶縁膜 19 によって覆われており、多結晶 S i 膜 31 におけるほぼ中央部に対応した第 3 層間絶縁膜 21 上に、ゲート配線 12 が設けられている。

ゲート配線 12 に対向する多結晶 S i 膜 31 の領域が、チャンネル領域 31 a になっている。

【 0 0 7 9 】

第 1 層間絶縁膜 17 上には、ゲート配線 12 および第 2 層間絶縁膜 19 を覆うように、第 3 層間絶縁膜 21 および第 4 層間絶縁膜 25 が積層状態で設けられており、多結晶 S i 膜

50

31の各端部のソース領域31bおよびドレイン領域31cに対応した第3層間絶縁膜21および第4層間絶縁膜25にコンタクトホール27および28がそれぞれ形成されている。そして、各コンタクトホール27および28内に、ソース電極33およびドレイン電極34がそれぞれ形成されている。

【0080】

多結晶Si膜31は、チャンネル領域31aと、ソース領域31bおよびドレイン電極31cとのそれぞれの間の領域が、低濃度不純物拡散(LDD)領域(N⁻)31dになっている。

【0081】

図5(a)~(f)および図6(a)~(e)は、それぞれ、図1~図3に示す液晶表示装置におけるアクティブマトリクス基板10の製造工程を示す断面図であり、図3に示す断面に対応している。 10

【0082】

まず、石英ガラスによって構成された透明基板11(図5(a)参照)上に、P(リン)がドーピングされた多結晶Si膜を50nmの厚さで成膜するとともに、WSi膜を100nmの厚さで順次成膜する。その後、これらの多結晶Si膜およびWSi膜をパターンニングして、図5(a)に示すように、所定のパターンの下部遮光層16を形成する。

【0083】

次に、CVD法によって、透明基板11の全面にわたって、SiO₂膜からなる第1層間絶縁膜17を、例えば400nmで成膜する。これにより、図5(a)に示すように、下部遮光層16が第1層間絶縁膜17によって覆われた状態になる。 20

【0084】

このような状態になると、CVD法により、透明基板11の全面にわたって、多結晶Si膜を50nmを成膜してパターンニングすることにより、図5(a)に示すように、下部遮光層16上に、TFTを構成する多結晶Si膜31を所定の形状で形成する。多結晶Si膜31は、下方の下部遮光層16にて下面が覆われるように形成される。

【0085】

次に、例えば、CVD法により、透明基板11の全面にわたって、SiO₂膜からなる第2層間絶縁膜(ゲート絶縁膜)19を80nmの厚さで成膜する。

【0086】

その後、透明基板11の全面にわたって設けられた第2層間絶縁膜19上に、Pがドーピングされた多結晶Si膜およびWSi膜を、それぞれ150nmの厚さで、順次、成膜した後に、これらの膜をパターンニングすることにより、図5(a)に示すように、ゲート配線12および付加容量素子用の容量電極15を所定の形状に形成する。 30

【0087】

このような状態になると、図5(b)に示すように、ゲート配線12および容量電極15をマスクとして、イオン注入により、TFTを構成する多結晶Si膜31に不純物を注入する。この場合、例えば、P(リン)が $1 \times 10^{13} \text{ cm}^{-2}$ 程度、注入される。

【0088】

その後、イオン注入により、多結晶Si膜31のソース領域31bおよびドレイン領域31cに、レジストをマスクとして不純物をそれぞれ注入する。この場合、例えば、P(リン)が $3 \times 10^{15} \text{ cm}^{-2}$ 程度、注入される。これにより、ゲート配線12の下方領域でチャンネル領域31aと、ドレイン領域31cおよびソース領域31bとの間に、低濃度不純物拡散領域31dがそれぞれ形成される。 40

【0089】

次に、図5(c)に示すように、TEOSを原料ガスとして用いたプラズマCVD法により、透明基板11の全面にわたって、SiO₂膜からなる第3層間絶縁膜21を成膜する。この場合、第3層間絶縁膜21は、厚さ500nm程度のゲート配線12および容量電極15を覆って形成されるが、ゲート配線12および容量電極15の厚さよりも厚く、例えば、600nm程度の厚さで形成されるように成膜される。 50

【0090】

次いで、図5(d)に示すように、例えば、ゲート配線12上に第3層間絶縁膜21が厚さ200nmで残るように、CMP(Chemical Mechanical Polishing: 化学的機会研磨)によって研磨して、第3層間絶縁膜21の表面を平坦にする。

【0091】

この場合のCMPは、例えば、研磨布(例えば商品名「IC-1400-050A2」)およびCMP研磨クロス(例えば商品名「supremeRN-H24PJ」)、スラリ(例えばキャボット社製の商品名「セミスパース25」の1/2希釈品である商品名「セミスパース12」)を使用して、研磨液流量を150sccm、研磨ヘッド圧力を8psi、キャリア回転数を32rpm、プラテン回転数を28rpmとして実施される。 10

【0092】

このような状態になると、一般的なフォトリソ技術および異方性ドライエッチングによって、図5(e)に示すように、下部遮光層16の各側縁部の上方および下部遮光層16の外側の領域の上方部分の第3層間絶縁膜21、第2層間絶縁膜19、および、第1層間絶縁膜17を除去して、下部遮光層16の各側縁部上に、透明基板11に対してほぼ垂直な側壁を有する段差を形成する。この場合、側壁の高さは800nmとされる。

【0093】

次に、図5(f)に示すように、透明基板11の全面にわたって、P(リン)がドーピングされた多結晶Si膜およびWSi膜を、それぞれ、100nmの厚さで、順次、成膜して多結晶Si膜およびWSi膜の積層構造23aを形成する。その後、異方性ドライエッチングによって、図6(a)に示すように、段差の側壁に沿って設けられた部分にのみ、多結晶Si膜およびWSi膜の積層構造23aを残すことにより、側部遮光層23を形成する。 20

【0094】

その後、図6(b)に示すように、TEOSを原料ガスとして用いたプラズマCVD法により、透明基板11の全面にわたって、SiO₂膜からなるダミー絶縁膜24を、側部遮光層23の高さ800nm程度と同程度の800nm程度のほぼ一定の膜厚で成膜した後、このダミー層間絶縁膜24をパターニングすることにより、図6(c)に示すように、下部遮光層16の各側縁部上に、側部遮光層23がそれぞれ露出する溝部24aを形成する。 30

【0095】

その後、TEOSを原料ガスとして用いたプラズマCVD法により、図6(d)に示すように、透明基板11の全面にわたって、SiO₂膜によって構成された第4層間絶縁膜25を、例えば1.5μm程度の厚さで成膜する。これにより、ダミー絶縁膜24と側部遮光層23との間に形成された溝部24aが、SiO₂膜の第4層間絶縁膜25によって埋め込まれた状態になる。その後、溝部24a内の第4層間絶縁膜25の表面を平坦化する。さらに、異方性ドライエッチングによって、図6(e)に示すように、所定の膜厚の第5層間絶縁膜29を表面が平坦な状態に形成する。なお、第5層間絶縁膜29は、CMPによって表面が平坦な状態に形成してもよい。 40

【0096】

次いで、この第5層間絶縁膜29、第3層間絶縁膜21および第2層間絶縁膜19の所定部分をエッチング除去して、多結晶Si膜31に到達する一対の第1および第2コンタクトホール27および28を形成する。次に、透明基板11の全面にわたって、150nmの厚さのTiW膜、400nmの厚さのAl膜および100nmの厚さのTiW膜を、順次、成膜して、これらの膜を、第1および第2のコンタクトホール27および28内に積層することによって、第1および第2コンタクトホール27および28内に、ドレイン電極34およびソース電極33を形成する。そして、第4層間絶縁膜25上にTiW膜、Al膜、TiW膜を積層して所定形状にパターニングすることによって、ドレイン電極34に接続された引き出し電極26およびソース電極33に接続された信号配線13を、それぞ 50

れ、第4層間絶縁膜25上に形成する。

【0097】

その後、TEOSを原料ガスとして用いたプラズマCVD法により、透明基板11の全面にわたって、信号線13よりも厚く、例えば800nmの厚さの第5層間絶縁膜29を成膜する。次に、この第5層間絶縁膜29を、CMPによって、所定の厚さ、例えば500nm程度になるまで研磨して、表面を平坦化する。

【0098】

次に、第5層間絶縁膜29の所定部分をエッチング除去して、引出し電極26に達する第3のコンタクトホール29aを形成する。次いで、例えば蒸着法、スパッタリング法等により、透明基板11の全面にわたって、厚さ125nmのTiW膜を、第3のコンタクトホール29a内および第5層間絶縁膜29の表面に成膜した後に、このTiW膜をパターニングすることにより、第3のコンタクトホール29aを介して引出し電極246接続された導電性の上部遮光層18を形成する。

10

【0099】

このような状態になると、例えばTEOSを原料ガスとして用いたプラズマCVD法により、透明基板10の全面にわたって、例えば500nmの厚さの第6層間絶縁膜32を成膜する。次に、その第6層間絶縁膜32を、CMPによって、所定の厚さ、例えば200nmの厚さになるまで研磨して、表面を平坦化する。

【0100】

その後、第6層間絶縁膜32の所定部分をエッチング除去して、導電性の上部遮光層18に達する第4のコンタクトホール32aを形成する。次に、透明基板11の全面にわたって、例えば100nmの厚さのITO膜を成膜した後に、そのITO膜をパターニングすることにより、マトリクス状に配置された複数の画素電極14を形成する。このような状態になると、第6層間絶縁膜32上に、全ての画素電極14を覆うように、配向膜36が形成される。

20

【0101】

これにより、図1～図3に示すアクティブマトリクス基板10が得られる。このようなアクティブマトリクス基板10に対して対向基板40を、所定の間隔をあけて対向配置して、両者の間に液晶層50を注入することにより、液晶表示装置とされる。

【0102】

このような構成の液晶表示装置は、各TFTを構成する多結晶Si膜31の側方には、ゲート配線12の下方の一部領域を除いて、透明基板11に対して垂直状態で側部遮光層23が設けられているために、例えば、透明基板11を介して下方から斜め方向に入射する光(図2の一点鎖線参照)、光学系からの反射光等が、側部遮光層23によって遮光されて、多結晶Si膜31に入射するおそれがない。従って、多結晶Si膜31に光が入射することにより、チャンネル領域31aにリーク電流が発生することを確実に防止することができる。

30

【0103】

特に、上部遮光層18のエッジ、あるいは、下部遮光層16のエッジから多結晶Si膜31に入射する光、あるいは、上部遮光層18および下部遮光層16にて多重反射する光が、多結晶Si膜31に入射することを、側部遮光層23によって防止することができるために、これによっても、TFTにおけるリーク電流の発生を確実に防止することができる。

40

【0104】

下部遮光層16、上部遮光層18、側部遮光層23の材料としては、半導体装置、高温または低温ポリシリコン液晶装置において一般的に用いられる、加工が容易なポリシリコンを用いることができる。ポリシリコンのみでは遮光性は劣るが、金属もしくは金属シリサイド、または、金属もしくは金属シリサイドとポリシリコンとの2層構造を用いることにより、より遮光性が向上する。金属としては、W、Mo、Pt、Pd、Ti、Cr、あるいはそれらの化合物を用いることができる。

50

【0105】

各遮光層16、18、23としては、400nm～500nmの光に対して、透過率が50%以下、より好ましくは10%以下にすることが、TFTの光リーク電流を低減するために好ましい。また、遮光層16、18、23の膜厚は、10～1000nm、より好ましくは、100～400nmとされる。

【0106】

側部遮光層23は、第3層間絶縁層21に段差を形成した後に、側部遮光層23を構成する材料を成膜した後に、異方性のドライエッチングして、段差に沿って成膜された材料を残すことによって側部遮光層23とされる。この場合、第3層間絶縁層21の表面に段差を形成する前に平坦化するのが望ましい。その理由は、側部遮光層23を形成する部分以外の部分に段差が存在すると、その段差部分に沿って遮光膜が形成されるからである。第3層間絶縁膜21は、具体的には、CMPで平坦化することが好ましい。

10

【0107】

また、各側部遮光層23は、下部遮光層16の側縁部上に第1層間絶縁膜17を介して、透明基板11に対して垂直状態で設けることにより、電氣的に浮遊状態とする構成に限らず、例えば、図7および図8に示すように、下部遮光層16の側縁部表面上に、直接、各側部遮光層23を、透明基板11に対して垂直状態で設けることにより、側部遮光層23を下部遮光層16の表面と同電位に固定するようにしてもよい。この場合には、側部遮光層が下部遮光層16と電氣的に固定された状態になっているために、側部遮光層23が周辺部分との寄生容量によるTFT特性の変動が抑制される。

20

【0108】

この場合には、図5(e)に示す工程において、第3層間絶縁膜21、第2層間絶縁膜19、第1層間絶縁膜17を、下部遮光層16の各側縁部表面が露出するまで、一般的なフォトリソ技術および異方性ドライエッチングによって除去すればよい。

【0109】

その後、図9(a)に示すように、透明基板11の全面にわたって、P(リン)がドーピングされた多結晶Si膜およびWSi膜を、それぞれ、100nmの厚さで、順次、成膜して多結晶Si膜およびWSi膜の積層構造23aを形成し、異方性ドライエッチングによって、図9(b)に示すように、段差に沿って設けられた部分にのみ、多結晶Si膜およびWSi膜の積層構造23aを残すことにより、側方遮光層22が形成される。

30

【0110】

以下、前述の工程と同様の工程によって、アクティブマトリクス基板10が形成される。

【0111】

<実施形態2>

側部遮光層23は、TFTの多結晶Si層31およびその多結晶Si膜31の上方に設けられるゲート配線12の側方に形成する構成に限らず、図10および図11に示すように、多結晶Si層31の上方に形成される信号配線13の側方にも設けるようにしてもよい。

【0112】

このような構成のアクティブマトリクス基板10は、次のように製造される。まず、石英ガラスによって構成された透明基板11上に、P(リン)がドーピングされた多結晶Si膜を50nmの厚さで成膜するとともに、WSi膜を100nmの厚さで順次成膜した後、これらの多結晶Si膜およびWSi膜をパターンニングして、所定のパターンの下部遮光層16を形成する。

40

【0113】

次に、CVD法によって、透明基板11の全面にわたって、SiO₂膜からなる第1層間絶縁膜17を、例えば400nmで成膜する。

【0114】

このような状態になると、CVD法により、透明基板11の全面にわたって、多結晶Si膜を50nmを成膜して、所定の形状にパターンニングすることにより、下部遮光層1

50

6 上に、T F T を構成する多結晶 S i 膜 3 1 を所定の形状で形成する。

【 0 1 1 5 】

次に、例えば、C V D 法により、透明基板 1 1 の全面にわたって、S i O₂ 膜からなる第 2 層間絶縁膜 (ゲート絶縁膜) 1 9 を 8 0 n m の厚さで成膜する。

【 0 1 1 6 】

その後、透明基板 1 1 の全面にわたって設けられた第 2 層間絶縁膜 1 9 上に、P がドーブされた多結晶 S i 膜および W S i 膜を、それぞれ 1 5 0 n m の厚さで、順次、成膜した後に、これらの膜をパターニングすることにより、図 1 2 (a) に示すように、ゲート配線 1 2 および付加容量素子用の容量電極 1 5 を所定の形状で形成する。

【 0 1 1 7 】

このような状態になると、ゲート配線 1 2 および容量電極 1 5 をマスクとして、イオン注入により、T F T を構成する多結晶 S i 膜 3 1 に不純物を注入する。

【 0 1 1 8 】

その後、イオン注入により、多結晶 S i 膜 3 1 のソース領域 3 1 b およびドレイン領域 3 1 c に、レジストをマスクとして不純物をそれぞれ注入する。この場合、例えば、P (リン) が $3 \times 10^{15} \text{ cm}^{-2}$ 程度、注入される。これにより、ゲート配線 1 2 の下方領域でチャネル領域 3 1 a と、ドレイン領域 3 1 c およびソース領域 3 1 b との間に、低濃度不純物拡散領域 3 1 d がそれぞれ形成される。

【 0 1 1 9 】

次に、T E O S を原料ガスとして用いたプラズマ C V D 法により、透明基板 1 1 の全面にわたって、S i O₂ 膜からなる第 3 層間絶縁膜 2 1 を、例えば、6 0 0 n m 程度の厚さで形成されるように成膜される。

【 0 1 2 0 】

次いで、例えば、ゲート配線 1 2 上に第 3 層間絶縁膜 2 1 が厚さ 2 0 0 n m で残るように、C M P によって研磨して、第 3 層間絶縁膜 2 1 の表面を平坦にする。

【 0 1 2 1 】

このような状態になると、第 3 層間絶縁膜 2 1 および第 2 層間絶縁膜 1 9 の所定部分をエッチング除去して、図 1 2 (b) に示すように、多結晶 S i 膜 3 1 のソース領域 3 1 b およびドレイン領域 3 1 c に到達する第 1 コンタクトホール 2 7 および第 2 コンタクトホール 2 8 を形成する。

【 0 1 2 2 】

次に、透明基板 1 1 の全面に、1 5 0 n m の T i W 膜、4 0 0 n m の A l 膜及び 1 0 0 n m T i W 膜を順次成膜した後、これらの膜を、所定の形状にパターニングすることにより、第 1 コンタクトホール 2 7 内にソース電極 3 3 を形成し、第 2 コンタクトホール 2 8 内にドレイン電極 3 4 を形成するとともに、第 3 層間絶縁膜 2 1 上に引出し電極 2 6 および信号配線 1 3 を形成する。

【 0 1 2 3 】

その後、T E O S を原料ガスとして用いたプラズマ C V D 法により、図 1 2 (c) に示すように、透明基板 1 1 の全面に、信号配線 1 3 よりも厚く、例えば 8 0 0 n m の第 4 層間絶縁膜 2 5 を成膜して、C M P によって、所定の厚さになるまで、例えば、6 0 0 n m 程

【 0 1 2 4 】

このような状態になると、一般的なフォトリソ技術および異方性ドライエッチングによって、図 1 2 (e) に示すように、下部遮光層 1 6 の各側縁部の上方および下部遮光層 1 6 の外側の領域の上方部分の第 4 層間絶縁膜 2 5、第 3 層間絶縁膜 2 1、第 2 層間絶縁膜 1 9、および、第 1 層間絶縁膜 1 7 を除去して、下部遮光層 1 6 の各側縁部上に、ほぼ垂直な段差を形成する。この場合、段差の高さは 1 . 8 μm になる。

【 0 1 2 5 】

次に、図 1 2 (f) に示すように、1 5 0 n m の T i W 膜 2 3 b を成膜した後、異方性ドライエッチングすることにより、段差に沿って T i W 膜 2 3 b を残すことによって、多結

10

20

30

40

50

晶Si膜31およびゲート配線12の側方のみならず、信号配線13の側方にも側部遮光層23が形成される。

【0126】

このような状態になると、TEOSを原料ガスとして用いたプラズマCVD法により、透明基板11の全面にSiO₂膜からなる絶縁膜を、段差と同程度の1.8μm程度の膜厚になるように成膜する。その後、成膜された絶縁膜を、パターニングすることにより、図13(b)に示すように、側部遮光層23がそれぞれ露出する溝部24aが形成されたダミー絶縁膜24を形成する。

【0127】

その後、TEOSを原料ガスとして用いたプラズマCVD法により、透明基板11の全面に、SiO₂膜からなる層間絶縁膜を、例えば1.5μmの厚さに成膜して、ダミー層間絶縁膜24と側部遮光層23との間の溝部24aを埋め込み、表面を平坦化する。さらに、異方性ドライエッチングによって、所定の膜厚の層間絶縁膜を形成して、表面が平坦になった第5層間絶縁膜29を形成する。第5層間絶縁膜29は、このような方法に代えて、CMPを用いて表面を平坦化してもよい。

【0128】

次に、第5層間絶縁膜29の所定部分をエッチング除去して、第3のコンタクトホール29aを形成する。その後、例えば蒸着法、スパッタリング法等により透明基板11の全面に、125nmの厚さのTiW膜を成膜した後に、このTiW膜をパターニングして、導電性の上部遮光層18を形成する。

【0129】

このような状態になると、例えばTEOSを原料ガスとして用いたプラズマCVD法により透明基板11の全面に、絶縁膜を、例えば500nmの厚さに成膜する。次に、その絶縁膜の表面をCMPによって所定の厚さ、例えば200nm程研磨することにより、表面を平坦化して、第6層間絶縁膜32を形成する。

【0130】

その後、第6層間絶縁膜32の所定部分をエッチング除去して、第4のコンタクトホール32aを形成する。次に、透明基板11の全面にITO膜を、例えば100nmの厚みに成膜した後に、ITO膜を所定形状にパターニングすることにより、複数の画素電極14をマトリクス状に形成する。このような状態になると、第6層間絶縁膜32上に、全ての画素電極14を覆うように、配向膜36が形成される。

【0131】

これにより、多結晶Si膜31およびゲート配線12と、その上方の信号配線13との側方にわたって、側部遮光層23が形成された図10および図11に示す断面形状のアクティブマトリクス基板10が得られる。このようなアクティブマトリクス基板10に対して対向基板40を、所定の間隔をあけて対向配置して、両者の間に液晶層50を注入することにより、液晶表示装置とされる。

【0132】

なお、本実施形態においても、側部遮光層23は、下部遮光層16の側縁部上に第1層間絶縁膜17を介して、透明基板11に対して垂直状態で設ける構成に限らず、図14および図15に示すように、下部遮光層16の側縁部表面上に、直接、各側部遮光層23を、透明基板11に対して垂直状態で設けるようにしてもよい。

【0133】

この場合には、図12(e)に示す工程において、第4層間絶縁膜24、第3層間絶縁膜21、第2層間絶縁膜19、第1層間絶縁膜17を、下部遮光層16の各側縁部表面が露出するまで、一般的なフォトリソ技術および異方性ドライエッチングによって除去すればよい。

【0134】

その後、図16(a)に示すように、透明基板11の全面にわたって、150nmのTiW膜23bを成膜した後に、異方性ドライエッチングすることにより、段差に沿ってTiW

膜 23b を残すことによって、多結晶 Si 膜 31 およびゲート配線 12 の側方のみならず、信号配線 13 の側方にも側部遮光層 23 が形成される。

【0135】

以下、前述の工程と同様の工程によって、アクティブマトリクス基板 10 が形成される。

【0136】

<実施形態 3>

図 17(a) は、薄膜トランジスタを構成する多結晶 Si 膜 31 の下方に設けられる下部遮光層 16 の下方に、絶縁膜を介して付加容量電極を設ける実施形態 3 の構成を示す概略平面図、図 18 は、図 17 の A - A 線に沿った断面図、図 19 は、図 17 の B - B 線に沿った断面図である。なお、図 17(b) は、下部遮光層 16 の配置を示す平面図であり、図 17(a) とは同様の構成になっている。

10

【0137】

この実施形態 3 におけるアクティブマトリクス基板 10 では、多結晶 Si 膜 31 の上方に、ゲート配線 12 に近接して平行に設けられた容量電極 15 に代えて、透明基板 11 上に、付加容量電極 37 が所定のパターンで設けられている。この付加容量電極 37 は、信号配線 13 の下方を覆うように設けられるとともに、相互に近接した容量電極 15 およびゲート配線 12 の下方全体を覆うように設けられている。付加容量電極 37 は、透明基板 11 の全面に設けられた容量絶縁膜 38 によって覆われており、容量絶縁膜 38 上に、下部遮光層 16 が、所定の形状にパターンニングされて設けられている。

【0138】

下部遮光層 16 は、前記実施形態 1 におけるアクティブマトリクス基板 10 と同様に、第 1 層間絶縁膜 17 によって覆われており、第 1 層間絶縁膜 17 における下部遮光層 16 を覆う層厚部上に、TFT を構成する多結晶 Si 膜 31 が所定の形状にパターンニングされて設けられている(図 17(b) 参照)。多結晶 Si 膜 31 は、図 17 に示すように、ゲート配線 12 と平行に側方に延出する部分が、図 1 に示す実施形態の容量電極 15 に比較して短く、また、その幅寸法も小さくなっている。

20

【0139】

第 1 層間絶縁膜 17 の層厚部上には、多結晶 Si 膜 31 を覆う第 2 層間絶縁膜(ゲート絶縁膜) 19 が積層されている。そして、第 2 層間絶縁膜 19 上にゲート配線 12 および容量電極 15 が所定形状にパターンニングされて設けられており、ゲート配線 12 および容量電極 37 が、第 2 層間絶縁膜 19 上に積層された第 3 層間絶縁膜 21 によって覆われている。

30

【0140】

第 2 層間絶縁膜 19 および第 3 層間絶縁膜 21 の各側面も、前記実施形態 1 と同様に、第 1 層間絶縁膜 17 の各側面に連続した垂直面になっており、第 1 層間絶縁膜 17、第 2 層間絶縁膜 19 および第 3 層間絶縁膜 21 の両側の各側面が、それぞれ、側部遮光層 23 によって覆われている。各側部遮光層 23 は、容量電極 37 の下方に位置する多結晶 Si 膜 31 部部の各側方およびゲート配線 12 の各側方に沿うように、所定の形状にパターンニングされている(図 17(a) および(b) に太い点線で示す)。各側部遮光層 23 の上面は、それぞれ、第 3 層間絶縁膜 21 の上面に連続した水平な平坦面になっている。

40

【0141】

第 1 層間絶縁膜 17 における層厚部以外の部分上には、側部遮光層 23 とは適当な間隔をあけて、ダミー絶縁膜 24 が設けられている。ダミー絶縁膜 24 の上面は、第 3 層間絶縁膜 21 および側部遮光層 23 の上面と同様の水平な平坦面になっている。

【0142】

透明基板 11 上には、ダミー絶縁膜 24、第 3 層間絶縁膜 21 および各側部遮光層 21 を覆うように、第 4 層間絶縁膜 25 が設けられている。この第 4 層間絶縁膜 25 は、ダミー絶縁膜 24 と各側部遮光層 23 との間を埋め込んでおり、その上面は、全体にわたって水平な平坦面になっている。

【0143】

50

第4層間絶縁膜25上には、前述した信号配線13が所定のパターンで設けられるとともに、設けられるとともに、引き出し電極26が、多結晶Si膜31および付加容量電極37に重なるように、長形状のパターンで形成されている。

【0144】

引き出し電極26の下方であって多結晶Si膜31のドレイン領域の上方には、第2層間絶縁膜19、第3層間絶縁膜21および第4層間絶縁膜25を貫通するように、第1コンタクトホール27が形成されており、この第1コンタクトホール27内に引き出し電極26と同様の導電材料が充填されることにより、TFTのドレイン電極34が形成されている。ドレイン電極34は、引き出し電極26と多結晶Si膜31のドレイン領域31cとを電氣的に接続している。

10

【0145】

引き出し電極26は、多結晶Si膜31の側方上にまで延出しており、付加容量電極37上の領域に、第2層間絶縁膜19、第3層間絶縁膜21、第4層間絶縁膜25および容量絶縁膜38を貫通するように、第5コンタクトホール39が形成されており、この第5コンタクトホール39内に引き出し電極26と同様の導電材料が充填されることにより、引き出し電極26と付加容量電極37とが電氣的に接続されている。

【0146】

その他の構成は、図1~3に示す実施形態1における液晶表示装置のアクティブマトリクス基板10の構成と同様になっている。

【0147】

このような構成の液晶表示装置は、次のように製造される。まず、透明基板11上に、Pがドーピングされた多結晶Si膜を、例えば100nmの膜厚で成膜した後に、所定形状にパターンニングして、図20(a)に示すように、付加容量電極37を形成する。次に、図20(b)に示すように、例えばCVD法によって、透明基板11の全面に、SiO₂膜からなる容量絶縁膜38を、例えば50nmの膜厚で成膜する。

20

【0148】

このような状態になると、Pがドーピングされた多結晶Si膜を50nmの膜厚で成膜した後に、WSi膜を100nmの膜厚で成膜し、これらの膜を所定形状にパターンニングすることにより、図20(c)に示すように、下部遮光層16を形成する。

【0149】

その後、CVD法により基板全面にSiO₂膜からなる第1層間絶縁膜17を、例えば400nm成膜する。次に、CVD法によって透明基板11の全面に多結晶Si膜31を、50nmの膜厚に形成して、所定形状にパターンニングする。

30

【0150】

その後の工程は、図5および図6(a)~(d)に示す実施形態1の液晶表示装置におけるアクティブマトリクス基板10の製造工程と、容量電極15を形成しないこと以外は同様になっている。

【0151】

透明基板11の全面にわたって、SiO₂膜によって構成された第4層間絶縁膜25が、例えば1.5μm程度の厚さで成膜されると(図6(d)参照)、図21(a)に示すように、第4層間絶縁膜25、第3層間絶縁膜21および第2層間絶縁膜19の所定部分をエッチング除去して、多結晶Si膜31のソース領域31bおよびドレイン領域31cにそれぞれ到達する一対の第1および第2コンタクトホール27および28を形成する。

40

【0152】

その後、図21(b)に示すように、多結晶Si膜31に重なっていない付加容量電極37の領域に到達するように、第4層間絶縁膜25、第3層間絶縁膜21、第2層間絶縁膜19、第1層間絶縁膜17、および容量絶縁膜37の所定部分をエッチング除去して、第5コンタクトホール39を形成する。

【0153】

次に、透明基板11の全面にわたって、150nmの厚さのTiW膜、400nmの厚さ

50

の Al 膜および 100 nm の厚さの TiW 膜を、順次、成膜して、これらの膜を、第 1 および第 2 のコンタクトホール 27 および 28 内と、第 5 コンタクトホール 39 内にそれぞれ積層することによって、第 1 および第 2 コンタクトホール 27 および 28 内に、ドレイン電極 34 およびソース電極 33 をそれぞれ形成するとともに、付加容量電極 37 に電氣的に接続された接続部分を形成する。そして、第 4 層間絶縁膜 25 上に、TiW 膜、Al 膜、TiW 膜を積層して所定形状にパターンングすることによって、ドレイン電極 34 および第 5 コンタクトホール 39 内の接続部分に接続された引き出し電極 26 と、ソース電極 33 に接続された信号配線 13 とを、それぞれ、第 4 層間絶縁膜 25 上に形成する。

【0154】

その後、透明基板 11 の全面にわたって、第 5 層間絶縁膜 29 を成膜して表面を平坦化した後に、第 5 層間絶縁膜 29 の所定部分をエッチング除去して、引出し電極 26 に達する第 3 のコンタクトホール 29a を形成する。次いで、厚さ 125 nm の TiW 膜を、第 3 のコンタクトホール 29a 内および第 5 層間絶縁膜 29 の表面に成膜した後に、この TiW 膜をパターンングすることにより、第 3 のコンタクトホール 29a を介して引出し電極 24 に接続された導電性の上部遮光層 18 を形成する。

10

【0155】

このような状態になると、例えば TEOS を原料ガスとして用いたプラズマ CVD 法により、透明基板 10 の全面にわたって、例えば 500 nm の厚さの第 6 層間絶縁膜 32 を成膜して、その表面を平坦化する。

【0156】

その後、第 6 層間絶縁膜 32 の所定部分をエッチング除去して、導電性の上部遮光層 18 に達する第 4 のコンタクトホール 32a を形成する。次に、透明基板 11 の全面にわたって、例えば 100 nm の厚さの ITO 膜を成膜した後に、その ITO 膜をパターンングすることにより、図 21 (d) に示すように、マトリクス状に配置された複数の画素電極 14 を形成する。このような状態になると、第 6 層間絶縁膜 32 上に、全ての画素電極 14 を覆うように、配向膜 36 が形成される。

20

【0157】

これにより、図 17 ~ 図 19 に示すアクティブマトリクス基板 10 が得られる。このようなアクティブマトリクス基板 10 に対して対向基板 40 を、所定の間隔をあけて対向配置して、両者の間に液晶層 50 を注入することにより、液晶表示装置とされる。

30

【0158】

なお、本実施形態 3 においても、各側部遮光層 23 を電氣的に浮遊状態とする構成に限らず、例えば、図 22 および図 23 に示すように、少なくともいずれか一方の側部遮光層 23 を、下部遮光層 16 の側縁部表面上に、直接、透明基板 11 に対して垂直状態で設けることにより、側部遮光層 23 を下部遮光層 16 の表面と同電位に固定するようにしてもよい。この場合には、側部遮光層 23 が下部遮光層 16 と同電位に電氣的に固定されるために、側部遮光層 23 が周辺部分との寄生容量によって TFT の特性が変動することを抑制し得る。

【0159】

< 実施形態 4 >

下部遮光層 16 の下方に付加容量電極 37 を設ける実施形態 3 において、側部遮光層 23 を、TFT の多結晶 Si 層 31 における一部領域の側方、および、その多結晶 Si 膜 31 の上方に設けられるゲート配線 12 の側方に設ける構成に限らず、図 24 および図 25 に示すように、多結晶 Si 層 31 の上方に形成される信号配線 13 の側方に達するように設けてもよい。

40

【0160】

この場合は、実施形態 3 と同様に、まず、透明基板 11 上に、P がドーピングされた多結晶 Si 膜を、例えば 100 nm の膜厚で成膜した後に、所定形状にパターンングして、付加容量電極 37 を形成する。次に、例えば CVD 法によって、透明基板 11 の全面に、SiO₂ 膜からなる容量絶縁膜 38 を、例えば 50 nm の膜厚で成膜する。

50

【0161】

このような状態になると、Pがドーピングされた多結晶Si膜を50nmの膜厚で成膜した後に、WSi膜を100nmの膜厚で成膜し、これらの膜を所定形状にパターンニングすることにより、下部遮光層16を形成する。

【0162】

その後、CVD法により基板全面にSiO₂膜からなる第1層間絶縁膜17を、例えば400nm成膜する。次に、CVD法によって透明基板11の全面に多結晶Si膜31を、50nmの膜厚に形成して、所定形状にパターンニングする。

【0163】

その後の工程は、図12および図13(a)~(c)に示す実施形態2の液晶表示装置におけるアクティブマトリクス基板10の製造工程と、容量電極15を形成しないこと以外は同様になっている。 10

【0164】

その後の工程は、図21(a)~(d)に示す工程と同様である。

【0165】

この場合にも、図26および図27に示すように、少なくともいずれか一方の側部遮光層23を、下部遮光層16の側縁部表面上に、直接、透明基板11に対して垂直状態で設けることにより、側部遮光層23を下部遮光層16の表面と同電位に固定するようにしてもよい。この場合には、側部遮光層23が下部遮光層16と同電位に電気的に固定されるために、側部遮光層23が周辺部分との寄生容量によってTFTの特性が変動することを抑制し得る。 20

【0166】

<実施形態5>

図17~図19に示す実施形態3の液晶表示装置におけるアクティブマトリクス基板10において、付加容量電極37と下部遮光層16との配置を反対にするようにしてもよい。すなわち、図28および29に示すように、透明基板11上に下部遮光層16を、所定形状にパターンニングして形成して、容量絶縁膜38にて覆った後に、容量絶縁膜38上に、付加容量電極37を所定の形状にパターンニングして形成する。そして、付加容量電極37を第1層間絶縁膜17にて覆った状態で、第1層間絶縁膜17上に、多結晶Si膜31を所定形状にパターンニングして形成して、その上方に配置される引き出し電極24と、下部遮光層16の上方に位置する付加容量電極37とが、第5コンタクトホール39内の導電体を介して、電気的に接続されている。その他の構成は、図17~図19に示す実施形態3の液晶表示装置の構成と同様になっている。 30

【0167】

この場合は、まず、透明基板11上に、Pがドーピングされた多結晶Si膜を50nmの膜厚で成膜した後に、WSi膜を、例えば100nmの膜厚で成膜する。そして、これらの膜を、所定形状にパターンニングして、下部遮光層16を形成する。

【0168】

次に、例えばCVD法によって、透明基板11の全面に、SiO₂膜からなる第1層間絶縁膜17を、例えば50nmの膜厚で成膜する。その後、Pがドーピングされた多結晶Si膜を100nmの膜厚で成膜した後に、所定の形状にパターンニングして付加容量電極37を形成する。次に、例えばCVD法によって、透明基板11の全面に、SiO₂膜からなる容量絶縁膜を50nmの膜厚で成膜して、容量絶縁膜38を形成する。 40

【0169】

その後、CVD法により透明基板11の全面にSiO₂膜からなる第1層間絶縁膜17を、例えば400nmの膜厚で成膜する。

【0170】

このような状態になると、CVD法によって第1層間絶縁膜17上に透明基板11の全面にわたって、多結晶Si膜を50nmの膜厚に形成して、所定形状にパターンニングする。

【0171】

その後の工程は、第5コンタクトホール39を、下部遮光層16の上方に設けられた付加容量電極37に達するように形成すること以外は、実施形態3と同様の工程によって、液晶表示装置が製造される。

【0172】

なお、本実施形態5においても、各側部遮光層23を電氣的に浮遊状態とする構成に限らず、例えば、図30および図31に示すように、各側部遮光層23を、付加容量電極37の側縁部表面上に、直接、透明基板11に対して垂直状態で設けることにより、側部遮光層23を付加容量電極37の表面と同電位に固定するようにしてもよい。この場合には、側部遮光層23が付加容量電極37と同電位に電氣的に固定されるために、側部遮光層23と周辺部分との寄生容量によってTFTの特性が変動することを抑制し得る。

10

【0173】

<実施形態6>

下部遮光層16の上方に付加容量電極37を設ける実施形態5において、側部遮光層23を、TFTの多結晶Si層31における一部領域の側方、および、その多結晶Si膜31の上方に設けられるゲート配線12の側方に設ける構成に限らず、図32に示すように、多結晶Si層31の上方に形成される信号配線13の側方に達するように設けてもよい。

【0174】

この場合は、まず、透明基板11上に、Pがドーピングされた多結晶Si膜を50nmの膜厚で成膜した後に、WSi膜を、例えば100nmの膜厚で成膜する。そして、これらの膜を、所定形状にパターニングして、下部遮光層16を形成する。

20

【0175】

次に、例えばCVD法によって、透明基板11の全面に、SiO₂膜からなる第1層間絶縁膜17を、例えば50nmの膜厚で成膜する。その後、Pがドーピングされた多結晶Si膜を100nmの膜厚で成膜した後に、所定の形状にパターニングして付加容量電極37を形成する。次に、例えばCVD法によって、透明基板11の全面に、SiO₂膜からなる容量絶縁膜を50nmの膜厚で成膜して、容量絶縁膜38を形成する。

【0176】

その後、CVD法により透明基板11の全面にSiO₂膜からなる第1層間絶縁膜17を、例えば400nmの膜厚で成膜する。

【0177】

このような状態になると、CVD法によって第1層間絶縁膜17上に透明基板11の全面にわたって、多結晶Si膜を50nmの膜厚に形成して、所定形状にパターニングする。

30

【0178】

その後の工程は、第5コンタクトホール39を、下部遮光層16の上方に設けられた付加容量電極37に達するように形成すること以外は、実施形態2と同様の工程によって、液晶表示装置が製造される。

【0179】

なお、本実施形態6においても、各側部遮光層23を電氣的に浮遊状態とする構成に限らず、例えば、図33に示すように、各側部遮光層23を、付加容量電極37の側縁部表面上に、直接、透明基板11に対して垂直状態で設けることにより、側部遮光層23を付加容量電極37の表面と同電位に固定するようにしてもよい。この場合には、側部遮光層23が付加容量電極37と同電位に電氣的に固定されるために、側部遮光層23と周辺部分との寄生容量によってTFTの特性が変動することを抑制し得る。

40

【0180】

<実施形態7>

前記実施形態4では、下部遮光層16の下方に付加容量電極37を設けて、付加容量電極37と引き出し電極26とを、直接、接続する構成になっていたが、付加容量電極37を、ゲート配線12と同一の層に設けられる導電部を介して接続するようにしてもよい。

【0181】

この実施形態7の具体的な構成を、図34および図35に示す。図34(a)は、本実施

50

形態の液晶表示装置の要部の平面図、図35は、図34のA-A線における断面図である。本実施形態7の液晶表示装置は、図19に示す実施形態3の液晶表示装置において、透明基板11上に設けられた付加容量電極37が、第2層間絶縁膜19、第1層間絶縁膜17、容量絶縁膜38を貫通する第5コンタクトホール39内に設けられた導電部37aに電氣的に接続されており、この導電部37aが、第6コンタクトホール29b内に設けられた引き出し電極26の導電部と電氣的に接続されている。その他の構成は、図19に示す実施形態3の液晶表示装置と同様になっている。なお、図34(b)は、下部遮光層16の配置を示しており、図34(a)の構成と同様である。

【0182】

このような構成の液晶表示装置は、次のように製造される。まず、図36(a)に示すように、石英ガラスによって構成された透明基板11上に、Pがドーピングされた多結晶Si膜を、例えば100nmの膜厚に成膜して、所定形状にパターニングすることによって、付加容量電極37を形成する。その後、例えばCVD法によって、透明基板11の全面にSiO₂膜からなる容量絶縁膜38を50nmの膜厚に成膜する。

【0183】

次に、Pがドーピングされた多結晶Si膜を50nmの膜厚に成膜した後に、WSi膜を100nmの膜厚で成膜して、これらの膜を所定形状にパターニングすることにより、下部遮光層16を形成する。

【0184】

その後、CVD法によって、透明基板11の全面に、SiO₂膜からなる第1層間絶縁膜17を、例えば400nmの膜厚に成膜する。

【0185】

このような状態になると、例えば、CVD法によって、透明基板11の全面に、多結晶Si膜31を50nmの膜厚に成膜した後に、多結晶Si膜31を所定形状にパターニングする。次に、例えばCVD法によって、透明基板11の全面にSiO₂膜を80nmの膜厚に成膜して第2層間絶縁膜19(ゲート絶縁膜)とする。これにより、図36(a)に示す状態になる。

【0186】

その後、図36(b)に示すように、付加容量電極37に達するように、第2層間絶縁膜19、第1層間絶縁膜17、容量絶縁膜38を貫通する第5コンタクトホール39を形成する。

【0187】

このような状態になると、透明基板11の全面にPがドーピングされた多結晶Si膜を150nmの膜厚に成膜するとともに、WSi膜を150nmの膜厚に成膜して、これらの膜を所定形状にパターニングすることにより、図36(c)に示すように、第2層間絶縁膜上にゲート配線12を形成するとともに、第5コンタクトホール39内に、付加容量電極37に接続された導電部37aを形成する。

【0188】

その後、実施形態1における液晶表示装置の製造方法と同様にして、液晶表示装置とされる。すなわち、TFTを構成する多結晶Si膜31に不純物を注入した後に、プラズマCVD法により、透明基板11の全面にわたって、SiO₂膜からなる第3層間絶縁膜21を成膜し、第3層間絶縁膜21を所定形状にパターニングして、下部遮光層16の側縁部上および容量絶縁膜38上に、側部遮光層23をそれぞれ形成し、さらにその後に、ダミー絶縁膜24を成膜してパターニングした後に、第4層間絶縁膜を形成して表面を平坦化することによって、図36(d)に示す状態とされる。

【0189】

その後、図37(a)に示すように、多結晶Si膜31のソース領域およびドレイン領域がそれぞれ露出するように、第1および第2のコンタクトホール27および28をそれぞれ形成するとともに、付加容量電極37の導電部37aが露出するように、第6のコンタクトホール29bを形成する。

10

20

30

40

50

【0190】

次に、透明基板11の全面にわたって、導電膜を形成して、図37(b)に示すように、第1および第2のコンタクトホール27および28内にソース電極33およびドレイン電極34をそれぞれ形成するとともに、第6コンタクトホール29b内に、付加容量電極37の導電部37aに接続された導電部を形成し、さらに、第4層間絶縁膜25上に、ソース電極33に接続された信号配線16を形成するとともに、ドレイン電極34および第6コンタクトホール29b内の導電部に接続された引き出し電極26を形成する。

【0191】

その後、プラズマCVD法により、図37(c)に示すように、第5層間絶縁膜29を成膜して、引出し電極26に達する第3のコンタクトホール29aを形成した後に、例えば蒸着法、スパッタリング法等により、透明基板11の全面にわたって、導電性の膜を成膜して所定形状にパターニングすることにより、引出し電極246接続された導電性の上部遮光層18を形成する。このような状態になると、プラズマCVD法により、透明基板10の全面にわたって、第6層間絶縁膜32を成膜した後に、導電性の上部遮光層18に達する第4のコンタクトホール32aを形成し、その後、透明基板11の全面にわたって、ITO膜を成膜した後に、そのITO膜をパターニングすることにより、マトリクス状に配置された複数の画素電極14を形成する。

【0192】

その後は、実施形態1と同様に、第6層間絶縁膜32上に、全ての画素電極14を覆うように、配向膜36が形成されて、アクティブマトリクス基板10とされる。

【0193】

これにより、図1～図3に示すアクティブマトリクス基板10が得られる。このようなアクティブマトリクス基板10に対して対向基板40を、所定の間隔をあけて対向配置して、両者の間に液晶層50を注入することにより、液晶表示装置とされる。

【0194】

本実施形態7においても、図38に示すように、側部遮光層23を、多結晶Si層31の上方に形成される信号配線13の側方に達するように設けてもよい。

【0195】

<実施形態8>

本実施形態の液晶表示装置では、図1～3に示す実施形態1の液晶表示装置において、アクティブマトリクス基板10の第5層間絶縁膜29上に設けられた上部遮光層18に代えて、図39に示すように、対向基板40に遮光層44が設けられている。この遮光層44は、信号配線13およびゲート配線12を覆うように、また、容量電極15を覆うように設けられている。この遮光層44は特に導電性である必要はない。

【0196】

本実施形態では、アクティブマトリクス基板10の第6層間絶縁膜32上に設けられた画素電極14は、第6層間絶縁膜32および第5層間絶縁膜29に設けられたコンタクトホール32bによって、引き出し電極26に直接接続されている。その他の構成は、図1～3に示す実施形態1の液晶表示装置の構成と同様になっている。

【0197】

<実施形態9>

なお、上記各実施形態では、図4に示すように、一般的なLDD構造のN型のTFETについて説明したが、図40に示すように、ゲート配線(ゲート電極)12が2つ以上設けられたマルチゲート型のLDD構造のTFETであってもよい。このマルチゲート型のLDD構造のTFETでは、多結晶Si膜31における各ゲート配線12の直下の一方のチャネル領域31aとドレイン領域31cとの間、および、他方のチャネル領域31aとソース領域31bとの間のそれぞれの領域が、低濃度不純物拡散(LDD)領域(N⁻)31dになっている。また、一对のゲート配線12の間の中央部の領域が、高濃度不純物領域(N⁺)31eになっており、この高濃度不純物領域31eと各チャネル領域31aとの間に低濃度不純物領域(N⁻)31dがそれぞれ設けられている。このような構成のマルチゲ

10

20

30

40

50

ート型のLDD構造のTFTでは、ゲート配線12が1つの場合に比べて、リーク電流が低下する。

【0198】

なお、いずれの場合も、LDD構造のTFTは、N型に限らずP型であってもよい。

【0199】

【発明の効果】

本発明の液晶表示装置は、このように側部遮光層が設けられているために、薄膜トランジスタに入射する光を、確実に遮光することができる。これにより、薄膜トランジスタの光リーク電流を著しく低減することができる。特に大光量の元で使用するプロジェクタ用液晶表示装置において、光リーク電流によるコントラスト低下、クロストーク等の劣化のない優れた表示品位が得られる。

10

【0200】

本発明の液晶表示装置の製造方法は、このような液晶表示装置を容易に、また、確実に製造することができる。

【図面の簡単な説明】

【図1】(a)および(b)は、それぞれ本発明の液晶表示装置の実施の形態の一例を示す要部の平面図である。

【図2】図1のA-A線に沿った断面図である。

【図3】図1のB-B線に沿った断面図である。

【図4】その液晶表示装置に使用されるTFTの概略構成を示す断面図である。

20

【図5】(a)~(f)は、それぞれ、その液晶表示装置の製造工程を示す断面図である。

【図6】(a)~(e)は、それぞれ、図5に連続する液晶表示装置の製造工程を示す断面図である。

【図7】本発明の液晶表示装置の他の例を示す要部の断面図であり、図1のA-A線に対応している。

【図8】図7に示す液晶表示装置他の断面図であり、図1のB-B線に対応している。

【図9】(a)および(b)は、図7および図8に示す液晶表示装置の製造工程を示す断面図であり、図8の断面に対応している。

【図10】本発明の液晶表示装置の他の例を示す要部の断面図であり、図1のA-A線に対応している。

30

【図11】図10に示す液晶表示装置他の断面図であり、図1のB-B線に対応している。

【図12】(a)~(f)は、それぞれ、図10および図11に示す液晶表示装置の製造工程を示す断面図であり、図11の断面に対応している。

【図13】(a)~(d)は、それぞれ、図6に連続する液晶表示装置の製造工程を示す断面図である。

【図14】本発明の液晶表示装置の他の例を示す要部の断面図であり、図1のA-A線に対応している。

【図15】図14に示す液晶表示装置他の断面図であり、図1のB-B線に対応している。

40

【図16】(a)および(b)は、図14および図15に示す液晶表示装置の製造工程を示す断面図であり、図8の断面に対応している。

【図17】(a)および(b)は、それぞれ、本発明の液晶表示装置の実施の形態のさらに他の例を示す要部の平面図である。

【図18】図17のA-A線に沿った断面図である。

【図19】図17のB-B線に沿った断面図である。

【図20】(a)~(c)は、それぞれ、その液晶表示装置の製造工程を示す断面図である。

【図21】(a)~(d)は、それぞれ、図20に連続する液晶表示装置の製造工程を示

50

す断面図である。

【図 2 2】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 1 7 の A - A 線に対応している。

【図 2 3】図 2 2 に示す液晶表示装置他の断面図であり、図 1 7 の B - B 線に対応している。

【図 2 4】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 1 7 の A - A 線に対応している。

【図 2 5】図 2 4 に示す液晶表示装置他の断面図であり、図 1 7 の B - B 線に対応している。

【図 2 6】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 1 7 の A - A 線に対応している。 10

【図 2 7】図 2 6 に示す液晶表示装置他の断面図であり、図 1 7 の B - B 線に対応している。

【図 2 8】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 1 7 の A - A 線に対応している。

【図 2 9】図 2 8 に示す液晶表示装置他の断面図であり、図 1 7 の B - B 線に対応している。

【図 3 0】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 1 7 の A - A 線に対応している。

【図 3 1】図 3 0 に示す液晶表示装置他の断面図であり、図 1 7 の B - B 線に対応している。 20

【図 3 2】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 1 7 の A - A 線に対応している。

【図 3 3】図 3 2 に示す液晶表示装置の他の断面図であり、図 1 7 の B - B 線に対応している。

【図 3 4】(a) および (b) は、それぞれ、本発明の液晶表示装置の実施の形態のさらに他の例を示す要部の平面図である。

【図 3 5】図 3 4 の A - A 線に沿った断面図である。

【図 3 6】(a) ~ (d) は、それぞれ、その液晶表示装置の製造工程を示す断面図である。 30

【図 3 7】(a) ~ (c) は、それぞれ、図 3 6 に連続する液晶表示装置の製造工程を示す断面図である。

【図 3 8】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 3 4 の A - A 線に対応している。

【図 3 9】本発明の液晶表示装置の他の例を示す要部の断面図であり、図 3 4 の A - A 線に対応している。

【図 4 0】(a) および (b) は、それぞれ、本発明の液晶表示装置に使用される T F T の他の例を示す断面図である。

【図 4 1】(a) および (b) は、それぞれ、従来の液晶表示装置の一例を示す要部の平面図である。 40

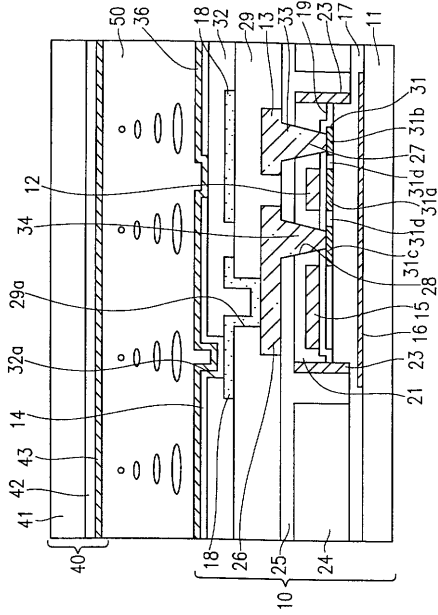
【図 4 2】図 4 1 の A - A 線に沿った断面図である。

【図 4 3】図 4 1 の B - B 線に沿った断面図である。

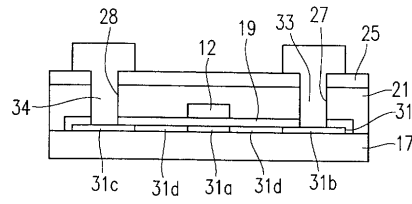
【符号の説明】

- 1 0 アクティブマトリクス基板
- 1 1 透明基板
- 1 2 ゲート配線
- 1 3 信号配線
- 1 4 画素電極
- 1 6 下部遮光層
- 1 7 第 1 層間絶縁膜

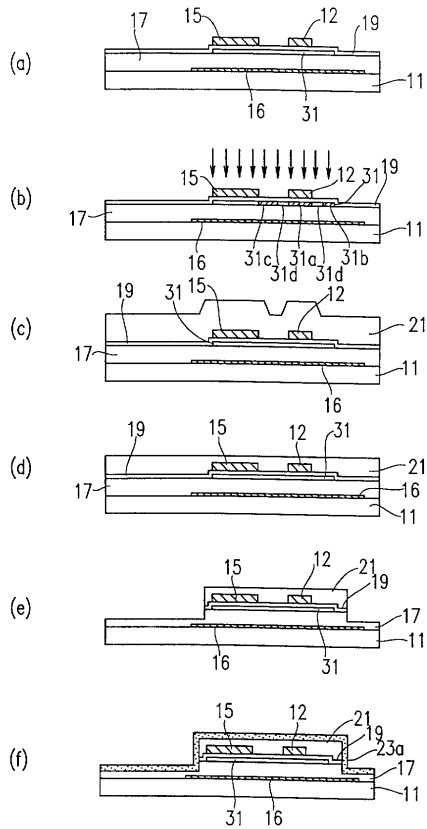
【 図 3 】



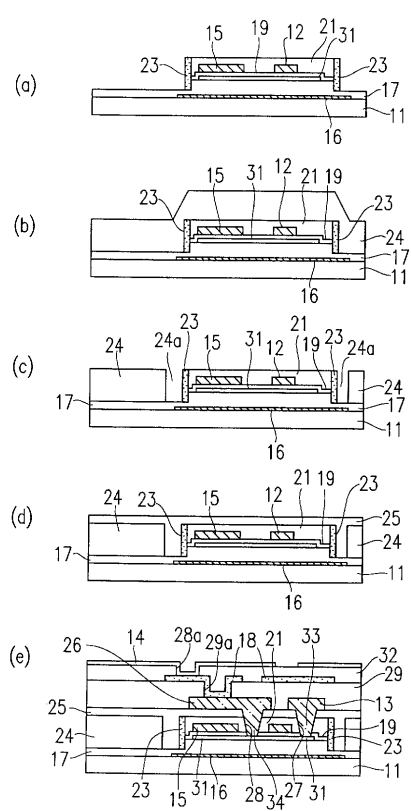
【 図 4 】



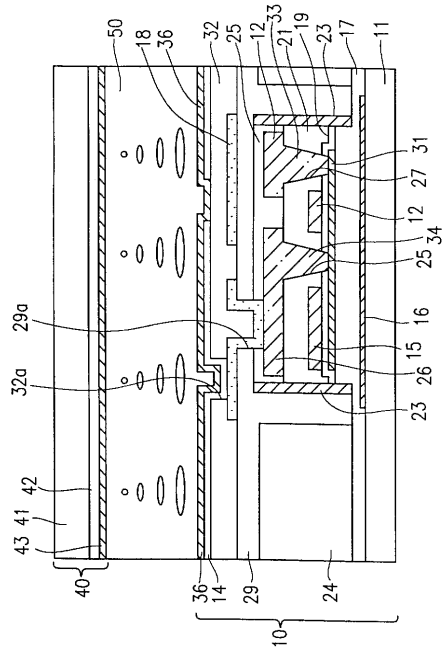
【 図 5 】



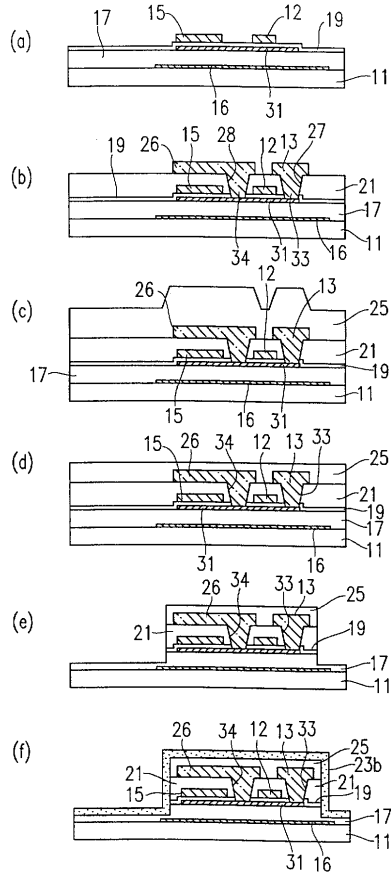
【 図 6 】



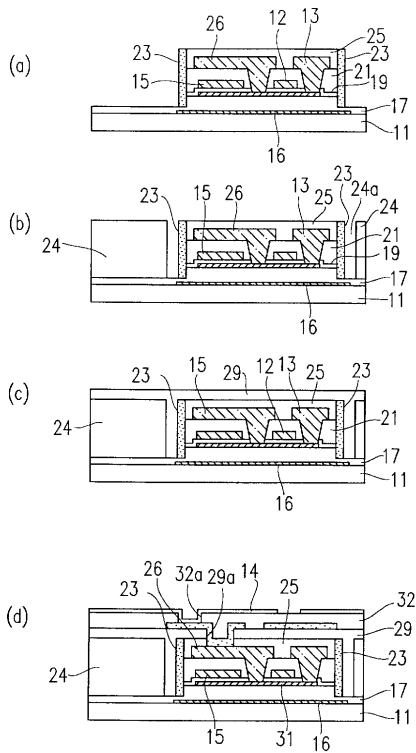
【 図 1 1 】



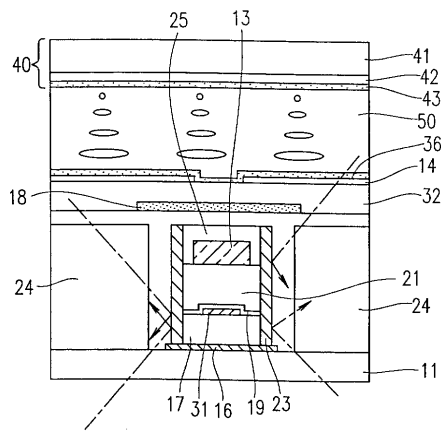
【 図 1 2 】



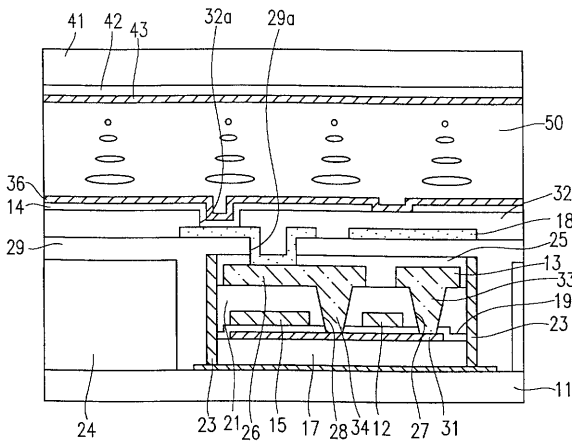
【 図 1 3 】



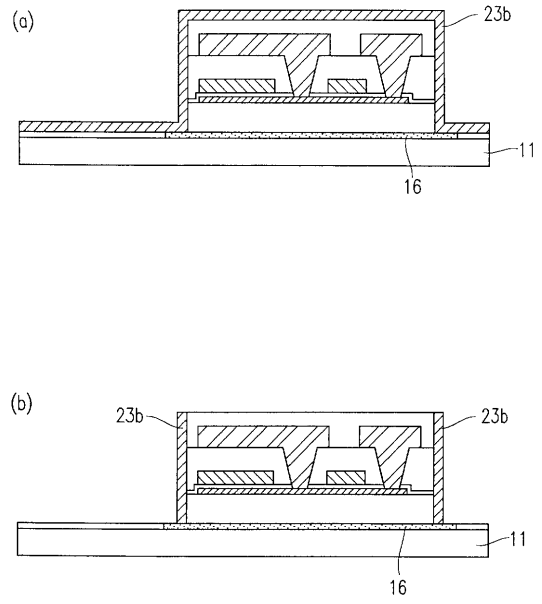
【 図 1 4 】



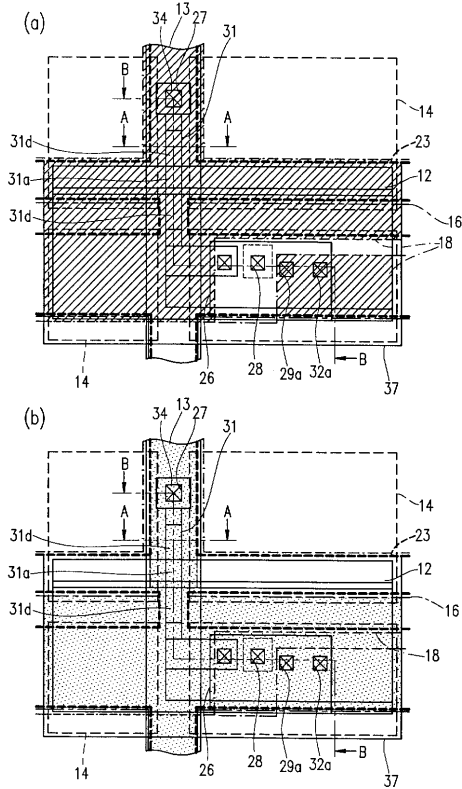
【 図 1 5 】



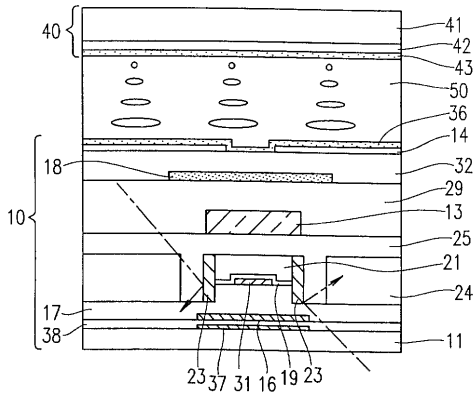
【 図 1 6 】



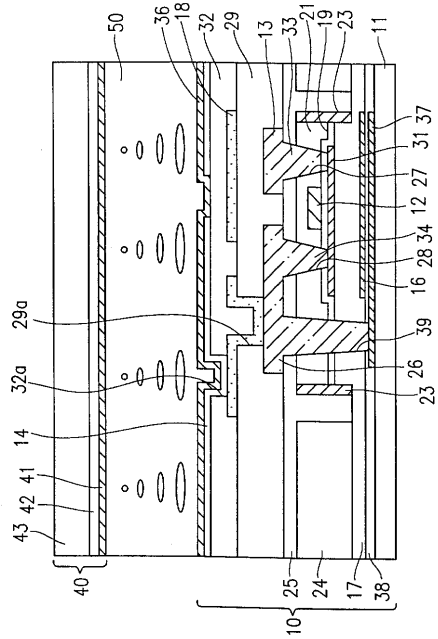
【 図 1 7 】



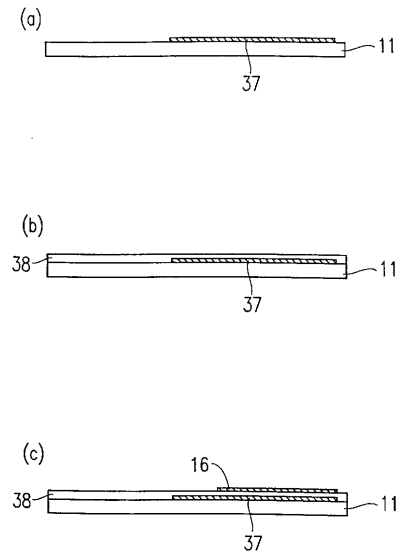
【 図 1 8 】



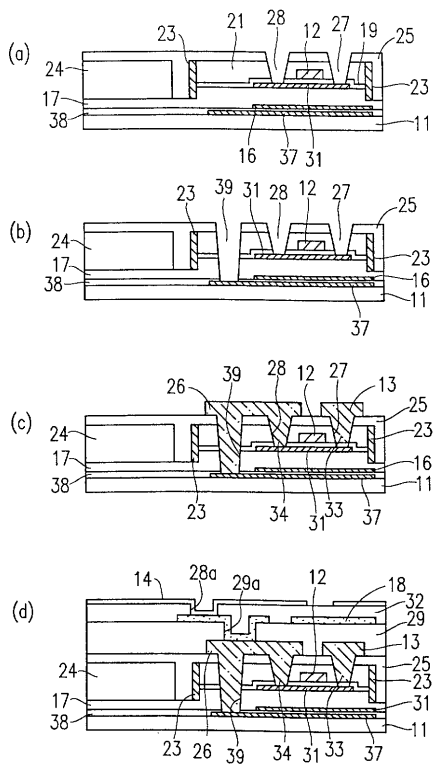
【 図 19 】



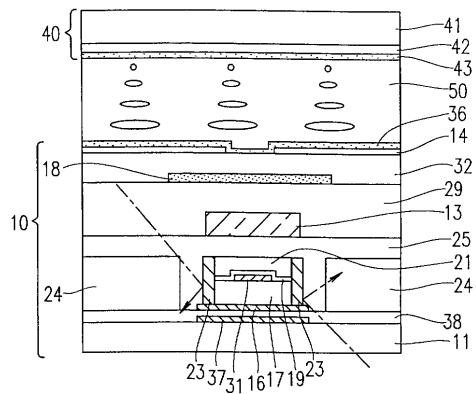
【 図 20 】



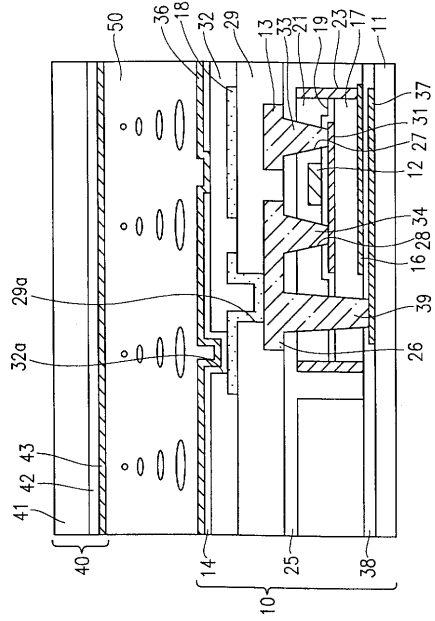
【 図 21 】



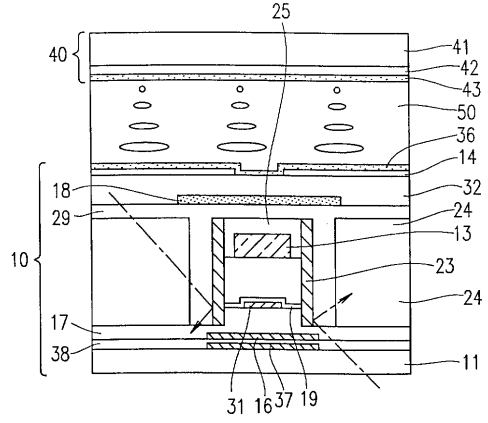
【 図 22 】



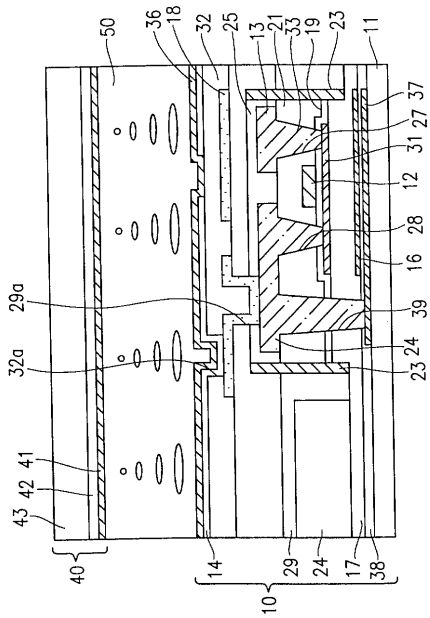
【 図 2 3 】



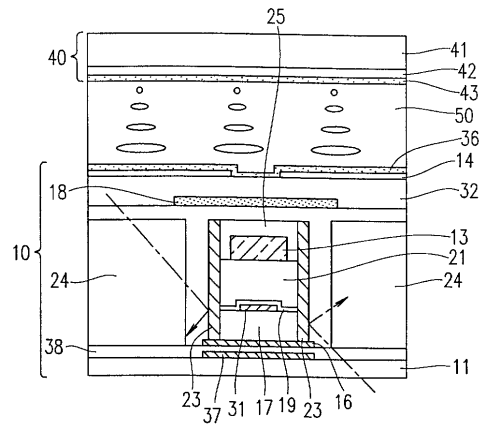
【 図 2 4 】



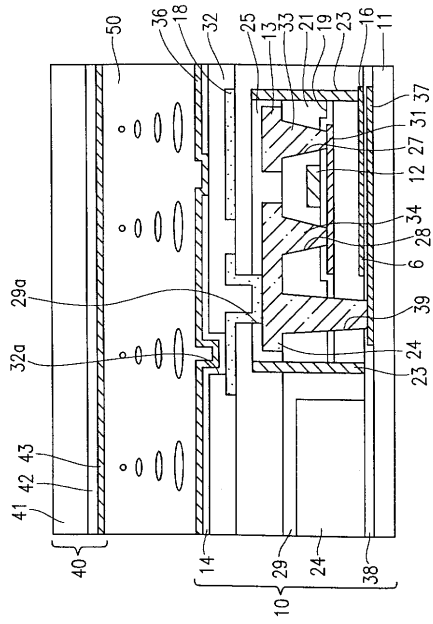
【 図 2 5 】



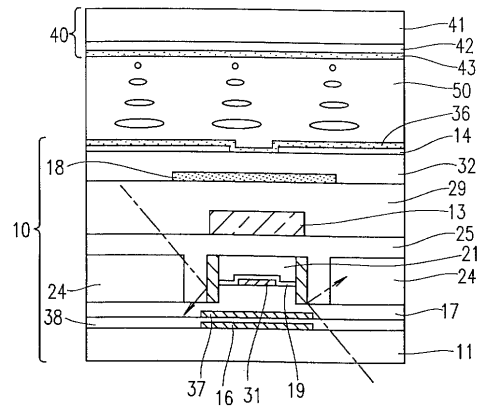
【 図 2 6 】



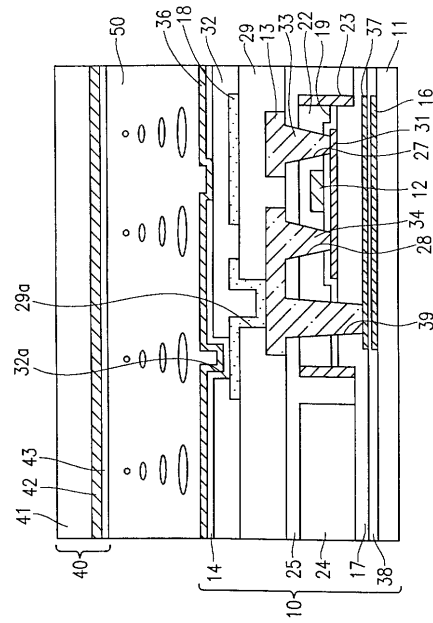
【 図 2 7 】



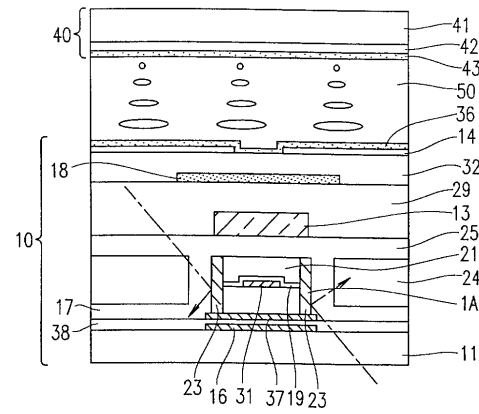
【 図 2 8 】



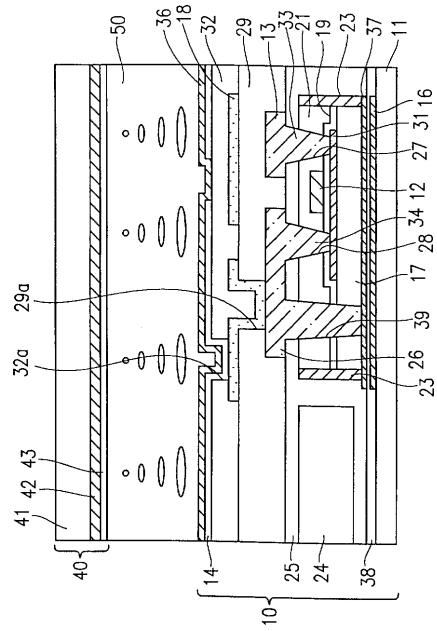
【 図 2 9 】



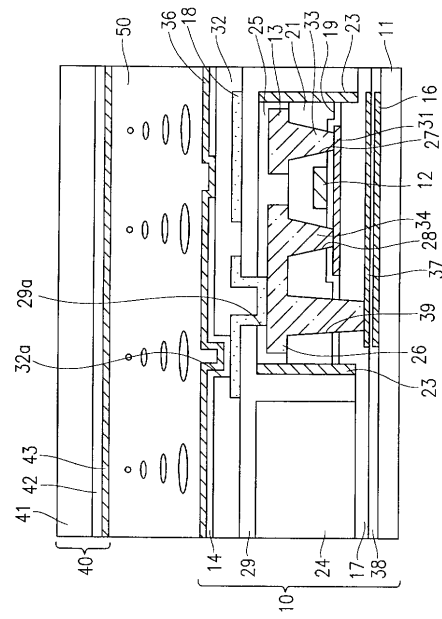
【 図 3 0 】



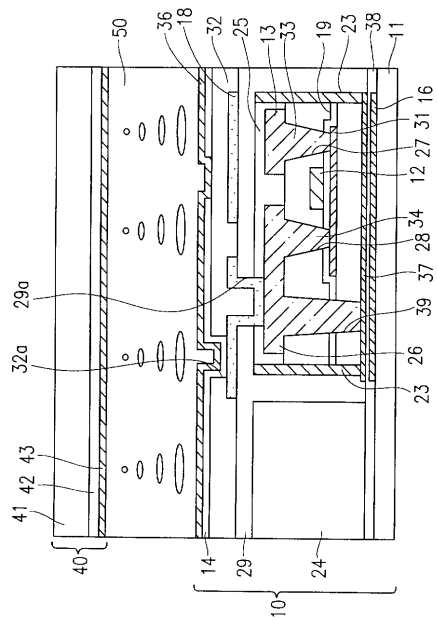
【 図 3 1 】



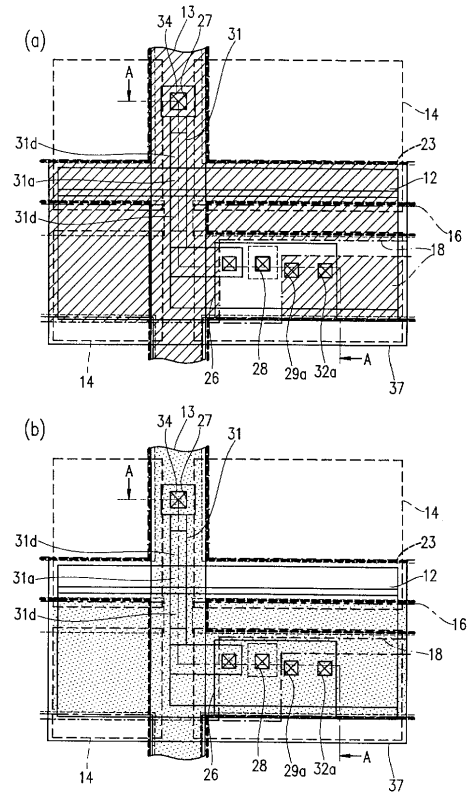
【 図 3 2 】



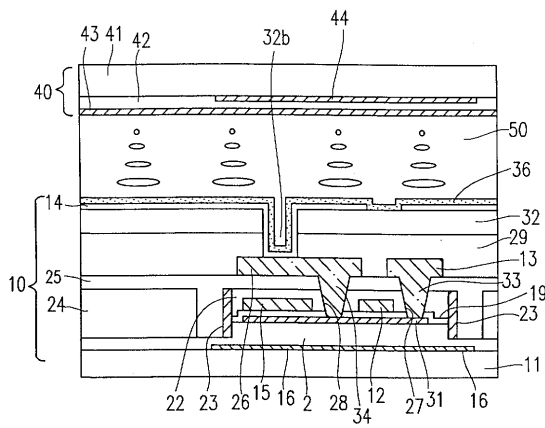
【 図 3 3 】



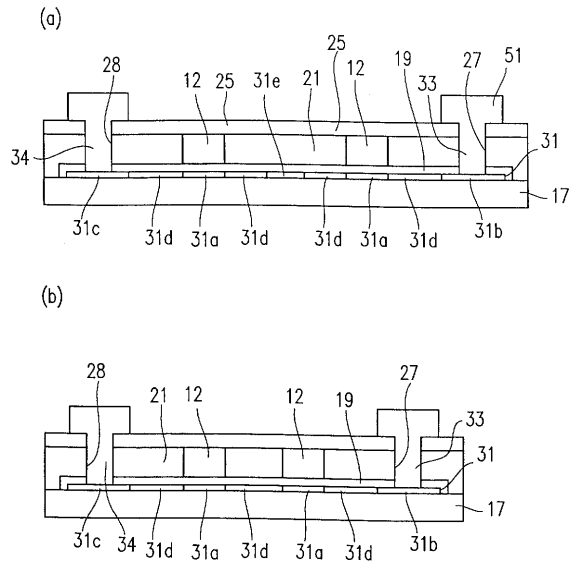
【 図 3 4 】



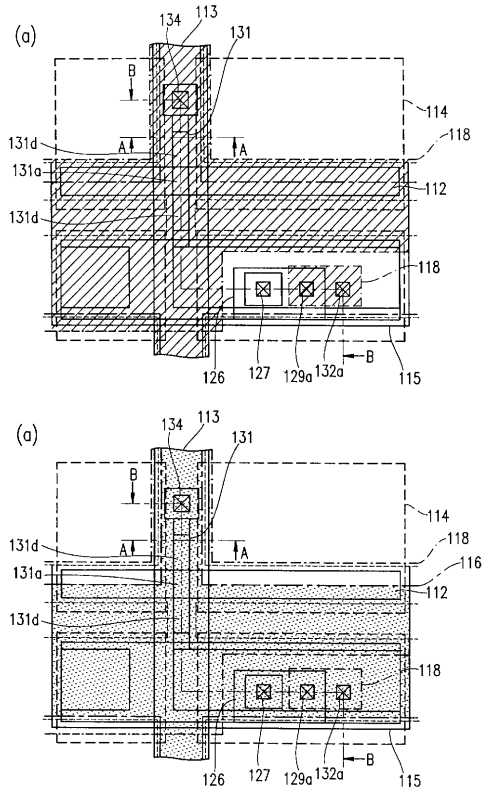
【 図 3 9 】



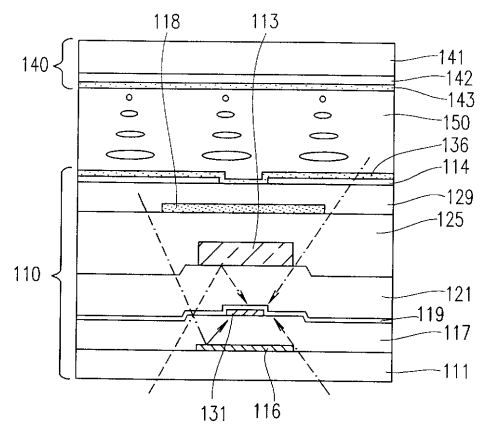
【 図 4 0 】



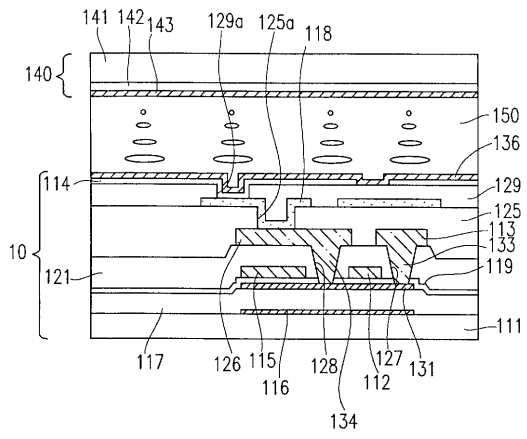
【 図 4 1 】



【 図 4 2 】



【 図 4 3 】



フロントページの続き

(72)発明者 樋上 佳則

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 2H091 FA34Y FB06 FC26 FD04 GA07 GA13 LA03 MA07
2H092 GA17 JA24 JB16 JB51 JB57 JB66 JB69 MA07 MA17 NA22
PA09 RA05
5F110 AA21 AA30 BB01 CC02 DD03 DD13 EE05 EE09 EE14 EE28
FF02 FF29 GG02 GG13 GG25 GG44 HJ01 HJ04 HJ13 HL03
HL06 HL12 HM15 NN03 NN04 NN23 NN35 NN42 NN44 NN46
NN48 NN53 NN54 NN72 NN73 QQ01 QQ11 QQ19

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2004045576A	公开(公告)日	2004-02-12
申请号	JP2002200578	申请日	2002-07-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	上田 徹 猪口 和彦 樋上 佳則		
发明人	上田 徹 猪口 和彦 樋上 佳則		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368 H01L29/786		
CPC分类号	H01L29/78633 G02F1/136209		
FI分类号	G02F1/1368 G02F1/1335.500 G02F1/1343 H01L29/78.619.B		
F-TERM分类号	2H091/FA34Y 2H091/FB06 2H091/FC26 2H091/FD04 2H091/GA07 2H091/GA13 2H091/LA03 2H091/MA07 2H092/GA17 2H092/JA24 2H092/JB16 2H092/JB51 2H092/JB57 2H092/JB66 2H092/JB69 2H092/MA07 2H092/MA17 2H092/NA22 2H092/PA09 2H092/RA05 5F110/AA21 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD03 5F110/DD13 5F110/EE05 5F110/EE09 5F110/EE14 5F110/EE28 5F110/FF02 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG44 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HL03 5F110/HL06 5F110/HL12 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN35 5F110/NN42 5F110/NN44 5F110/NN46 5F110/NN48 5F110/NN53 5F110/NN54 5F110/NN72 5F110/NN73 5F110/QQ01 5F110/QQ11 5F110/QQ19 2H092/JA25 2H092/JA46 2H092/JA47 2H092/JA48 2H092/JB53 2H092/JB54 2H092/JB58 2H092/KA04 2H191/FA13Y 2H191/FB12 2H191/FC36 2H191/FD04 2H191/GA10 2H191/GA19 2H191/LA03 2H191/MA11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB53 2H192/CC05 2H192/DA12 2H192/DA42 2H192/DA44 2H192/EA03 2H192/EA13 2H192/EA14 2H192/EA15 2H192/EA28 2H192/HA63 2H192/HA88 2H192/JB02 2H291/FA13Y 2H291/FB12 2H291/FC36 2H291/FD04 2H291/GA10 2H291/GA19 2H291/LA03 2H291/MA11		
外部链接	Espacenet		

摘要(译)

解决的问题：在不减小开口率的情况下，可靠地遮蔽从倾斜方向进入有源矩阵基板的光等。在液晶显示装置的有源矩阵基板10中，第三层间绝缘膜21的上表面是平坦的，并且第二层间绝缘膜设置在第一层间绝缘膜17的厚部分上。膜19和第三层间绝缘膜21的每个侧面是与第一层间绝缘膜17的每个侧面连续的垂直表面，并且形成第一层间绝缘膜17，第二层间绝缘膜19和第三层间绝缘膜17。绝缘膜21的两侧的各侧面被侧面遮光层23覆盖，侧面遮光层23位于位于电容电极15下方的多晶硅膜31的两侧。并且将其图案化为预定形状以便沿着栅极布线12的每一侧延伸。

[选型图]图1

