

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 202589

(P2003 - 202589A)

(43)公開日 平成15年7月18日(2003.7.18)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 1
1/1335	505	1/1335	2 H 0 9 2
1/1345		1/1345	5 C 0 9 4
G 0 9 F 9/00	342	G 0 9 F 9/00	5 G 4 3 5
9/30	349	9/30	349 B

審査請求 未請求 請求項の数 9 O L (全 25数) 最終頁に続く

(21)出願番号 特願2001 - 401278(P2001 - 401278)

(22)出願日 平成13年12月28日(2001.12.28)

(71)出願人 302036002
富士通ディスプレイテクノロジー株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(72)発明者 張 宏勇
神奈川県川崎市中原区上小田中4丁目1番1号
富士通株式会社内
(72)発明者 佐藤 精威
神奈川県川崎市中原区上小田中4丁目1番1号
富士通株式会社内
(74)代理人 100108187
弁理士 横山 淳一

最終頁に続く

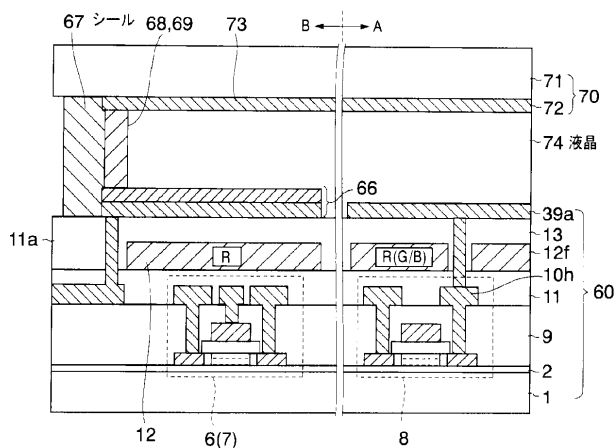
(54)【発明の名称】 液晶表示装置及びその製造方法

(57)【要約】

【課題】表示部と周辺回路部を備えた液晶表示装置に関し、配線間の容量を低下すること。

【解決手段】トランジスタ8と画素電極39aと走査バス線とデータバス線をそれぞれ複数有する表示部Aと、走査バス線とデータバス線に接続される周辺回路部Bを有する第1基板60と、第1基板60に対向する第2基板70と、第1基板60と第2基板70の間に挟まれる液晶74とを有する液晶表装置において、表示部Aにおけるトランジスタ8の上であって画素電極39aの上下のいずれかに形成されたカラーフィルタ12fと、周辺回路部Bにおいて残されたカラーフィルタ12用のカラー樹脂膜12を含む。

本発明の第6実施形態に係る液晶表示装置の部分断面図



【特許請求の範囲】

【請求項 1】トランジスタ、画素電極、走査線及び信号線を有する表示部と、前記走査線と前記信号線に接続される周辺回路部とを有する第 1 基板と、前記画素電極に対向する共通電極を有する第 2 基板と、前記第 1 基板と前記第 2 基板の間に挟まれる液晶とを有する液晶表示装置において、
前記第 1 基板上の前記表示部に形成されたカラーフィルタと、
前記第 1 基板において前記周辺回路部の上に残されたカラーフィルタ用のカラー樹脂膜とを有することを特徴とする液晶表示装置。

【請求項 2】前記表示部において、前記カラーフィルタの上に平坦化樹脂膜が形成され、該平坦化樹脂膜の上に前記画素電極が形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】前記周辺回路部において、前記カラー樹脂膜の上に平坦化樹脂膜が形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】前記周辺回路部の前記平坦化樹脂膜上に金属パターンが形成されていることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】前記周辺回路部内の前記カラー樹脂膜は赤色顔料を含んでいることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の液晶表示装置。

【請求項 6】前記周辺回路部の周囲で前記第 1 基板と前記第 2 基板を張り合わせるためのシールをさらに有することを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の液晶表示装置。

【請求項 7】第 1 基板の表示部と周辺回路部のそれぞれに一層目金属パターンを形成する工程と、

前記一層目金属パターンの上に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜上に二層目金属パターンを形成する工程と、

前記二層目金属パターンの上にカラー樹脂膜を形成する工程と、

前記カラー樹脂膜をパターンニングすることにより、前記カラー樹脂膜からなるカラーフィルタを前記表示部に形成するとともに、前記カラー樹脂膜を前記周辺回路部に残す工程と、

前記周辺回路部の前記カラー樹脂膜の上に三層目金属パターンを形成する工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項 8】前記カラー樹脂膜及び前記カラーフィルタと前記三層目金属パターンの間に平坦化樹脂膜を形成する工程をさらに有することを特徴とする請求項 7 に記載の液晶表示装置の製造方法。

【請求項 9】前記第 1 基板に対向する第 2 基板を用意し、前記第 2 基板と前記第 1 基板とを前記周辺回路領域

の周囲で且つ前記カラー樹脂膜より外側でシールを介して張り合わせる工程を有することを特徴とする請求項 7 又は請求項 8 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及びその製造方法に関し、より詳しくは、CMOS 型電界効果トランジスタを有する周辺回路又は信号処理回路を内蔵した液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】周辺回路又は信号処理回路を内蔵したアクティブマトリクス型液晶表示装置においては、表示領域だけでなく、周辺回路又は信号処理回路においてもアナログスイッチやインバータのCMOS トランジスタとして薄膜トランジスタ(TFT)が使用されている。

【0003】周辺回路又は信号処理回路内の薄膜トランジスタは、表示領域と同様に低温ポリシリコン技術が用いられている。

【0004】低温結晶化技術は、高性能・低価格の周辺駆動回路TFTの製造には不可欠である。現在実用化されている代表的な結晶化技術はエキシマレーザを用いた低温結晶化法であり、エキシマレーザを用いることにより良質なシリコン結晶薄膜を低融点ガラス上に形成することが可能になる。

【0005】エキシマレーザによる結晶化の基本的な方法は例えば次のようである。

【0006】まず、PECVD(Plasma-Enhanced CVD)等の薄膜形成法を用いて非晶質シリコン(a-Si) 出発薄膜をガラス基板上に形成する。続いて、出発薄膜の耐レーザ性を向上させるために、400～450 の熱処理でa-Si 出発薄膜中の水素を除去する。次に、エキシマレーザの光ビームをa-Si 出発薄膜に照射して結晶化させてポリシリコン薄膜を形成する。さらに、ポリシリコン薄膜を水素、水蒸気などの雰囲気中で処理することにより、結晶性を改善する。

【0007】そのようなポリシリコン薄膜を用いて、画素表示部にスイッチングTFTアレイを形成するとともに、周辺回路部に半導体集積回路を同一基板上に形成する。周辺回路を内蔵した液晶表示装置は、一般的に、画素表示部TFTアレイ、ゲート駆動回路、データ駆動回路から構成される。データ駆動回路は、一般的に、動作周波数が数メガヘルツ(MHz) から数十MHz の範囲で50～300cm²/Vsの電界効果移動度と適切な閾値電圧V_{th}を有する高性能TFTが用いられる。

【0008】しかし、ゲート駆動回路と画素表示部では、TFTの移動度に対する要求はそれほど厳しくなく、例えば20cm²/Vs以上であればよい。

【0009】一方、液晶表示装置の新しい技術動向としては、超高精細表示パネルと高性能内蔵型大規模半導体回路を達成することにある。

【0010】まず、超高精細表示パネルについて説明する。

【0011】マルチメディア技術とモバイル技術の進歩、インターネットの普及により、大量情報を閲覧・処理することが日常的に必要となってきた。このため、マン・マシンインターフェイスとしての液晶表示装置に対して、超高精細表示機能の仕様要求が高まっている。例えば、インターネットのホームページのマルチ画面表示、マルチタスク処理、CAD設計等の応用領域で200dpi以上の大型高精細表示装置、またはモバイル用 10 小型超高精細液晶表示装置が必要とされる。

【0012】次に、高性能の液晶パネル内蔵型大規模半導体回路について説明する。

【0013】低温ポリシリコン一体化パネルにおいて、周辺回路部に高性能の大規模半導体集積回路を設けることによって、インテリジェントパネルやシートコンピュータを実現する技術動向が見られるようになった。例えば、データ側にデジタルドライバ、データ処理回路、メモリアレイ、インターフェイス回路、更にCPUを液晶表示パネルに内蔵することもあり得る。

【0014】そのような周辺回路に用いられる能動素子は通常の薄膜トランジスタが使用される。周辺回路部と画素部のそれぞれの薄膜トランジスタは、例えば特開2000-36599号公報に記載されているように、同じ工程で形成されるとともに、それらの薄膜トランジスタの上に形成される配線も同じ工程で形成されている。

【0015】例えば、図1に示すように、表示部Aの薄膜トランジスタ101と周辺回路部Bの薄膜トランジスタ102を同時に1つの基板103上に形成した後に、それらの薄膜トランジスタ101、102を第1層間絶縁膜104で覆う。ここで、薄膜トランジスタ101、102を構成するポリシリコン膜100は上記したような低温ポリシリコン膜をパターニングすることにより形成される。ポリシリコン膜100とゲート電極101g、102gの間にはゲート絶縁膜110が形成されている。なお、ゲート電極101g、102gは、図示しない一層目配線と同時に形成される。

【0016】さらに、第1層間絶縁膜104上に順に二層目配線105、第2層間絶縁膜106、三層目配線107、第3層間絶縁膜108を形成する。二層目配線105は、第1層間絶縁膜104に形成されたホールを通して表示領域Aと周辺回路領域Bのそれぞれの薄膜トランジスタ101、102に接続される。三層目配線107は、第2層間絶縁膜106に形成されたホールを通して周辺回路部Bの薄膜トランジスタ102に接続される。二層目配線105を構成する金属は、表示部AにおいてはブラックマトリクスBMとして使用される。また、表示部Aにおいて、第3層間絶縁膜108の上には画素電極109が形成され、その画素電極109は二層目配線105を介して薄膜トランジスタ101のソース 50

領域に接続される。

【0017】

【発明が解決しようとする課題】ところで、液晶表示パネルにおいては高精細表示が進むほど、画素ピッチが小さくなり、周辺回路密度が極めて高くなる。そのためにはデジタルドライバを内蔵した200dpi以上の超高精細パネルを形成することが必要になる。

【0018】例えば、8.4型UXGAパネルの場合には、画素数1600（水平方向）×3×1200（垂直方向）、表示精細度238dpi、サブ画素ピッチ35.5μmである。その他の例として、15型QXGAパネルの場合には、画素数2048（水平方向）×3×1536（垂直方向）、表示精細度171dpi、サブ画素ピッチ49.5μmである。

【0019】そのような縦1ライン分の画素列を駆動するためには数百～数千個のTFTから構成される周辺回路をそのような狭い画素ピッチ領域内に収める必要がある。また、高性能の低温ポリシリコン・インテリジェントパネル、シートコンピュータ等を製造するために、周辺領域にデジタルドライバ、データ処理回路、メモリアレイ、インターフェイス回路、CPU等の大規模回路を内蔵する必要がある。これらの大規模は集積回路を狭い額縁領域内に納める必要がある。

【0020】しかし、周辺回路の高集積化、狭配線ピッチが可能になっても、図1に示した多層配線構造では、上下の配線間隔が横方向の配線間隔よりも狭いために、上下の配線間の寄生容量が周辺回路領域の高速動作の妨げになっている。

【0021】本発明の目的は、配線間の容量を低下することができる液晶表示装置及びその製造方法を提供することにある。

【0022】

【課題を解決するための手段】上記した課題は、トランジスタと画素電極と走査線と信号線をそれぞれ複数有する表示部と、前記走査線と前記信号線に接続される周辺回路部を有する第1基板と、該第1基板に対向する第2基板と、前記第1基板と前記第2基板の間に挟まれる液晶とを有する液晶表示装置において、前記第1基板上の前記表示部における前記画素電極の上と下のいずれかに形成されたカラーフィルタと、前記第1基板上の前記周辺回路部において残された前記カラーフィルタ用のカラー樹脂膜とを有することを特徴とする液晶表示装置によって解決される。

【0023】または、第1基板の表示部と周辺回路部のそれぞれに一層目金属パターンを形成する工程と、前記一層目金属パターンの上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に二層目金属パターンを形成する工程と、前記二層目金属パターンの上にカラー樹脂膜を形成する工程と、前記カラー樹脂膜をパターニングすることにより、前記カラー樹脂膜からなるカラーフィルタ

を前記表示部の画素領域に形成するとともに、前記カラー樹脂膜を前記周辺回路部に残す工程と、前記周辺回路部の前記カラー樹脂膜の上に三層目金属パターンを形成する工程とを有することを特徴とする液晶表示装置の製造方法によって解決される。

【0024】次に、本発明の作用について説明する。

【0025】本発明の液晶表示装置によれば、表示部に形成されるカラーフィルタを構成するカラー樹脂膜を周辺回路部に残すようにしている。

【0026】従って、周辺回路部においてカラー樹脂によってその上下の導電パターン間の寄生容量が小さくなる。

【0027】しかも、カラー樹脂膜を表示部だけでなく周辺回路部に残すことにより、周辺回路部での第1基板と第2基板のギャップと表示部での第1基板と第2基板のギャップの差を小さくできる。

【0028】カラー樹脂膜を周辺回路部から除去すると、周辺回路部でのギャップが表示部のギャップよりも大きくなって、光が透過されない周辺回路部での無駄な液晶の量が多くなる。しかし、本発明では、周辺回路部のギャップと表示部のギャップの差が小さくなるので、周辺回路部での液晶の供給量を減らして液晶の浪費を減らすことができる。

【0029】また、周辺回路部でのカラー樹脂膜は、カラーフィルタに使用するカラー樹脂膜をそのまま残すことによって形成されるので、新たな工程を追加する必要がなくなるスループットの低下が避けられる。

【0030】

【発明の実施の形態】以下に本発明の実施形態を図面に基いて説明する。

(第1の実施の形態) 図2～図9は、本発明の第1実施形態の表示装置における薄膜トランジスタ(TFT)の形成工程を示す断面図である。

【0031】まず、図2(a)に示すように、ガラス、石英、樹脂フィルムのような絶縁性基板1の上に下地絶縁膜2として酸化シリコン(SiO_2)膜を150～300nm、好ましくは200nmの厚さに形成する。その下地絶縁膜2は、膜厚50nmの窒化シリコン膜と膜厚200nmの酸化シリコン膜を順に形成した二層構造であってもよい。なお、絶縁性基板として、例えばコーニング社の#1737ガラス基板を用いる。

【0032】続いて、下地絶縁膜2の上に非晶質シリコン膜3を20～100nm、好ましくは40～50nmの厚さに成膜する。それらの膜は、例えばPECVD(plasma-enhanced CVD)法により下地絶縁膜2と連続して形成される。さらに、絶縁性基板1を窒素雰囲気中に置き、450の温度で非晶質シリコン膜3を1時間アニールし、これにより非晶質シリコン膜3から水素を抜く。

【0033】次に、図2(b)に示すように、波長308

nm、エネルギー密度300～400mJ/cm²、好ましくは320～350mJ/cm²のエキシマレーザーを非晶質シリコン膜3の全面に照射して、非晶質シリコン膜3を多結晶シリコン膜3aに変える。

【0034】なお、非晶質シリコン膜3が、水素化非晶質シリコン(a-Si:H)でなく、低水素濃度非晶質シリコン(a-Si)である場合にはシリコン膜からの水素抜きのためのアニール工程は不要である。低水素非晶質シリコンは、例えば水素含有量1%以下の非晶質シリコンである。

【0035】続いて、図2(c)に示すように、レジスト(不図示)と反応性イオンエッチングを用いて多結晶シリコン膜3aをパターニングすることにより、画素部A、周辺回路部B、その他の回路部(不図示)の複数のトランジスタ形成領域にそれぞれ島状の多結晶シリコンパターン3b, 3c, 3dを形成する。

【0036】次に、図2(d)に示すように、下地絶縁膜2及び島状の多結晶シリコンパターン3b, 3c, 3d上にゲート絶縁膜4として SiO_2 膜をPECVD法により40～150nmの厚さに形成する。その SiO_2 膜成長の原料ガスとして、 SiH_4 と N_2O を用いる。なお、 SiO_2 膜の厚さとして、液晶表示装置に供給される電源電圧が16～18Vの場合には100～150nmとし、その電源電圧が8～10Vの場合には40～80nmとし、電源電圧が3.3～5Vの場合には20～60nmに設定する。

【0037】なお、ゲート絶縁膜4として、例えば、膜厚100～150nm、好ましくは120nmの酸化シリコン(SiO_2)膜と膜厚30～100nm、好ましくは40～50nmの窒化シリコン(SiN_x)膜をPECVD法により連続的に形成した二層構造を採用してもよい。

【0038】さらに、図2(e)に示すように、ゲート絶縁膜4上にアルミニウム合金(金属)、例えばAl-Nd、Al-Scをスパッタ法により300～500nm、好ましくは350nmの厚さに形成する。アルミニウム合金は、一層目の金属層(第1金属層)5である。この後に、ゲート電極形状を有するレジストパターン P_1 を一層目の金属層5上に形成する。そのレジストパターン P_1 のゲート部の幅をLとする。

【0039】そして、レジストパターン P_1 をマスクに用いてフォトリソグラフィ法により一層目の金属層5をパターニングし、これにより図3(a)に示すように、島状の多結晶シリコンパターン3b, 3c, 3dの上を通るゲート電極5b, 5c, 5dとその他の一層目の配線パターンを形成する。

【0040】この後に、後述する低不純物濃度領域(LDD領域)を確保するために、ゲート電極5b, 5c, 5dをウェットエッチング(等方エッチング)して、ゲート電極5b, 5c, 5dをレジストパターン P_1 より

も細くすることにより、ゲート電極5b, 5c, 5dの幅を L_1 ($L_1 < L$)にする。

【0041】これにより、ゲート電極5b, 5c, 5dの両側には、幅 L のLDD領域が確保される。普通、TFT信頼性を保証するために、LDD領域幅を $0.5 \sim 1.5 \mu\text{m}$ の範囲に制御する。本実施形態では、図3(a)に示すように、サイドエッチング時間の調整でLDD領域の幅 L を $0.8 \mu\text{m}$ 以下に制御する。勿論、サイドエッチング時間を調整すれば、 L を $0.5 \sim 1.5 \mu\text{m}$ の範囲内で自由に調整することができる。

【0042】なお、第1の金属層5をRIE法等により異方性エッチングした後に、ウェットエッチングでLDD領域を形成してもよい。

【0043】次に、図3(b)に示すように、レジストパターン P_1 をマスクに使用してゲート絶縁膜4をRIE法によりエッチングする。この場合、ゲート絶縁膜4を構成する SiO_2 と多結晶シリコンパターン3b, 3c, 3dとのエッチング選択比を、 $\text{SiO}_2/\text{Si} = 10/1$ の割合とするために、エッチングガスとして CHF_3 をなどの炭素含有ガスを使用する。これによれば、ゲート絶縁膜4はレジストパターン P_1 とほぼ同じ形状となるように垂直方向にエッチングされるので、ゲート電極5b, 5c, 5dの両側の幅 L の段差領域が自己整合的にゲート絶縁膜4のパターンに現れる。その段差の高さは、ゲート絶縁膜4を構成する SiO_2 膜の厚さと同じである。

【0044】次に、図3(c)に示すように、ゲート電極5b, 5c, 5dの上に残されたレジストパターン P_1 を剥離する。

【0045】その後、島状の多結晶シリコンパターン3b, 3c, 3dのうちゲート電極5b, 5c, 5dの両側に隣イオンをドーピングする。

【0046】不純物のドーピングは、RF放電方式又はDC放電方式のイオン源をもつプラズマドーピング装置を用いて絶縁性基板1全面の範囲で行われる。そのドーピングは、2ステップ方法で多結晶シリコンパターン3b, 3c, 3dへの燐イオン(P^+)のイオン注入である。燐を供給するためのガスとして、 $1 \sim 5\%$ に希釈されたホスフィン(PH_3)を用いる。

【0047】第1ステップにおいて、高イオン加速電圧でn型低不純物濃度領域(LDD領域又は n^- 領域)を形成し、第2ステップにおいて、低イオン加速電圧でn型高不純物濃度領域(HDD領域又は n^+ 領域)を形成する。この場合、高イオン加速電圧で注入された不純物は、ゲート絶縁膜4を貫通してその下の多結晶シリコンパターン3b, 3c, 3dに低不純物濃度のLDD領域を形成する。また、低イオン加速電圧で注入された不純物は、ゲート絶縁膜4を殆ど貫通せずに、ゲート絶縁膜4の側方に露出した領域に高不純物濃度のHDD領域を形成する。

【0048】第1ステップドーピングの代表的な条件

は、イオン加速電圧を 70 keV 、燐ドーズ量を $5 \times 10^{12} \sim 5 \times 10^{14} \text{ ions/cm}^2$ に設定する。第2ステップドーピングの代表的な条件は、イオン加速電圧を 10 keV 、燐ドーズ量を $5 \times 10^{14} \sim 1 \times 10^{15} \text{ ions/cm}^2$ に設定する。なお、ゲート絶縁膜4の厚さに応じてLDD領域の加速電圧を調整する必要がある。例えば、ゲート絶縁膜が $40 \sim 60 \text{ nm}$ の場合には、LDD領域ドーピングの加速電圧を $30 \sim 40 \text{ kV}$ に調整する。2ステップドーピング法の最大のメリットは、1回のドーピング工程で真空を破らずに自己整合的にHDD領域とLDD領域を形成できることである。

【0049】なお、LDD領域とHDD領域の形成順を逆にしてもよい。

【0050】以上のドーピングは、周辺回路部B内のp型のTFT6を形成する領域とn型のTFT7とを構成する島状の多結晶シリコンパターン3b, 3cと、画素部Aのn型のTFT8を構成する領域の島状の多結晶シリコンパターン3dに対して行われる。従って、この後にp型のTFT6のソース/ドレイン領域6s, 6dの n^+ 型を p^+ 型に反転させ、 n^- 型を p^- 型に反転させるための反転ドーピングを行う必要がある。

【0051】そこで、図4(a)に示すように、フォトリジスト P_2 によりn型のTFT7, 8を覆った状態で、RF又はDCの放電方式のイオン源をもつプラズマドーピング装置を用いてp型のTFT6に2ステップのホウ素(B^+)ドーピングを行う。反転ドーピングの第1ステップと第2ステップの B^+ ドーピングは、それぞれソース領域6sとドレイン領域6dに低抵抗のHDD領域(p^+ 領域)を形成し、さらにソース/ドレイン領域6s, 6dのうちゲート電極5bに近い部分に比較的高抵抗のLDD領域(p^- 領域)を形成することを目的とする。HDD領域形成用の反転ドーピングの第1ステップドーピングの代表的な条件は、イオン加速電圧が 10 keV 、ホウ素ドーズ量が $5 \times 10^{14} \sim 5 \times 10^{15} \text{ ions/cm}^2$ である。LDD領域形成用の反転ドーピングの第2ステップの代表的な条件は、イオン加速電圧が 60 keV 、ホウ素ドーズ量が $5 \times 10^{12} \sim 1 \times 10^{14} \text{ ions/cm}^2$ である。

【0052】なお、LDD領域とHDD領域の形成順を逆にしてもよい。

【0053】続いて、反転ドーピングのために使用したフォトリジスト P_2 を剥離する。

【0054】次に、図4(b)に示すように、波長 308 nm でエネルギー密度 $250 \sim 300 \text{ mJ/cm}^2$ のエキシマレーザー法、又はハロゲンランプ等を用いるランプ加熱法を用いてドーパントの活性化を行い、ソース領域6s, 7s, 8sとドレイン領域6d, 7d, 8dのシート抵抗を 5 k 以下、好ましくは 1 k 以下に設定し、LDD領域のシート抵抗を $1 \times 10^4 \sim 5 \times 10^6$ / 、好ましくは $5 \times 10^4 \sim 1 \times 10^5$ / に設

定する。なお、活性効率を改善するためにレーザ活性化工程前に、又はその後に 300 ~ 600 の熱活性化工程を追加してもよい。

【0055】以上により p 型の TFT と n 型の TFT の形成が終了する。なお、本実施形態では、表示部 A には n 型 TFT を形成し、周辺回路部 B には n 型と p 型の TFT 6, 7 を形成するが、これに限られるものではない。

【0056】次に、図 4 (c) に示す構造が形成されるまでの工程を説明する。

【0057】まず、PECVD 法を用いて、酸化シリコン (SiO_2) 膜を 60 nm の厚さでゲート絶縁膜 4 とゲート電極 5 b, 5 c, 5 d 上に形成し、さらに、この SiO_2 膜の上に窒化シリコン (SiN_x) 膜を 300 ~ 600 nm、好ましくは 400 nm の厚さで形成する。それら SiO_2 膜と SiN_x 膜の二層構造絶縁膜を第 1 層間絶縁膜 9 として用いる。これにより、TFT 6, 7, 8 は第 1 層間絶縁膜 9 により覆われた状態になる。なお、第 1 層間絶縁膜 9 として窒化シリコンと酸化シリコンの一方の膜を形成してもよい。

【0058】続いて、RIE 法とレジストパターンを用いるフォトリソグラフィ法により第 1 層間絶縁膜 9 をパターンニングすることにより、周辺回路領域 B に形成された n 型の TFT 7 と p 型の TFT 6 のそれぞれのソース領域 6 s, 7 s とドレイン領域 6 d, 7 d とゲート電極 5 b, 5 c 上にコンタクトホール 9 a ~ 9 f を形成し、同時に、表示部 A の n 型の TFT 8 のソース領域 8 s とドレイン領域 8 d 上にコンタクトホール 9 g, 9 h を形成する。なお、表示部 A のゲート電極 5 d は、図示しない一層目の配線であるゲートバスラインに接続さ

れる。

【0059】このパターンニング工程において、第 1 層間絶縁膜 9 を構成する SiN_x 膜のエッチング用のガスとして CF_4 と SF_6 と O_2 等の混合ガスを使用し、また、 SiO_2 膜のエッチング用のガスとして CHF_3 を使用する。

【0060】図示していないレジストパターンを除去した後、1%希釈フッ酸でコンタクトホール 9 a ~ 9 h 内の自然酸化膜を除去する。

【0061】次に、図 5 (a) に示すように、全てのコンタクトホール 9 a ~ 9 h の中と第 1 層間絶縁膜 9 の上に、スパッタ法により多層金属膜を形成する。多層金属膜として、例えば膜厚 50 nm の Ti 膜と膜厚 200 nm の Al 膜と膜厚 100 nm の Ti 膜を真空を破らずに順に連続成膜した 3 層構造がある。この多層金属膜は、二層目の金属層 (第 2 金属層) である。

【0062】続いて、フォトリソグラフィ法により多層金属膜をパターンニングしてソース領域 6 s, 7 s, 8 s とドレイン領域 6 d, 7 d, 8 d とゲート電極 5 b, 5 c からコンタクトホール 9 a ~ 9 h を介して引き出される配線パターン 10 a ~ 10 h を形成する。フォ

トリソグラフィ法では、エッチングのために RIE 法を使用し、Ti/Al/Ti の多層金属膜 (二層目の金属層) のエッチングガスとして塩素系エッチングガスを用いる。表示部 A の第 1 層間絶縁膜 9 上においては、TFT 8 のドレイン領域 8 d とドレインバスライン (不図示) に電氣的に接続される配線パターン 10 g と、TFT 8 のソース領域 8 s に接続されて上に引き出される配線パターン 10 h とが形成される。

【0063】第 1 層間絶縁膜 9 上の配線パターン 10 a ~ 10 h は、二層目の配線パターンである。

【0064】次に、図 5 (b) に示す構造を形成するまでの工程を説明する。

【0065】まず、二層目の配線パターン 10 a ~ 10 h を覆う窒化シリコン (SiN_x) 膜 11 を第 1 層間絶縁膜 9 上に PECVD 法により 50 ~ 200 nm、好ましくは 100 nm の厚さに形成する。この窒化シリコン膜 11 は、無機絶縁膜であって第 2 層間絶縁膜の一例である。なお、TFT 6, 7, 8 の長期信頼性に問題がなければ、窒化シリコン膜 11 の形成を省略してもよい。

【0066】その後、窒化シリコン膜 11 上に感光性のカラー (着色) 樹脂膜 12 を塗布し、これを露光し、現像することによってカラーフィルタ 12 f とする。

【0067】カラーフィルタ 12 f は、赤着色領域と緑着色領域と青着色領域を有する。即ち、赤 (R)、緑 (G) 又は青 (B) の顔料を含む複数の感光性のカラー樹脂膜 12 の各々について、塗布、露光、現像を順次行うことにより、表示部 A の画素部にカラーフィルタ 12 a を形成する。この場合、表示部 A での各色のカラーフィルタ 12 f は 1 層のカラー樹脂膜 12 からなる。さらに、周辺回路部 B に 1 層のカラー樹脂膜 12 を残す。赤に着色されたカラーフィルタ 12 r と緑色に着色されたカラーフィルタ 12 g と青色に着色されたカラーフィルタ 12 b は、互いに隣接するか、一方向に順次配置される。

【0068】なお、表示部 A 及び周辺回路部 B において、所定の二層目の配線パターン 10 a, 10 f, 10 h の上にはコンタクト部分が存在するので、そのコンタクト部分とその周囲の上からカラー樹脂膜 12 を除去することにより、カラー樹脂膜 12 に空洞のコンタクト領域 12 a を形成しておく。

【0069】カラー樹脂膜 12 の膜厚は、顔料濃度に応じて 0.5 ~ 4 μm の範囲内で調整してもよく、その濃度が高いほど薄くするのが好ましい。本実施形態のカラー樹脂膜の厚さは、1.3 μm に設定される。

【0070】また、カラー樹脂膜 12 の顔料の種類によっては、TFT 素子に有害な金属不純物の含有量が異なるために、周辺回路部 B では金属不純物の少ないカラー樹脂膜を残すことが好ましい。例えば、赤顔料、緑顔料、青顔料のうち赤顔料が金属不純物が最も少なく、青顔料が金属不純物が最も多い。

【0071】また、赤色、緑色、青色のカラー樹脂膜のうち、赤色のものが窒化シリコン膜11や無機絶縁膜に対して密着性が良いので、周辺回路部Bに残されるカラー樹脂膜12は赤色のものが好ましい。

【0072】次に、図5(c)に示すように、カラー樹脂膜12、カラーフィルタ12f及び窒化シリコン膜11の上に感光性のポリイミド、アクリル等の感光性の平坦化樹脂膜13を形成する。この平坦化樹脂膜13は、光透過性樹脂膜であり、3～4 μ mの厚さとするのが好ましい。本実施形態では、平坦化樹脂膜13として厚さ

3.0 μ mのポジ型感光性アクリル樹脂膜を形成する。【0073】さらに、図6(a)に示すように、感光性の平坦化樹脂膜13を露光し、さらに現像することにより、平坦化樹脂膜13にホール13a, 13b, 13cを形成する。例えば、表示領域AのTFT8のソース領域8sに電氣的に接続される二層目の配線パターン10hのコンタクト部分の上にホール13cを形成し、同時に、周辺回路部BのTFT6, 7のソース領域7s、ドレイン領域6d等に電氣的に接続される二層目の配線パターン10a, 10fのコンタクト部分の上にホール

13a, 13bを形成する。これらのホール13a, 13b, 13cは、カラー樹脂膜12に形成されたホール12aを貫通して形成される。【0074】続いて、平坦化樹脂膜13のホールを通してその下の窒化シリコン膜11をエッチングする。この場合、窒化シリコン膜11の平坦化樹脂膜13に対するエッチングレートを調整するために、窒化シリコン膜11のエッチングガスとして用いられるCF₄とSF₆とO₂の比率を調整する。

【0075】なお、平坦化樹脂膜13をマスクに使用して窒化シリコン膜11をエッチングする場合に、表示部A及び周辺回路部Bでのカラー樹脂膜は、ホール13a, 13bを形成する領域から既に除去されているので、窒化シリコン膜11にホール13a, 13bを形成する際にカラー樹脂膜をエッチングする必要はない。

【0076】次に、図6(b)に示すように、平坦化樹脂膜13上とホール13a～13c内に、スパッタ法により厚さ70nmのITO(透明導電膜)膜14と、厚さ50nmのチタン膜と厚さ200nmのアルミニウムを連続して形成する。Ti膜とAl膜は三層目の金属層15となる。そのTi膜は、ITO膜14とAl膜との直接接触による電気腐食を防止するために中間メタルブロッキング膜として形成されている。なお、中間メタルブロッキング膜としてモリブデン膜を形成してもよい。

【0077】次に、三層目の金属層15上にポジ型のフォトリソ resist 16を3 μ mの厚さに塗布する。そして、図6(c)に示すように、通常の露光量で表示部Aと周辺回路部Bを含む領域でフォトリソ resist 16を露光する。この1回目の露光時には、配線形状の遮光パターン17aと画素形状の遮光パターン17bを有する第1のレチ

クル(露光マスク)17を使用する。

【0078】このような1回目の露光により、第1のレチクル17を透過した光により、フォトリソ resist 16には光照射領域16aが形成される。1回目の露光はフル露光である。

【0079】続いて、フォトリソ resist 43を現像することなく、フォトリソ resist 43の2回目の露光工程に移る。

【0080】2回目の露光時には、図7(a)に示すように、表示部Aの少なくとも画素領域に向けて露光光を透過させる透過部と周辺回路部Bの全体を遮光する遮光部とを有する第2のレチクル(露光マスク)18を使用する。また、その2回目の露光時の露光光量を1回目の露光時の露光光量の1/3～2/3となるように設定する。これにより、第1回目の露光時に光を照射しなかったフォトリソ resist 16のうち画素領域をハーフ露光する。望ましくは、フォトリソ resist 16の初期膜厚を3.0 μ mとして2回目の露光がされた表示部Aでのフォトリソ resist 16の残り膜厚が1.5 μ mとなるようなハーフ露光とする。

【0081】フォトリソ resist 16の多重露光は例えばステッパ露光機を用いて行われる。

【0082】この結果、画素領域でのフォトリソ resist 43はハーフ露光部となり、その他の配線パターン部分では光は照射されない。しかも、三層目の金属層42及びITO膜41が残されない部分ではフォトリソ resist 43は通常量で既に露光光が照射された状態になっている。

【0083】この後に、フォトリソ resist 16を現像すると、図7(b)に示すように、周辺回路部Bに残るフォトリソ resist 16は通常の1回の露光を経た場合と同じ厚さ t_1 になる一方、表示部Aの画素領域上に残るフォトリソ resist 16はハーフ露光に起因して初期状態よりも薄い厚さ t_2 、例えば周辺回路部Bのフォトリソ resist 16よりも1/3～2/3程度に薄くなる。

【0084】次に、膜厚分布のあるフォトリソ resist 16のパターンをマスクに用いて三層目の金属層15を塩素系ガスをを用いたRIE法によりエッチングし、続いてシュウ酸により透明導電膜14をウェットエッチングする。この結果、図8(a)に示すように、周辺回路部Bには金属層15及びITO膜14よりなる三層目の配線パターン19a, 19bが形成され、かつ、表示部AにはITO膜14よりなる画素電極19cが形成される。

【0085】続いて、図8(b)に示すように、フォトリソ resist 16を酸素アッシングする。酸素アッシングの条件は、画素電極19c上のフォトリソ resist 16がなくなり、且つ周辺回路領域Bにはフォトリソ resist 16が残る条件とする。

【0086】そのようなフォトリソ resist 16の膜厚の調整方法として、アッシング時に生じるプラズマ中の炭素

(C)を検出し、その信号強度をモニターすることによりエッチングのエンドポイントを決めておく。ここで過剰のオーバーアッシングにならないように注意を払う。なお、三層目の金属層15をエッチンした後に画素電極19c上に残ったフォトレジスト16の膜厚をtとすると、周辺回路部Bでのレジスト16の膜厚はt+程度薄くなる。なお、はオーバーアッシングにより削られた厚さである。

【0087】この状態では、周辺回路部Bの三層目の配線パターン19a, 19bはフォトレジスト16に覆われた状態であり、表示部Aに残った三層目の金属層15は露出した状態になる。

【0088】次に、図9(a)に示すように、フォトレジスト16に覆われない画素電極19c上の三層目の金属層15をエッチングして除去する。この場合、画素電極19cを構成するITO膜14を残すため、ITOに対するエッチング選択比の高いエッチャントを使用してドライ又はウェットによりエッチングする。なお、周辺回路部Bにおいて、三層目の配線パターン19a, 19bを構成する金属層15はフォトレジスト16により保護されているのでエッチングされない。

【0089】この後に、図9(b)に示すように、フォトレジスト16を除去する。この場合に、平坦化樹脂膜13が薄層化されるおそれがあるので、フォトレジスト16をアッシングする際に平坦化樹脂膜13を残すため、ひいてはカラーフィルタ12fを損傷しないために、平坦化樹脂膜13の膜厚を調整する必要がある。但し、平坦化樹脂膜13とITO膜14の間に窒化シリコン、酸化シリコンなどの無機膜を形成してもよく、この場合には平坦化樹脂膜13がアッシングにより薄くなることは30ない。

【0090】次に、絶縁性基板1とその上の画素電極19c、三層目の配線パターン19a, 19b等を洗浄する。その後に、図9(b)に示すように、表示部Aと周辺回路部Bに樹脂製の配向膜20を印刷する。具体的には、配向膜20は、配線パターン19a, 19b、画素電極19c及び平坦化樹脂膜13の上に形成される。

【0091】これにより、液晶表示装置を構成するTFT基板の形成工程が終了する。

【0092】以上のように本実施形態によれば、TFT6, 7, 8が形成される絶縁性基板1の上にカラーフィルタ12fを形成したので、画素電極19cとカラーフィルタ12fのズレを防止することができる。これにより、TFT側の絶縁性基板1と対向基板(不図示)との張り合わせが容易になる。

【0093】しかも、周辺回路部Bにおいて二層目の配線パターン10a~10eと三層目の配線パターン19a, 19bとの間の寄生容量は、誘電率の低いカラー樹脂膜2の介在により低減することになる。

【0094】さらに、表示部Aに形成されるカラーフィ

ルタ12fを構成するカラー樹脂膜12を周辺回路部Bに残すことにより平坦化樹脂膜13が持ち上げられるので、周辺回路部Bと表示部Aでの段差が小さくなるか吸収される。この効果は、特に、平坦化樹脂膜12とカラーフィルタ12fの間に無機絶縁膜(不図示)を形成する構造を採用する場合に有効である。

【0095】なお、カラーフィルタ12fは画素電極19cの上に形成されてもよい。(第2の実施の形態)第1実施形態のTFT基板の周辺回路部Bでは、三層目の配線パターン19a, 19bとTFT6, 7の接続プラグをITO膜としているが、金属膜としてもよい。

【0096】また、第1実施形態ではカラーフィルタ12fの基になるカラー樹脂膜12を周辺回路部Bに残した。しかし、周辺回路部Bにカラー樹脂膜12を残さなくても平坦化樹脂膜13の上面の平坦化が基板全面に渡って十分なされる場合には、カラー樹脂膜12を周辺回路部Bから除去してもよい。

【0097】そのような構成を採用するTFT基板の形成工程を図10、図11に基づいて説明する。

【0098】図10(a)に示す構造を形成するまでの工程を説明する。

【0099】まず、第1実施形態の図5(a)に示す状態で、窒化シリコン膜11上に感光性のカラー樹脂膜12を形成する。その後に、感光性のカラー樹脂膜12を露光、現像して、表示部Aにカラーフィルタ12fを形成するとともに、周辺回路部Bからカラー樹脂膜12を除去する。カラーフィルタ12fは、赤、緑、青について個々に形成される。その形成方法は、第1実施形態のカラーフィルタ12fの形成方法と同じとする。

【0100】次に、図10(b)に示すように、カラーフィルタ12fと窒化シリコン膜11の上に平坦化樹脂膜13を形成する。さらに、図10(c)に示すように、平坦化樹脂膜13と窒化シリコン膜11にホール13a~13cを形成する。なお、平坦化樹脂膜13とホール13a~13cの形成は、第1実施形態と同じ方法を採用する。

【0101】その後に、ホール13a~13c内と平坦化樹脂膜13上に、例えば、三層目の金属層(第3金属層)としてスパッタ法により厚さ100~300nmのチタン膜を形成する。なお、三層目の金属層として、アルミニウム膜、アルミニウム合金膜、その他の金属材料膜を用いてもよい。

【0102】さらに、レジストパターン(不図示)とRIE法を用いてフォトリソグラフィ法により三層目の金属膜をパターニングすることにより、図11(a)に示すような三層目の配線パターン15a~15cを形成する。

【0103】これにより、周辺回路部Bにおいて、複数のTFT6, 7は、二層目の配線パターン10a~10h、三層目の配線パターン15a, 15bによって電気

的に接続される。また、表示部 A において、TFT 8 のソース領域 8 s は、二層目の配線パターン 10 h と三層目の配線パターン 15 c を介して平坦化樹脂膜 13 の上に引き出される。

【0104】この後に、平坦化樹脂膜 13 と三層目の配線パターン 15 a, 15 b, 15 c の上に、50 ~ 100 nm、好ましくは 70 nm の厚さのインジウム酸化材料、ITO などの透明導電膜をスパッタ法により形成する。そして、ウェットエッチングを用いる通常のフォトリソグラフィ法により透明導電膜をパターンニングし、図 11 (b) に示すように、表示部 A の TFT 8 のソース領域 8 s から引き出された三層目の配線パターン 15 c 上に接続される画素電極 20 を形成する。

【0105】さらに、水素混合ガス雰囲気、又は窒素雰囲気中で、絶縁性基板 1 上の膜を 200 ~ 300 の温度で加熱する。このような熱処理は、TFT 6, 7, 8 の特性改善と平坦化樹脂膜 13 の特性安定に効果がある。

【0106】この後に、第 1 実施形態と同様に、画素電極 21 と三層目の配線パターン 15 a, 15 b を覆う配向膜 20 を平坦化樹脂膜 13 上に形成する。

【0107】なお、周辺回路部 B において、三層目の配線パターン 15 a, 15 b がアルミニウム又はアルミニウム合金からなる場合を除いて、三層目の配線パターン 15 a, 15 b に沿った形状に透明導電膜を残し、これにより三層目の配線パターン 15 a, 15 b の上面と側面を覆ってもよい。

【0108】以上のように、本実施形態によれば、TFT 基板側にカラーフィルタ 12 f を形成したので、画素電極 19 c とカラーフィルタ 12 f のズレを防止することができる。これにより、TFT 側の絶縁性基板 1 と対向基板（不図示）との張り合わせが容易になる。また、周辺回路部 B においては、二層目の配線パターン 10 a ~ 10 f と三層目の配線パターン 15 a, 15 b の間の平坦化樹脂膜 13 は寄生容量を減らす程度の膜厚になるので、周辺回路の高速動作は殆ど低下しない。

（第 3 の実施の形態）第 1 実施形態において、周辺回路部 B には、赤、緑、青のいずれか、好ましくは赤のカラー樹脂膜 12 f を一層残しているが、二層又は三層であってもよい。ただし、平坦化樹脂膜 11 の膜厚との関係からみて、周辺回路部 B で三層のカラー樹脂膜を残すと厚くなり過ぎる場合には、二層のカラー樹脂膜を周辺回路部 Bに残すのが限度となる。

【0109】このように、周辺回路部 B においてカラー樹脂膜を複数の層構造、例えば図 12 に示すように、基板 1 に対して下側が赤色のカラー樹脂膜 12 r、上側が緑色の樹脂膜 12 g の二層構造で残すことにより、多層構造のカラー樹脂膜は黒の遮光膜として機能する。

【0110】これにより、絶縁性基板 1 の上側から光を入射する構造の液晶表示装置において、TFT 6, 7 へ

の光照射はカラー樹脂膜 12 r, 12 g によって遮られる。従って、TFT 6, 7 の光電効果によるリーク電流の増加など、光照射による不都合が解消されることになる。また、絶縁性基板 1 の下側から光を入射する構造の液晶表示装置においては、光の通り抜けがカラー樹脂膜 12 r, 12 g によって遮られる。

（第 4 の実施の形態）本実施形態では、三層目の金属層を選択スパッタ法により形成することにより上記した実施形態よりも短い工程で三層目の配線パターンの形成ことを説明する。マスク選択スパッタ法は、透明導電膜と三層目の金属層の形成順の相違によって種々の法がある。

【0111】図 13 (a), (b) は、透明導電膜を形成した後に三層目の金属層を形成する第 1 のマスク選択スパッタ法を示している。

【0112】まず、図 13 (a) に示すように、絶縁性基板 31 の上に TFT、一層目及び二層目の金属層、層間絶縁膜、平坦化樹脂膜等を含むデバイス構造部 32 を形成する。デバイス構造部 32 の最上層は平坦化樹脂膜となっている。続いて、通常のスパッタ法により透明導電膜である ITO 膜 33 をデバイス構造部 32 上に形成する。

【0113】さらに、図 13 (b) に示すように、デバイス構造部 32 の表示部 A をスパッタ用メタルマスク 35 によりスパッタソース源から遮蔽した状態で、三層目の金属層 34 として膜厚 50 nm の Ti 膜と膜厚 200 nm のアルミニウム膜をスパッタにより ITO 膜 33 上に形成する。これにより、デバイス構造部 32 の周辺回路部 B に ITO / Ti / Al の多層構造の膜 33, 34 が形成され、表示部 A には単層の ITO 膜 33 のみが形成されことになる。

【0114】図 14 (a), (b) は、三層目の金属層を形成した後に透明導電膜を形成する第 2 のマスク選択スパッタ法を示している。

【0115】まず、図 14 (a) に示すように、絶縁性基板 1 上にデバイス構造部 32 を形成する。続いて、スパッタ用メタルマスク 35 を用いてデバイス構造部 32 の表示部 A をスパッタソース源から遮蔽した状態で、スパッタ用メタルマスク 35 を通してスパッタにより三層目の金属層 34 として膜厚 50 nm の Ti 膜と膜厚 200 nm のアルミニウム膜を順にデバイス構造部 32 の平坦化樹脂膜上に形成する。

【0116】次に、図 14 (b) に示すように、スパッタ用メタルマスク 35 を絶縁性基板 31 の上方から外し、デバイス構造部 32 上と三層目の金属層 34 上に通常のスパッタ法により透明導電膜 33 として ITO 膜を形成する。これにより、周辺回路部 B には Ti / Al / ITO の多層構造の膜 33, 34 が形成され、表示部 A には単層の透明導電膜 33 のみが形成されことになる。

【0117】次に、図 13 (a), (b) に示した第 1 のマス

ク選択スパッタ法を用いて、画素電極と三層目の配線パターンを形成する工程を説明する。

【0118】まず、図2～図4に示したと同じ工程により、絶縁性基板1上にTFT6, 7, 8を形成し、さらに第1層間絶縁膜9、二層目の配線パターン10a～10hを形成する。それらの詳細は、第1実施形態と同じであるので省略する。ただし、二層目の配線パターン10a～10hの構成膜として、膜厚50nmのTi膜と膜厚200nmを順に形成した2層構造、又は、Mo、Ti、Al合金などの単層若しくは多層構造を形成する。

【0119】続いて、図15(a)に示すように、二層目の配線パターン10a～10hを覆う窒化シリコン膜11を第1層間絶縁膜9上にPECVD法により50～200nm、好ましくは100nmの厚さに形成する。さらに、窒化シリコン膜11の上に赤、緑、青の感光性のカラー樹脂膜12を順次塗布、露光、現像を行って表示部Aでは三色のカラーフィルタ12fを形成するとともに、周辺回路部Bではカラー樹脂膜12を一層又は二層残す。カラー樹脂膜12とカラーフィルタ12fについては上記実施形態と同じ方法でパターンニングを行う。この場合、ホール形成領域とその周辺からカラー樹脂膜12を除去する。

【0120】さらに、ポリイミド、アクリル等からなる感光性の平坦化樹脂膜13をカラー樹脂膜12と窒化シリコン膜11の上に形成する。この平坦化樹脂膜13は、その表面の平坦化を図るために3～4μm以上の膜厚を有するのが好ましい。なお、平坦化樹脂膜13の代わりに厚さ1μm以上のSiO₂、SiN_x等の無機膜を形成してもよい。

【0121】次に、図15(b)に示すように平坦化樹脂膜13を露光、現像することにより二層目の配線パターン10a～10hの上にホール13a～13cを形成する。画素を形成しようとする領域ではTFT8のソース領域8sに接続される二層目の配線の上にホール13cが形成される。さらに、平坦化樹脂膜13のホール13a～13cを通してその下の窒化シリコン膜11をエッチングする。この場合、窒化シリコン膜11の平坦化樹脂膜13に対するエッチングレートを調整するために、エッチングガスとして用いられるCF₄とSF₆とO₂の比率を調整する。

【0122】続いて、図15(c)に示すように、平坦化樹脂膜13上とホール13a～13c内に、スパッタ法により厚さ70nmの透明導電膜36としてITO膜を形成する。

【0123】さらに、図16(a)に示すように、スパッタ用メタルマスク35で表示部Aの透明導電膜36を遮蔽しながら、周辺回路部Bの透明導電膜36上に厚さ50nmのチタン(Ti)膜と厚さ200nmのアルミニウム(Al)をスパッタ法により連続して形成する。Ti膜とAl膜は三層目の金属層37である。そのTi膜は、第4実

施形態のように中間メタルブロッキング膜として機能する。なお、中間メタルブロッキング膜としてモリブデンを形成してもよい。

【0124】絶縁性基板1上で透明導電膜36のみが形成される表示部Aと三層目の金属層36及び透明導電膜36が形成される周辺回路部Bの配置を示すと図18の平面図ようになる。なお、三層目の金属層37が形成される領域は、表示部A以外の全部の領域としてもよい。

10 【0125】次に、スパッタ用メタルマスク35を絶縁性基板1の上方から外した後に、三層目の金属層37と透明導電膜36の上にポジ型のフォトレジスト38を1.5μmの厚さに塗布する。そして、図16(b)に示すように、フォトレジストを露光、現像することにより表示部Aには画素用レジストパターン38aを形成し、周辺回路部Bには配線用レジストパターン38bを形成する。

【0126】続いて、画素用レジストパターン38a、配線用レジストパターン38bをマスクに用いて、表示部Aでは透明導電膜36をエッチングし、周辺回路部Bでは三層目の金属層37とITO膜36を順次エッチングすると、図17(a)に示すように表示部Aには画素電極39aが形成され、周辺回路部Bには三層目の配線パターン39bが形成される。画素電極39aはホール13cを通して二層目の配線パターン10iに接続されてTFT8のソース領域8sに電気的に接続される。また、周辺回路領域Bの三層目の配線パターン39bは、ホール13a, 13b内に充填された透明導電膜36を介して二層目の配線パターン10a, 10fに接続されることになる。

【0127】さらに、図17(b)に示すように、配線用及び画素用のレジストパターン38a, 38bを酸素アッシングにより除去した後に、図17(c)に示すように、三層目の配線パターン38bと画素電極38aを覆う配向膜16を第2層間絶縁膜13上に形成する。

【0128】以上のように、本実施形態によれば、三層目の金属層37をマスク選択スパッタ法により周辺回路部Bにのみ形成し、表示部A及び周辺回路部Bに透明導電膜36を形成するようにしたので、透明導電膜36と金属層37を1回のフォトリソグラフィー工程によりパターンニングすることにより、画素電極38aと三層目配線パターン39bを形成することができ、製造工程が簡略化されて製造コストが削減される。

【0129】なお、図15～図18において、上記した他の実施形態と同じ符号は同じ要素を示している。

(第5の実施の形態) 本実施形態では、上記実施形態で示した一層目～三層目の金属層から構成された高周波信号伝送回路を有する周辺回路部について説明し、さらに、三層目の金属層を高周波回路の電磁波遮蔽に用いる構造について説明する。

【0130】図19は、上記実施形態で示した一層目～三層目の金属層をパターンニングすることにより形成された高周波信号伝送回路の平面図、図20は電磁波遮蔽構造の断面図である。

【0131】TFT基板において、高周波信号伝送回路40の高周波入力端子RD0～RD7、GD0～GD7、BD0～BD7に入力する赤(R)、緑(G)、青(B)の3色のデジタル表示信号(8ビット×3)は、高周波信号伝送回路40内の配線を通して周辺回路に入力される。また、TFT基板において、高周波伝送回路40の制御信号端子SA、SB、SC、SDに入力する高周波制御信号は、高周波信号伝送回路40内の配線を通して周辺回路に入力される。

【0132】表示フォーマットによって異なるが、XGA(水平1024×垂直768)の場合、マスタクロック周波数はシングルポートで約65MHz、デュアルポートで約33MHzである。このような高周波信号を送送する際、電磁波放射が発生して環境と人体に悪影響を与えるので、電磁波防止対策が必要である。

【0133】外部よりTFT基板に入力した高周波信号は、図19の平面図に示す高周波伝送回路40を介して高周波回路部41等に伝送される。図20は、図19のII-II線断面である。なお、図19は、配線等の配置を示している。

【0134】高周波伝送回路40は、周辺回路部Bにおいて、絶縁性基板41上の絶縁膜42の上に形成された一層目の配線51と、一層目の配線51と絶縁膜42を覆う第1層間絶縁膜43上に形成された二層目の配線52と、二層目の配線52と第1層間絶縁膜43の上方の平坦化樹脂膜45上に形成された固定電位金属パターン53とを有している。平坦化樹脂膜45と二層目の配線52の間には第2層間絶縁膜44となる窒化シリコン膜が形成され、また、第2層間絶縁膜44と平坦化樹脂膜45の間には、表示部Aでパターンニングされてカラーフィルタとなるカラー樹脂膜12が形成されている。

【0135】一層目の配線51は、例えば第1実施形態のゲート電極5b～5dを構成する一層目の金属層をパターンニングすることにより形成される。また、二層目の配線52は、例えば第1実施形態の二層目の配線パターン10a～10hを構成する二層目の金属層をパターンニングすることにより形成される。さらに、固定電位金属パターン53は、例えば第1実施形態の三層目の配線パターン15a～15cを構成する三層目の金属層をパターンニングすることにより形成される。

【0136】一層目の配線51は、図19の縦方向(Y方向)に間隔を置いて平行に複数形成されている。また、二層目の配線52は、図19の横方向(X方向)に間隔を置いて平行に複数形成されている。

【0137】1つの一層目の配線51は、第一層間絶縁膜43に形成されたコンタクトホール43aを介して1

つの二層目の配線52に接続されている。

【0138】二層目の配線52は、高周波入力端子RD0～RD7、GD0～GD7、BD0～BD7と制御信号端子SA、SB、SC、SDに接続され、一層目の配線51は、絶縁性基板1上に形成された高周波回路部50に接続されている。その高周波回路部50は、第1実施形態で示した周辺回路部B内のTFT、一層目の配線パターン、二層目の配線パターン等から構成される。

【0139】平坦化樹脂膜45上の固定電位金属パターン53は、周辺回路部Bにおいて、一層目の配線51と二層目の配線52と高周波回路部50を被覆する大きさの形状にパターンニングされている。また、固定電位金属パターン53は、接地電位その他の固定電位に電氣的に接続され、これにより高周波信号の伝送により発生する電磁波を遮蔽する。

【0140】しかも、固定電位金属パターン53と二層目の配線52の間にはカラー樹脂膜12が形成されているので、その間の寄生容量は極めて小さい。

【0141】図21(a)、(b)は、本実施形態の変形例を示す平面図及び断面図である。

【0142】図21(a)、(b)において、TFT基板に形成された周辺回路内の2つの高周波回路50a、50bは、第一層間絶縁膜43の上に形成された第1端子54及び第2端子55にそれぞれ接続されている。第1端子54と第2端子55は、それぞれ二層目の配線52の元となる二層目の金属層をパターンニングすることによって形成される。

【0143】また、第2層間絶縁膜44と平坦化樹脂膜45の間にはカラー樹脂膜12が形成されている。さらに、平坦化樹脂膜45上には、固定電位金属パターン43を構成する三層目の金属層をパターンニングすることにより形成されたブリッジ配線53aが複数形成されている。ブリッジ配線53aの一端は、平坦化樹脂膜及び第2層間絶縁膜44に形成されたホール44aを通して第1端子54に接続され、その他端は第2層間絶縁膜44に形成された別のホール44bを通して第2端子55に接続されている。これにより、2つの高周波回路50a、50bは、第1端子54、第2端子55及びブリッジ配線53aを介して電氣的に接続されている。

【0144】また、周辺回路部Bにおいて、一層目の配線51と二層目の配線52と高周波回路50a、50bを覆う大きさにパターンニングされた固定電位金属パターン53は、接地電位GNDその他の固定電位に電氣的に接続されている。

【0145】この場合、三層目の金属層53は、ブリッジ配線53aの周囲で同じ三層目の金属層から形成されている。そして、ブリッジ配線53aの周囲に3～50μmの隙間Sを介して互いに絶縁されている。

【0146】なお、三層目の金属層をパターンニングして形成された配線パターンにより同一の高周波回路内の素

子同士を接続する構造を採用してもよい。

【0147】上記した三層目の金属層は、より低い抵抗値を得るために、アルミニウムを含む金属層で構成し、シート抵抗を10 / 以下に設計することが望ましい。本実施形態では、三層目の金属層として膜厚50nmのチタンと膜厚200nmのアルミニウムの二層構造の金属層を採用し、その二層構造の金属層のシート抵抗は0.2 / 以下である。

【0148】以上のように、平坦化樹脂膜45上の三層目の金属層をパターニングして形成した固定電位金属パターン53は、接地電位GNDに接続されるために、高周波伝送配線による電磁波の輻射が抑えられる。この結果、高周波伝送回路50a, 50bは、高周波信号を高いS/N(信号/雑音)比で確実に伝送することができる。しかも、TFT基板からの電磁波輻射が固定電位金属パターン53によって小さくなるので、情報システム全体の電磁波輻射が小さくなり、上記した構造は環境にやさしい情報システムの構築に寄与する。さらに、上記した構造の高周波伝送回路は、高周波回路の電氣的共振を防ぐことができるので、パネル動作安定性が改善される。

【0149】また、高周波回路50a, 50bとその上方のブリッジ配線53aの間には、誘電率の低い平坦化樹脂膜45とカラー樹脂膜12が介在しているので、それらの間の寄生容量は低減して高速動作を促進できる。しかも、表示部Aではカラーフィルタ12fによって平坦化樹脂膜45が持ち上げられているが、周辺回路部Bでもカラーフィルタ12fを構成するカラー樹脂膜12が残されているので、カラー樹脂膜12の形成によって周辺回路部Bと表示部Aで段差が生じにくくなっている。

(第6の実施の形態) 本実施形態では、TFT基板上において、三層目の金属膜から形成された低い抵抗値を有するコモン電極を有する液晶表示装置について説明する。

【0150】図22は、第4実施形態に示した構造を有する液晶表示装置のコモン電極の構造を示す平面図である。図23は、図22のIII-III線断面図である。図22、図23において、第4実施形態と同じ符号は同じ要素を示している。

【0151】その液晶表示装置のTFT基板60において、中央領域の表示部Aには画素電極39aとTFT8を有する画素セルがマトリクス状に形成され、また、周辺回路部Bのうち表示部Aの左右の領域にはゲート側周辺回路61が形成され、表示部Aの一端側にはデータ側周辺回路62が形成されている。さらに、表示部Aの他端側には他の周辺回路63が形成されている。

【0152】また、TFT基板60上において、データ側周辺回路61のさらに一端側にはパネル端子64とコモン電極端子65が形成されている。パネル端子64と

コモン電極端子65は、ゲート側周辺回路61、データ側周辺回路62等に電氣的に接続されている。

【0153】さらに、TFT基板60上の周辺回路部Bでは、三層目の金属膜のパターニングにより遮光膜を兼ねたTFT側トランスファーパッド66が形成されている。このTFT側トランスファーパッド66は、第5実施形態の固定電位金属パターンであってもよいし、また、金属膜と透明導電膜の二層構造であってもよい。なお、TFT側トランスファーパッド66は、第4実施形態で説明したように、三層目の金属膜とITO膜から構成されてもよい。また、TFT側トランスファーパッド66の一部が図21に示すようにパターニングされて、データ側周辺回路域62、ゲート側周辺回路61、他の周辺回路63の一部を構成してもよい。

【0154】なお、表示部Aの一端、他端、左右は、それぞれ視聴者が液晶表示装置を見た状態の方向であり、その一端は上側で、他端は下側である。

【0155】また、TFT基板60上では、上記した実施形態と同様に、周辺回路部Bにおいて平坦化樹脂膜13と窒化シリコン膜(層間絶縁膜)11の間にはカラー樹脂12が形成され、また、表示部Aにおいてカラーフィルタ12fが形成されている。

【0156】図23に示すように、液晶表示装置の対向基板70は、光透過性の絶縁性基板71と、ITOからなる対向電極72と、対向電極に接続される対向側パッド電極73を有している。対向側パッド電極73は、対向電極72と同一膜のITOから形成してもよい。

【0157】対向基板70とTFT基板60は、対向電極72がTFT側トランスファーパッド66に向かい合うように、シール67を介して張り合わされる。シール67は、TFT基板60上でTFT側トランスファーパッド66の外側に枠状に形成されている。そのシール67は、TFT基板60の他端側に液晶注入口66hを有している。そして、張り合わされた対向基板70とTFT基板60の間には液晶注入口hを通して液晶74が導入されている。

【0158】なお、TFT側トランスファーパッド66の下側にカラー樹脂膜12が形成される場合には、そのカラー樹脂膜12はシール67の下方からは除去されることが好ましい。これは、カラー樹脂膜12がその上下にある窒化シリコン膜11と平坦化樹脂膜13の密着性を低下させるおそれがあるからである。

【0159】対向基板70側の対向側パッド電極73とTFT基板60側のTFT側トランスファーパッド66は、トランスファー導電体を介して接続されている。トランスファー導電体は、周辺回路部Bのコナに形成されるコーナートランスファー68と、TFT側トランスファーパッド66の外縁部に沿って形成される線状トランスファー69がある。トランスファー導電体68, 69は、導電性ファイバ、ボール状の導電ペースト、導電

柱などから構成される。

【0160】周辺回路部Bに沿って形成される線状トランスファースタック69によれば、対向側パッド電極73とTFT側トランスファースタック66との接触面積が広がって、接触抵抗と配線抵抗が大幅に低減される。なお、線状トランスファースタック69の形成位置は、周辺回路部Bで自由に選択される。

【0161】また、TFT基板60側では、平坦化樹脂膜13と第2層間絶縁膜11に形成されたホール11aを通してTFTトランスファースタック66とコモン電極端子65が電気的に接続されているので、対向基板70側の対向電極72はトランスファースタック68、69を介してコモン電極65に電気的に引き出される。

【0162】対向基板60上の対向電極72と対向側パッド電極73は、例えば図24に示すような平面形状となっている。

【0163】図24において、対向基板60に形成された対向電極72は、TFT基板60上の複数の画素セルに対向して配置される複数のストライプ状対向電極から構成されている。1つの画素セルは、1つのTFT8と1つの画素電極39aから構成される。

【0164】ストライプ状対向電極は、水平方向に並んだ画素セル列のうち、奇数番の列に対向する奇数列対向電極72aと、偶数番の列に対向する偶数列対向電極72bとが交互に間隔をおいて形成されている。さらに、奇数列対向電極72aは表示部Aの左側方に形成される第1対向側パッド電極73aに接続され、また、偶数列対向電極72bは表示部Aの右側方に形成される第2対向側パッド電極73bに接続されている。

【0165】第1対向側パッド電極73aは、TFT基板60側の表示部Aの一側に形成された第1TFT側トランスファースタック66aに線状トランスファースタック69aを介して接続されている。また、第2対向側パッド電極73bは、TFT基板60側の表示部Aの他側に形成された第2TFT側トランスファースタック66bに線状トランスファースタック69bを介して接続されている。

【0166】第1TFT側トランスファースタック66aは第1コモン電極端子65aに電気的に接続され、また、第2TFT側トランスファースタック66bは第2コモン電極端子65bに接続されている。

【0167】図24に示すような構造によれば、表示部Aの両側において、TFT側トランスファースタック73a、73bと対向側パッド電極73a、73bの線状トランスファースタック69a、69bを介した接触面積が従来よりも広いので、TFT側トランスファースタック73a、73bと対向側パッド電極73a、73bの接触抵抗と配線抵抗が大幅に低減される。

【0168】なお、図24と異なるような対向電極を形成してもよい。例えば、図示しないが、垂直方向に並ぶ

複数の画素列に対応した奇数列と偶数列のストライプ状対向電極を形成し、奇数列のストライプ状対向電極を表示部Aの上側の対向側パッド電極に接続し、偶数列のストライプ状対向電極を表示部Aの下側の対向側パッド電極に接続するようにしてもよい。

【0169】本実施形態においては、対向基板70の共通電極72に電気的に接続されるトランスファースタック68、69と、対向基板70の周辺回路部Bにおいて平坦化樹脂膜13の下側に形成される第1層目金属層5b、5c、第2層目金属層10a~10hと、平坦化樹脂膜13の上に形成されてトランスファースタック68、69に接続される形状を有する第3層目金属層66とをさらに有する。

(第7の実施の形態)図25は、第7実施形態の液晶表示装置の表示部とデータドライバとゲートドライバの接続関係を示す回路図であり、第5実施形態で説明した高周波伝送回路と電磁波遮蔽構造を有するとともに、第6実施形態で示した低抵抗トランスファースタック構造を有している。また、図26は、液晶表示装置の一部の断面図である。なお、図25、図26において、上記した他の実施形態と同じ符号は同じ構成要素を示している。

【0170】図25、図26では、表示部Aとその周辺の回路にはそれぞれ第1実施形態と同様に低温で形成したポリシリコンからなるTFTを有している。

【0171】液晶表示装置は、画素マトリクスからなる表示領域Aと、表示部A周辺のデータ側周辺回路62であるデータドライバ62aと、表示部A周辺のゲート側周辺回路61であるゲートドライバ61aを有している。表示部A内の画素マトリクスは、例えば、R、G、Bの各サブ画素数が水平4800×垂直1200で構成されている。

【0172】絶縁性基板1上において、表示部Aは、ゲートドライバ61aに接続される走査線(ゲート線)81と、データドライバに接続される信号線(データ線)82と、TFTと画素から構成される画素セル(サブ画素)80を有している。複数の画素セル80は、絶縁性基板1上方で縦横に配置されて画素マトリクスを構成する。ブロック選択スイッチ62jに一端が接続された信号線82の他端は、パネル試験/リペア/予備受電回路のような他の周辺回路63に接続される。

【0173】絶縁膜基板1側の画素セル83では、2つのTFT8を有している。一方のTFT8のソース領域8aと他方のTFT8のドレイン領域8bが接続され、さらにそれらのゲート電極5dが同じ走査線81に接続されるダブルゲート構造を採用している。信号線82に直に接続されない他方のTFT8のソース領域8sには画素電極39aと補助容量Csが接続される。

【0174】対向基板70側では、垂直方向に長いストライプ状の対向電極72が形成されている。そして、1本の対向電極72と1つの画素電極39aとそれらの間

の液晶74は、1つの液晶セル74aを構成する。奇数列と偶数列の液晶セル74aは、それぞれ図24に示した第1コモン電極端子65aと第2コモン電極端子65bのいずれかに電氣的に引き出される。

【0175】図25に示したゲートドライバ61aは、ゲート側入力端子61b、シフトレジスタ回路61c、レベルシフタ61d、出力バッファ61eから構成されている。シフトレジスタ回路61cの動作電圧は5Vなので、外部駆動回路（不図示）の信号レベルと同じであるので、ゲートドライバ61aは接続容易なインターフェースになっている。シフトレジスタ回路61cの出力信号がレベルシフタ61dによって8Vに上げられた後に、出力バッファ61eにより走査線81に出力される。

【0176】データドライバ62aは、データ側入力端子62b、信号入力部62c、信号処理部62d、ビデオ信号線62e、シフトレジスタ62f、2系統のレジスタ（ラッチ）62g、D-Aコンバータ62h、アナログ出力バッファ62i、ブロック選択スイッチ62jを有している。データ入力端子62bは、データ入力端子と、制御信号、電源等の入力端子を有し、データ入力端子に入力したデータは、信号入力部62cを通してビデオ信号線62eに伝達され、さらにシフトレジスタ62fからブロック選択スイッチ62jを通して表示部A内の信号線82まで順次送られる。また、データ入力端子62bに入力した制御信号は、信号入力部62cを通して信号処理部62dに送られ、さらにシフトレジスタ62e、シフトレジスタ62g、2系統レジスタ62g、D-Aコンバータ62h、アナログ出力バッファ62i、ブロック選択スイッチ62jを制御する。

【0177】本実施形態では、UXGA表示フォーマットを採用し、データクロック周波数を162MHzとしている。パソコンからの表示信号（データ）と制御信号は、TMD5シリアルポート（図示せず）によって、パネル制御板（PT板）に入力され、そこでTMD5レシーバ（図示せず）によって、8ビットのデジタル信号に変換される。データ入力信号の本数、即ちビデオ信号線によって、パネルのクロック周波数が異なる。例えば、1クロックで1画素（RGBで1画素）分の8ビットデータを入力する場合、 $8 \times 3 = 24$ 本のビデオ信号線が必要で、クロック周波数80MHzであり、4画素分入力の場合、ビデオ信号線96本、クロック周波数40MHzである。

【0178】本実施形態では、96本のビデオ信号線を採用したので、クロック周波数を40MHzとする。また、データ入力信号の振幅を5Vとする。コモン反転を採用しているので、5V液晶を採用した場合、データ信号のレベルを5V程度まで下げられ、パネルの消費電力が大幅に低減される。

【0179】データドライバ62aのビデオ信号線に、

第5実施形態で示した三層構造のメタル配線による高周波伝送回路40が採用され、信号入力部62c、シフトレジスタ62f等の上に三層目の金属膜からなる電磁波輻射防止構造として固定電位金属パターン53が形成される。その詳細は、第5実施形態で説明したので、ここではそれ以上の説明を省略する。

【0180】図26は、本実施形態の表示装置のパネル断面である。周辺回路部Bでは、第6実施形態で説明したトランスファ構造が採用されている。即ち、三層目の金属膜からなる遮光膜兼TF T側トランスファパッド66が形成され、遮光膜兼TF T側トランスファパッド66はトランスファ導電体68、69を介して対向基板70上の対向側パッド電極73に接続され、これによりTF T側のトランスファパッド66と対向基板70側の対向電極72はコモン電極65に電氣的に接続される。なお、トランスファパッド66は透明導電膜から構成してもよい。

【0181】また、平坦化樹脂膜13とTF T6~8の間において、表示部Aでは赤、緑、青のカラーフィルタ12r、12g、12bが形成され、周辺回路部Bにはカラーフィルタ12r、12g、12bを構成するカラー樹脂膜12、例えば赤色のカラー樹脂膜12が残されている。この場合、カラー樹脂膜12は、シール67と第2層間絶縁膜11の間の密着性の劣化を防止するために、シール67の下には残されない。

【0182】TF T基板60上の表示部Aでは画素電極39aを配向膜83が形成され、また、対向基板70の上では対向電極72を覆う配向膜84が形成されている。それらの配向膜84は、周辺回路部Bの一部に延在されてもよい。

【0183】なお、対向基板70の透明の絶縁性基板71のうち対向電極72とは逆の面の上に偏光板等の第1の光学フィルム85が形成されている。また、TF T基板60の絶縁性基板1のうちTF T6~8とは逆の面の上に偏光板等の第2の光学フィルム86が形成されている。

【0184】本実施形態によれば、高周波数で安定した動作が可能な周辺回路部Bと表示部Aが一体となったパネルが実現される。また、コモン電極65とトランスファ構造66、68、69、73の低抵抗化により、高性能、低消費電力のコモン反転駆動液晶パネルが実現される。

【0185】さらに、カラー樹脂膜12を周辺回路部Bに残しているので、周辺回路部Bにおける二層目の配線パターン10a~10fと三層目の金属膜（66）の間の寄生容量の低減が図れる。

【0186】本実施形態の液晶表示装置において、絶縁性基板1の周辺回路部Bにおいて平坦化樹脂膜13の下側に形成される第1層目金属層5b、5c、第2層目金属層10a~10fと、周辺回路部Bにおける平坦化樹

脂膜 13 の上に形成されて周辺回路部 B の構成に関わる第 3 層目の金属層 66 とを有してもよい。

【0187】または、本実施形態の表示装置において、絶縁性基板 1 の周辺回路部 B において平坦化樹脂膜 13 の下側に形成される第 1 層目金属層 5b, 5c、第 2 層目金属層 10a ~ 10f と、平坦化樹脂膜 13 の上に形成されて周辺回路部 B を遮光する形状を有する第 3 層目金属層 66 とを有してもよい。

【0188】または、本実施形態の表示装置において、絶縁性基板 1 の周辺回路部 B において平坦化樹脂膜 13 10 の下側に形成される第 1 層目金属層 5b, 5c、第 2 層目金属層 10a ~ 10f と、平坦化樹脂膜 13 の上に形成されて周辺回路部 B を電磁波シールドする形状を有する第 3 層目金属層 66 とをさらに有してもよい。

【0189】なお、上記した各実施形態においては、特に示さない場合でも、第 3 層目金属層は、単層金属膜、多層金属膜、透明導電膜含有多層膜のいずれかにより構成されている。

(付記 1) トランジスタ、画素電極、走査線及び信号線を有する表示部と、前記走査線と前記信号線に接続される周辺回路部とを有する第 1 基板と、前記画素電極に対向する共通電極を有する第 2 基板と、前記第 1 基板と前記第 2 基板の間に挟まれる液晶とを有する液晶表示装置において、前記第 1 基板上の前記表示部に形成されたカラーフィルタと、前記第 1 基板において前記周辺回路部の上に残されたカラーフィルタ用のカラー樹脂膜とを有することを特徴とする液晶表示装置。

(付記 2) 前記表示部において、前記カラーフィルタの上に平坦化樹脂膜が形成され、該平坦化樹脂膜の上に前記画素電極が形成されていることを特徴とする付記 1 に記載の液晶表示装置。

(付記 3) 前記周辺回路部において、前記カラー樹脂膜の上に平坦化樹脂膜が形成されていることを特徴とする付記 1 に記載の液晶表示装置。

(付記 4) 前記周辺回路部の前記平坦化樹脂膜上に金属パターンが形成されていることを特徴とする付記 3 に記載の液晶表示装置。

(付記 5) 前記周辺回路部内の前記カラー樹脂膜は赤色顔料を含んでいることを特徴とする付記 1 乃至付記 4 のいずれかに記載の液晶表示装置。

(付記 6) 前記周辺回路部における前記カラー樹脂膜は二層以上の構造を有していることを特徴とする付記 1 乃至付記 5 に記載の液晶表示装置。

(付記 7) 前記周辺回路部の周囲で前記第 1 基板と前記第 2 基板を張り合わせるためのシールをさらに有することを特徴とする付記 1 乃至付記 6 のいずれかに記載の液晶表示装置。

(付記 8) 前記第 1 基板上で前記カラー樹脂膜の上方には固定電位となる第 1 導電性パッドが形成されていることを特徴とする付記 1 乃至付記 7 のいずれかに記載の液 50

晶表示装置。

(付記 9) 前記第 2 基板において、前記表示部に対向する第 1 領域に形成された対向電極と、該第 1 領域の周辺の第 2 領域に形成されて前記対向電極に接続される第 2 導電性パッドとを有し、互に対向する前記第 2 導電性パッドと前記第 1 導電性パッドの間に形成されるトランスファ導電体をさらに有することを特徴とする付記 8 に記載の液晶表示装置。

(付記 10) 前記トランスファ導電体は、前記周辺回路部のコーナーに形成されていることを特徴とする付記 9 に記載の液晶表示装置。

(付記 11) 前記トランスファ導電体は、前記周辺回路部で線状に形成されていることを特徴とする付記 9 に記載の液晶表示装置。

(付記 12) 第 1 基板の表示部と周辺回路部のそれぞれに一層目金属パターンを形成する工程と、前記一層目金属パターンの上に第 1 絶縁膜を形成する工程と、前記第 1 絶縁膜上に二層目金属パターンを形成する工程と、前記二層目金属パターンの上にカラー樹脂膜を形成する工程と、前記カラー樹脂膜をパターンングすることにより、前記カラー樹脂膜からなるカラーフィルタを前記表示部の画素領域に形成するとともに、前記カラー樹脂膜を前記周辺回路部に残す工程と、前記周辺回路部の前記カラー樹脂膜の上に三層目金属パターンを形成する工程とを有することを特徴とする液晶表示装置の製造方法。

(付記 13) 前記周辺回路部に残される前記カラー樹脂膜は少なくとも赤色に着色された膜であることを特徴とする付記 12 に記載の液晶表示装置の製造方法。

(付記 14) 前記二層目金属パターンと前記カラー樹脂膜の間に第 2 絶縁膜を形成する工程をさらに有することを特徴とする付記 12 又は付記 13 に記載の液晶表示装置の製造方法。

(付記 15) 前記カラー樹脂膜及び前記カラーフィルタと前記三層目金属パターンの間に平坦化樹脂膜を形成する工程をさらに有することを特徴とする付記 12 乃至付記 14 のいずれかに記載の液晶表示装置の製造方法。

(付記 16) 前記三層目金属パターンは、前記周辺回路部において固定電位金属パターンであることを特徴とする付記 12 乃至付記 15 のいずれかに記載の液晶表示装置の製造方法。

(付記 17) 前記第 1 基板に対向する第 2 基板を用意し、前記第 2 基板と前記第 1 基板とを前記周辺回路領域の周囲で且つ前記カラー樹脂膜より外側でシールを介して張り合わせる工程を有することを特徴とする付記 12 乃至付記 16 のいずれかに記載の液晶表示装置の製造方法。

【0190】

【発明の効果】以上述べたように本発明の液晶表示装置によれば、表示部に形成されるカラーフィルタを構成するカラー樹脂膜を周辺回路部にも形成するようにしたの

で、周辺回路部のカラー樹脂によってその上下の導電パターン間の寄生容量を小さくすることができる。

【0191】しかも、カラー樹脂膜を表示部だけでなく周辺回路部に残すことにより、周辺回路部での第1基板と第2基板のギャップと表示部での第1基板と第2基板のギャップの差を小さくできるので、周辺回路部での液晶の供給量を減らして液晶の浪費を減らすことができる。

【0192】また、周辺回路部でのカラー樹脂膜は、カラーフィルタに使用するカラー樹脂膜をそのまま残すことによって形成されるので、新たな工程を追加する必要がなくてスループットの低下を避けらるることができる。

【図面の簡単な説明】

【図1】液晶表示装置のTFT基板の従来技術を示す断面図である。

【図2】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その1）である。

【図3】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その2）である。

【図4】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その3）である。

【図5】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その4）である。

【図6】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その5）である。

【図7】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その6）である。

【図8】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その7）である。

【図9】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その8）である。

【図10】本発明の第2実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その1）である。

【図11】本発明の第2実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その2）である。

【図12】本発明の第3実施形態に係る液晶表示装置のTFT基板の断面図である。

【図13】本発明の第4実施形態に用いる第1のマスク選択スパッタ法を示す工程図である。

【図14】本発明の第4実施形態に用いる第2のマスク選択スパッタ法を示す工程図である。

【図15】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その1）である。

【図16】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その2）である。

【図17】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その3）である。

【図18】本発明の第4実施形態に使用される三層目の金属層の形成領域を示す平面図である。

【図19】本発明の第5実施形態に係る表示装置の高周

波伝送回路の平面図である。

【図20】本発明の第5実施形態に係る表示装置の高周波伝送回路の断面図である。

【図21】本発明の第5実施形態に係る表示装置の別の高周波伝送回路の平面図と断面図である。

【図22】本発明の第6実施形態に係る液晶表示装置のTFT基板と対向基板の接続構造を示す平面図である。

【図23】本発明の第6実施形態に係る液晶表示装置の部分断面図である。

【図24】本発明の第6実施形態に係る液晶表示装置の対向電極とTFT側トランスファパッドの形状の一例を示す平面図である。

【図25】本発明の第7実施形態に係る液晶表示装置の表示部と周辺回路部の回路ブロック図である。

【図26】本発明の第7実施形態に係る液晶表示装置の部分断面図である。

【符号の説明】

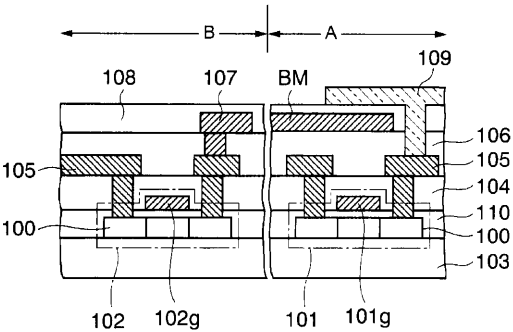
1...基板、2...下地絶縁膜、3...非晶質シリコン膜、3a...多結晶シリコン膜、3b、3c、3d...多結晶シリコンパターン、4...ゲート絶縁膜、5...一層目の金属層、5b、5c、5d...ゲート電極、6、7、8...薄膜トランジスタ(TFT)、6s、7s、8s...ソース領域、6d、7d、8d...ドレイン領域、9...第1層間絶縁膜、10a~10h...二層目の配線パターン、11...窒化シリコン膜(第2層間絶縁膜)、12...カラー樹脂膜、12f、12r、12g、12b...カラーフィルタ、13...平坦化樹脂膜、14...ITO膜、15...二層目の金属膜、15a~15c...三層目の配線パターン、16...レジスト、17...第1のレチクル、18...第2のレチクル、19a、19b...配線パターン、19c...画素電極、20...配向膜、21...画素電極、31...絶縁性基板、32...デバイス構造部、33、36...透明導電膜、24、37...三層目の金属層、35...スパッタ用メタルマスク、38a、38b...レジストパターン、39a...画素電極、39b...三層目の配線パターン、40...高周波伝送回路、41...絶縁性基板、42...絶縁膜、43...第1層間絶縁膜、43a...ホール、44...第2層間絶縁膜、45...平坦化樹脂膜、50、50a、50b...高周波回路部、51...一層目の配線、52...二層目の配線、53...固定電位金属パターン(三層目の金属パターン)、53a...ブリッジ配線(三層目の配線)、60...TFT基板、61...ゲート側周辺回路、61a...ゲートドライバ、61b...ゲート側入力端子、61c...シフトレジスタ、61d...レベルシフタ、61e...出力バッファ、62...データ側周辺回路、62a...データドライバ、62b...データ側入力端子、62c...信号入力部、62d...信号処理部、62e...ビデオ信号線、62f...シフトレジスタ、62g...レジスタ、62h...D-Aコンバータ、62i...アナログ出力バッファ、62j...ブロック選択スイッチ、63...他の周辺回路、64...パ

31

ネル端子、65、65a、65b...コモン電極端子、66、66a、66b...TFT側トランスファーパッド、66h...液晶注入口、67...シール、68...コーナートランスファー、69...線状トランスファー、70...対向基板、71...絶縁性基板、72、72a、72b...対向*

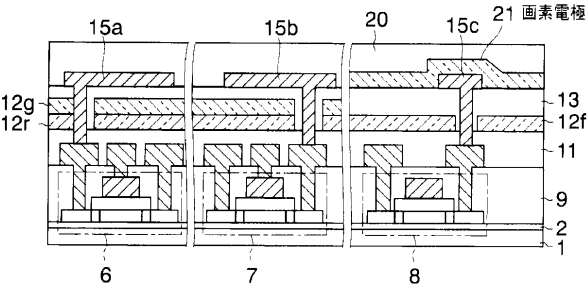
【図1】

従来技術を示す断面図



【図12】

本発明の第3実施形態に係る液晶表示装置のTFT基板の断面図

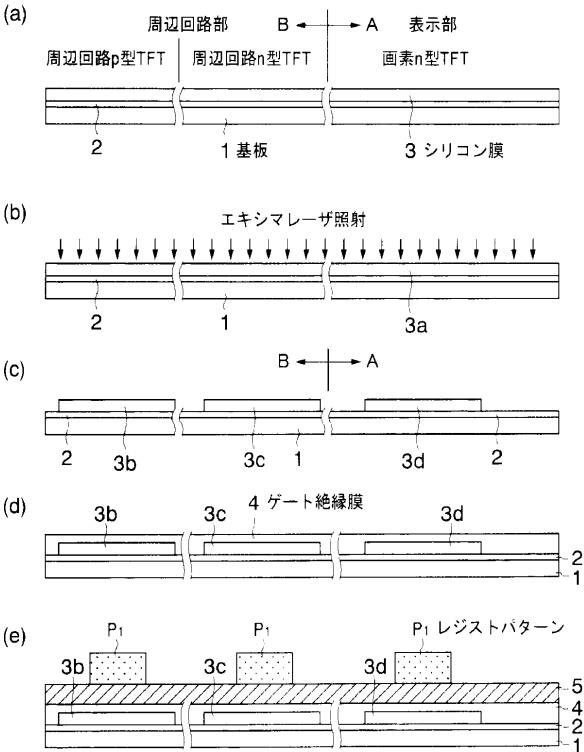


32

*電極、73、73a、73b...対向側パッド電極、74...液晶、80...画素セル、81...走査線、82...信号線、83、84...配向膜、A...表示部、B...周辺回路部。

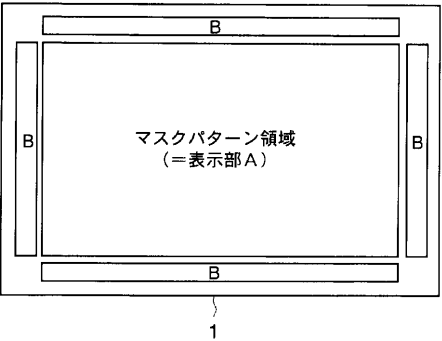
【図2】

本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その1）



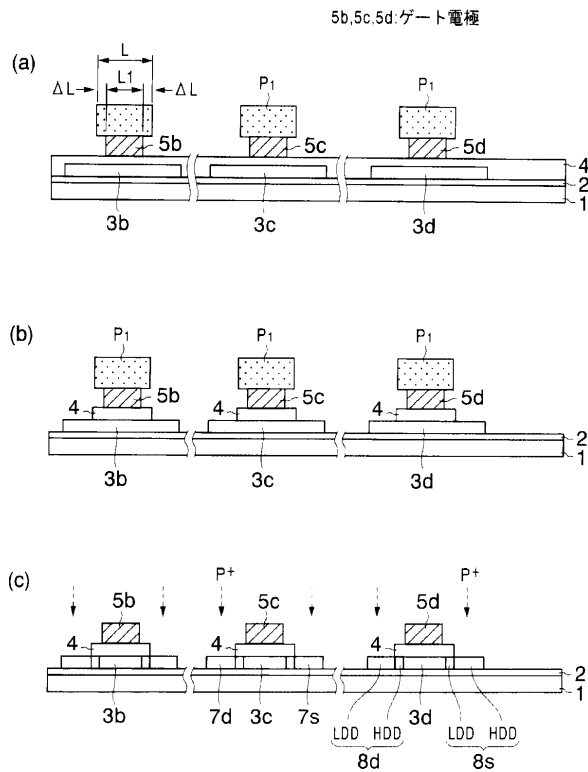
【図18】

本発明の第4実施形態に使用される三層目の金属層の形成領域を示す平面図



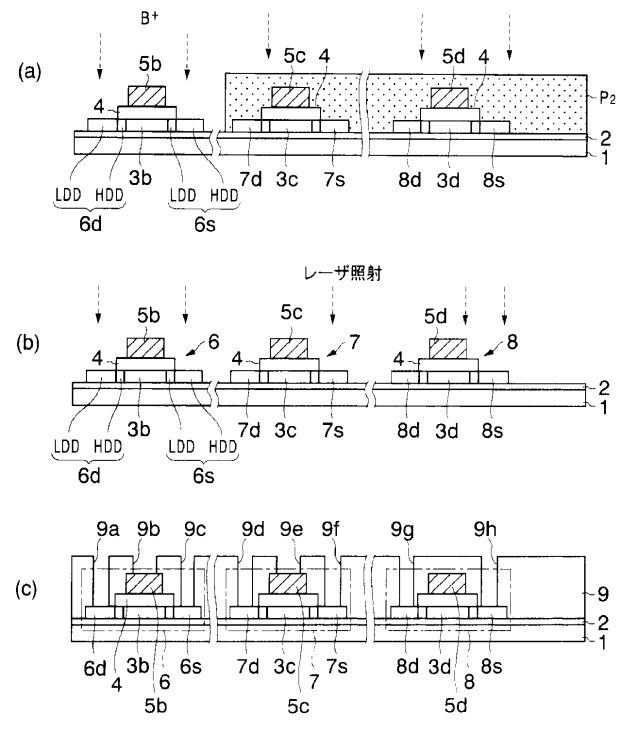
【図3】

本発明の第1実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その2）



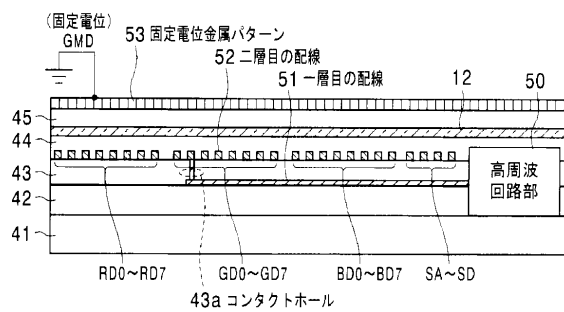
【図4】

本発明の第1実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その3）



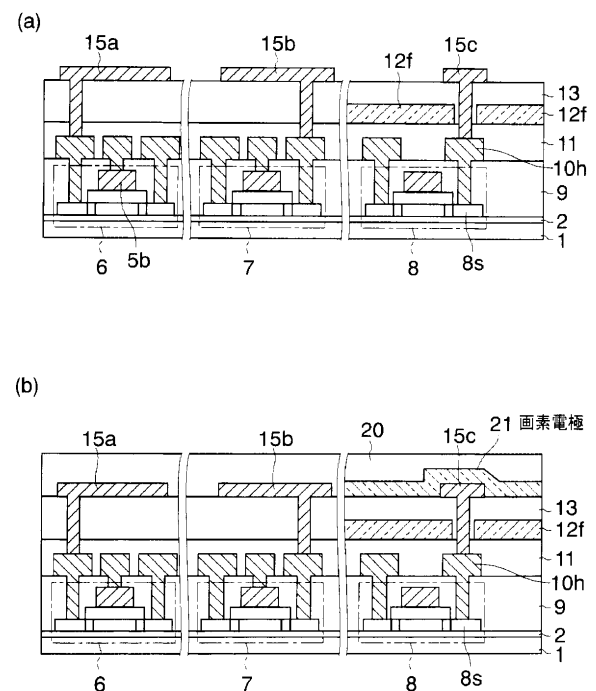
【図20】

本発明の第5実施形態に係る表示装置の別の高周波伝送回路の断面図



【図11】

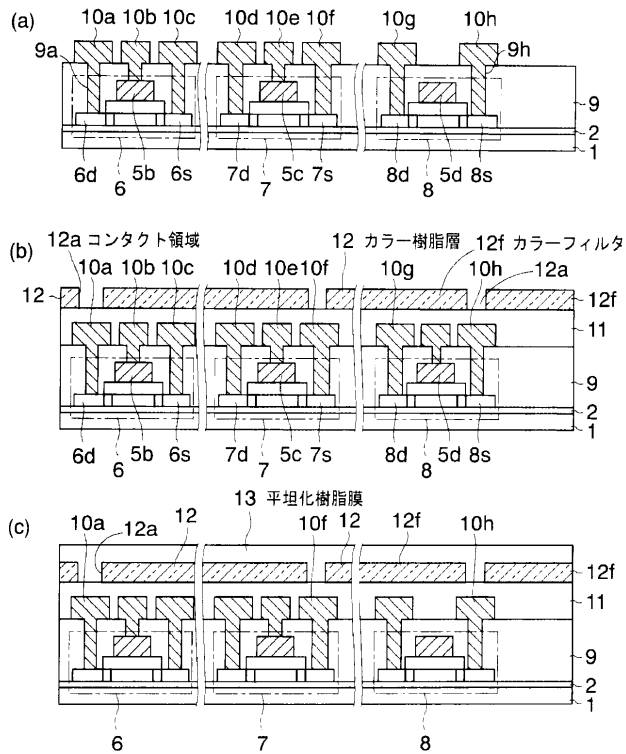
本発明の第2実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その2）



【図5】

本発明の第1実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その4）

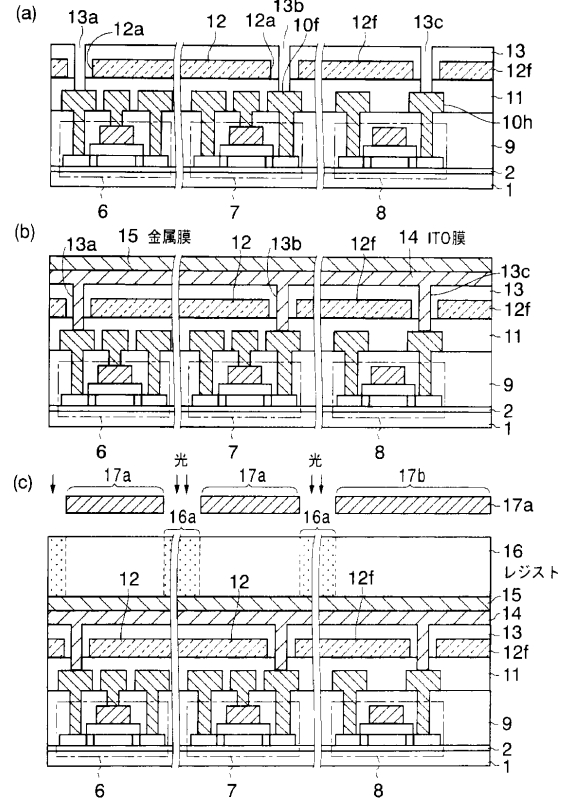
10a~10h：二層目の配線パターン



【図6】

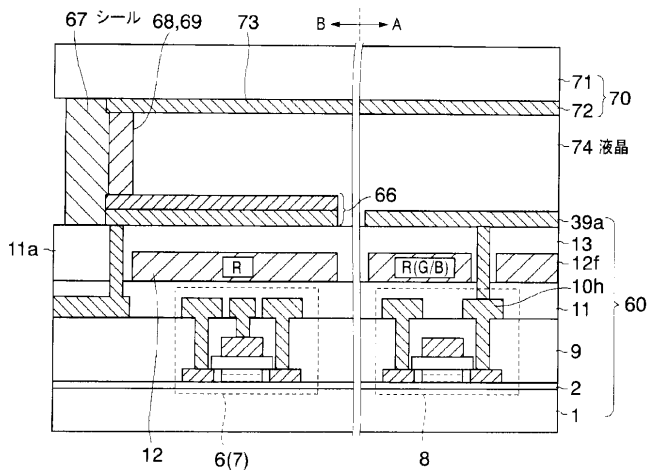
本発明の第1実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その5）

13a, 13b, 13c：コンタクトホール



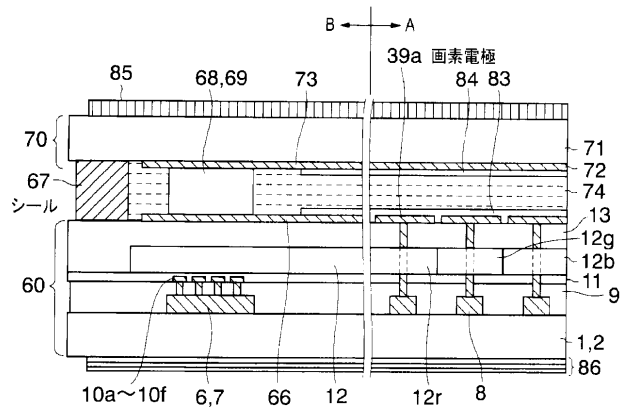
【図23】

本発明の第6実施形態に係る液晶表示装置の部分断面図



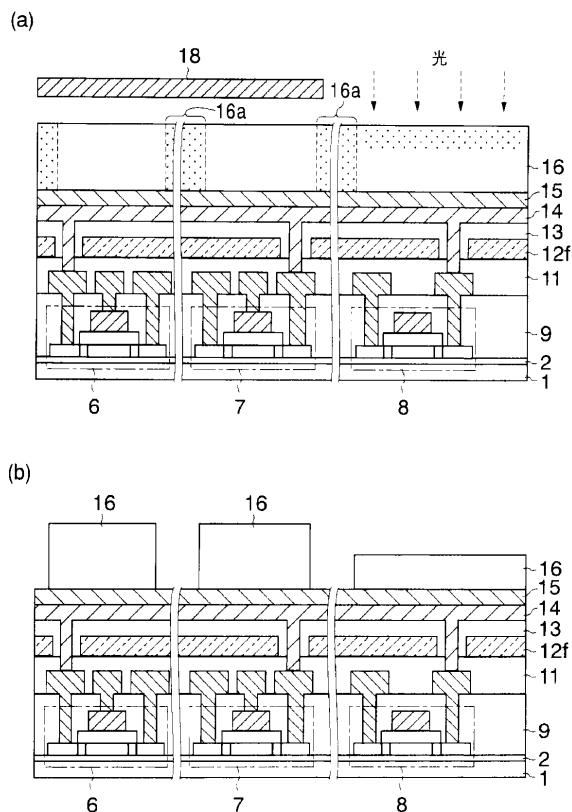
【図26】

本発明の第7実施形態に係る表示装置の部分断面図



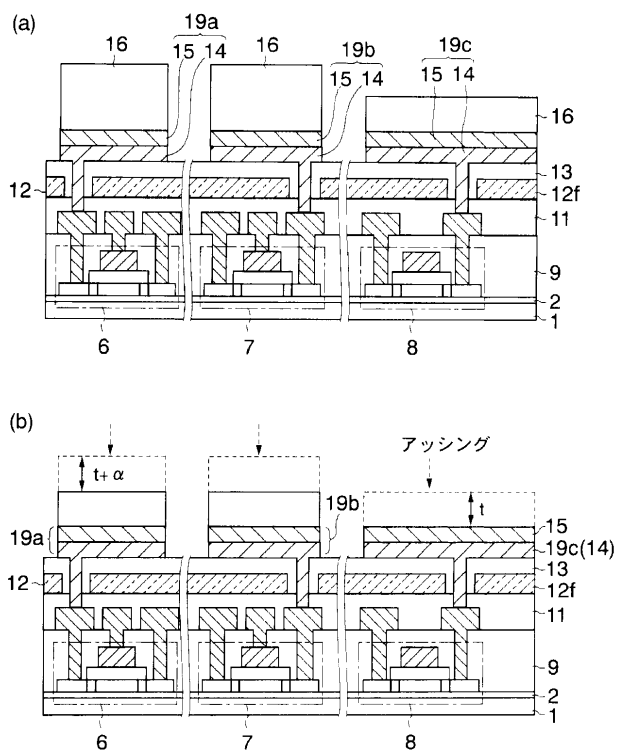
【圖 7】

本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その6）



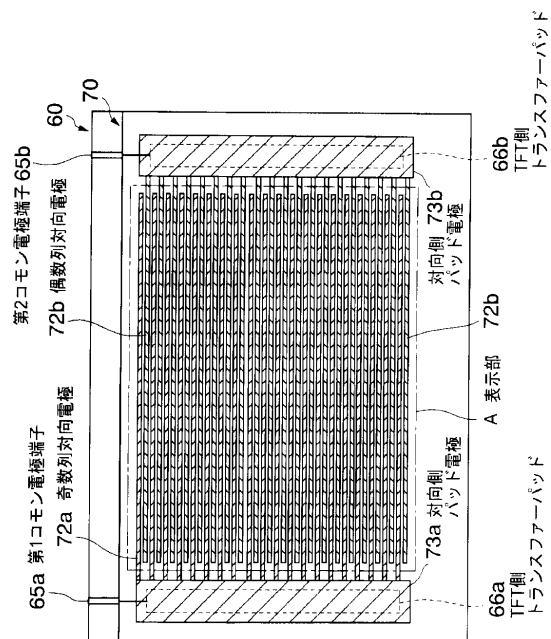
【図 8】

本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その7）



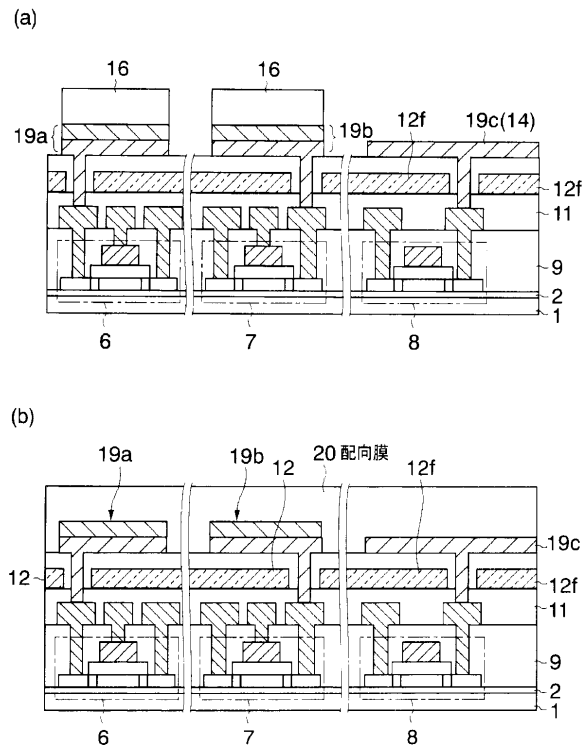
【圖 24】

本発明の第6実施形態に係る液晶表示装置の対向電極とTFT側トランスファープッドの形状の一部を示す平面図



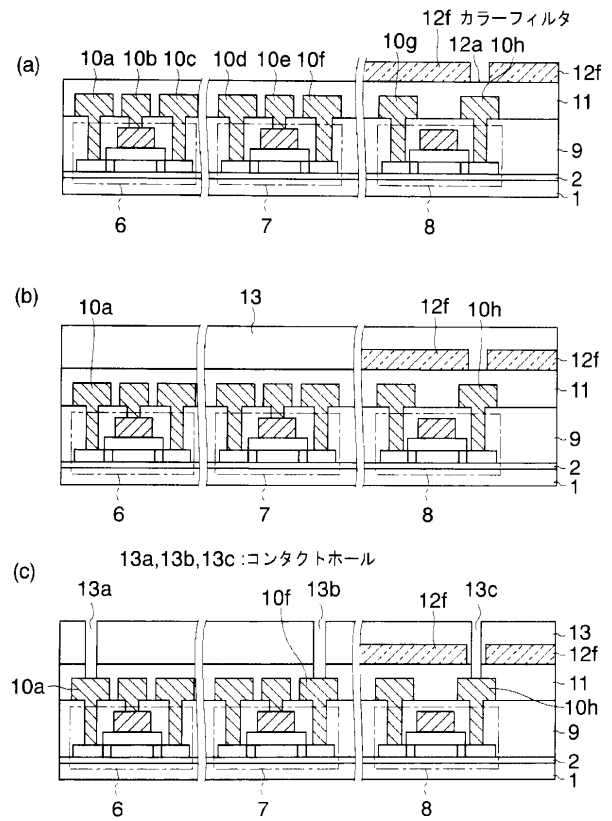
【図9】

本発明の第1実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その8）



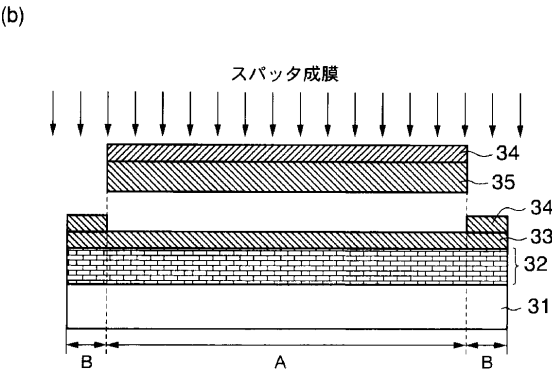
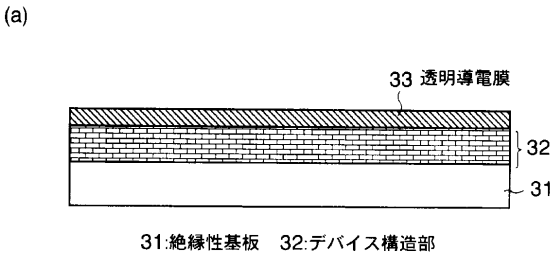
【図10】

本発明の第2実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その1）



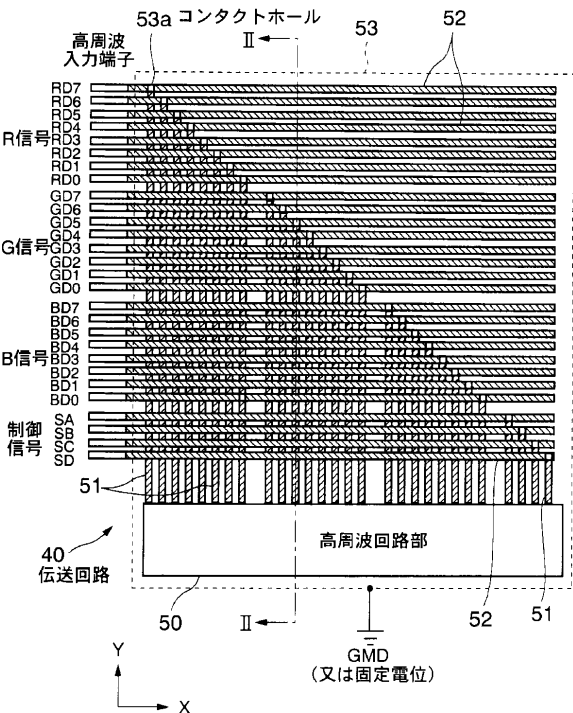
【図13】

本発明の第4実施形態に用いる第1のマスク選択スパッタ法を示す工程図



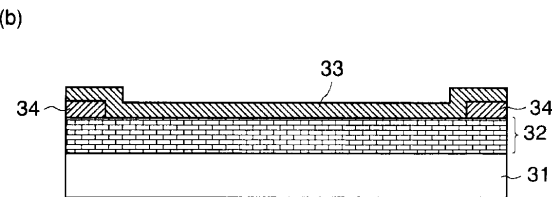
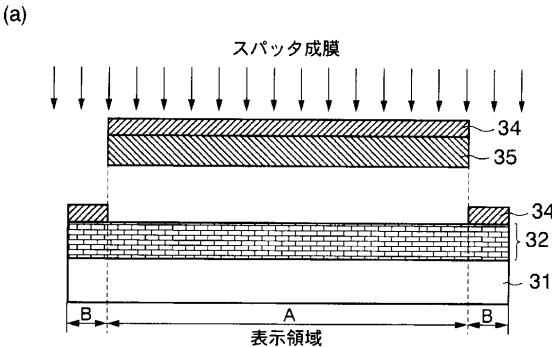
【図19】

本発明の第5実施形態に係る表示装置の高周波伝送回路の平面図



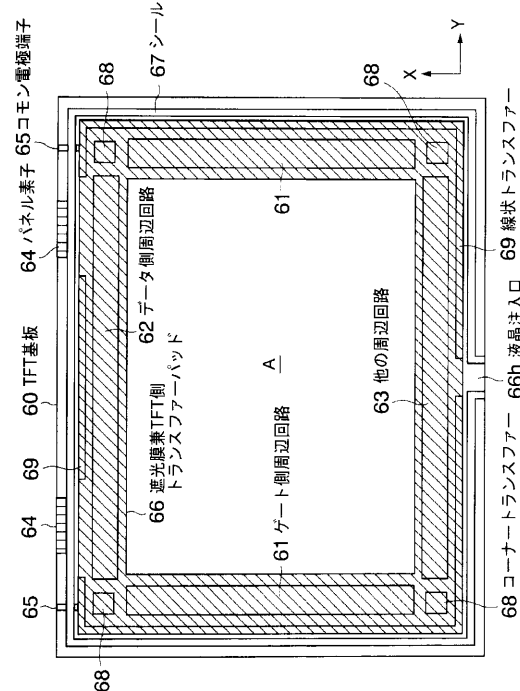
【図14】

本発明の第4実施形態に用いる第2のマスク選択スパッタ法を示す工程図



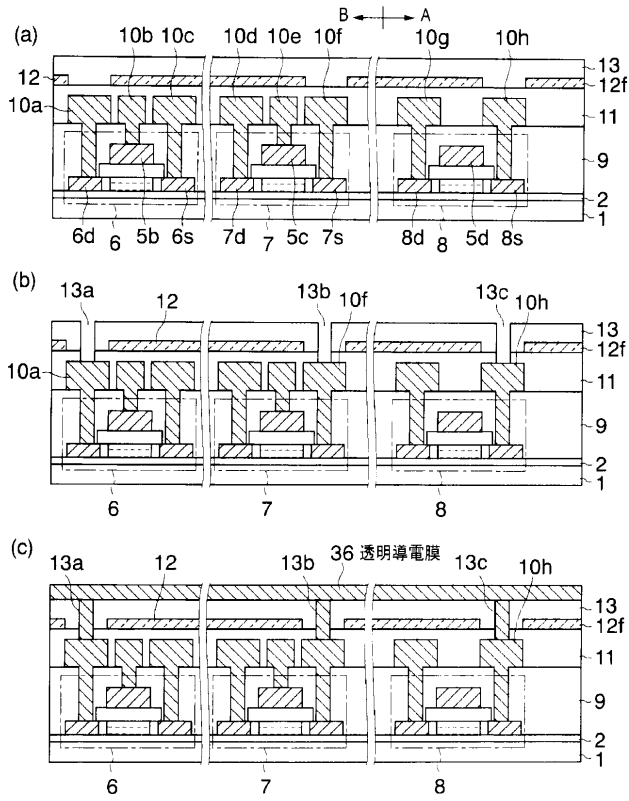
【図22】

本発明の第6実施形態に係る液晶表示装置の TFT基板と対向基板の接続構造を示す平面図



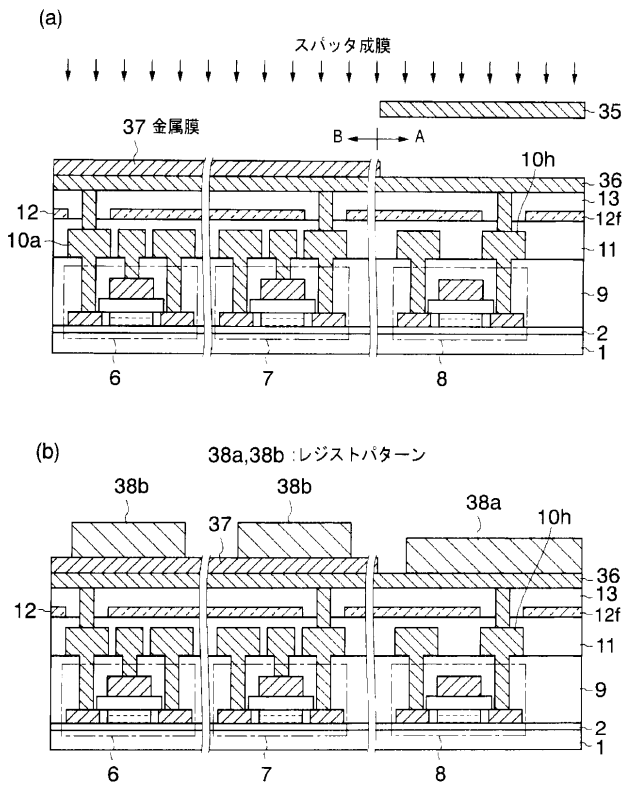
【図15】

本発明の第4実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その1）



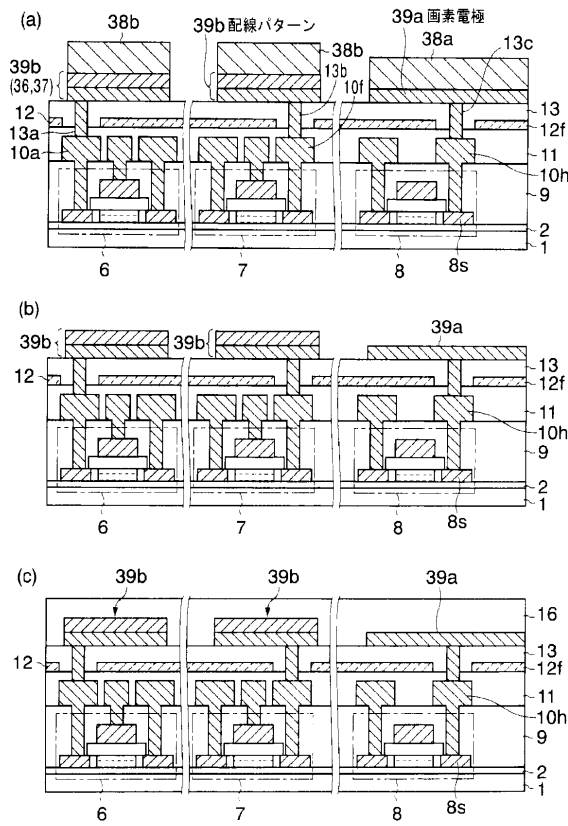
【図16】

本発明の第4実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その2）



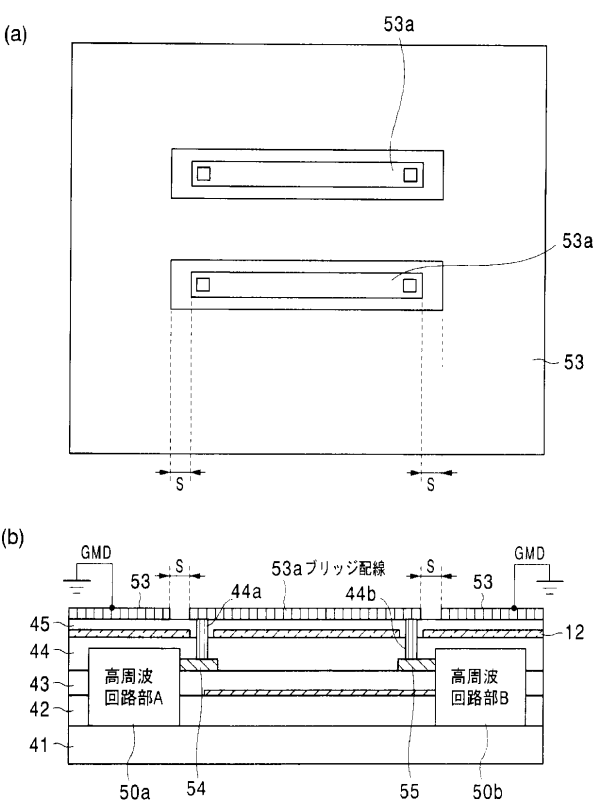
【図17】

本発明の第4実施形態に係る液晶表示装置の
TFT基板の製造工程を示す断面図（その3）

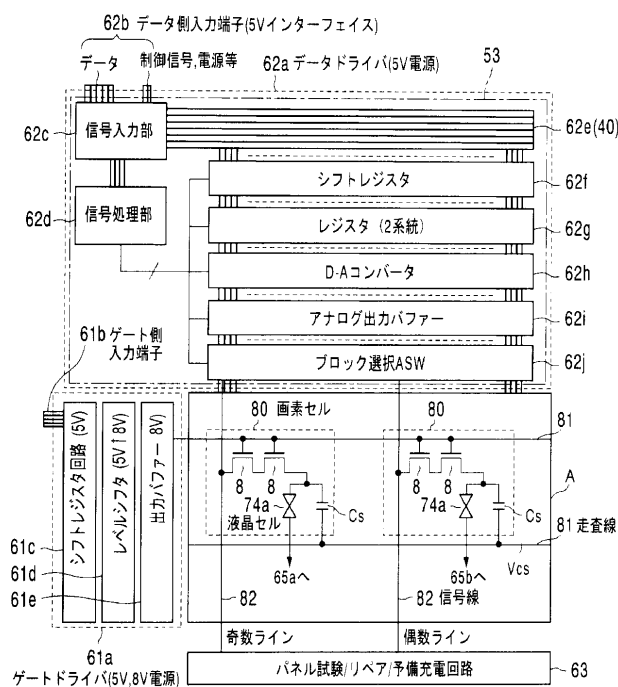


【図21】

本発明の第5実施形態に係る表示装置の高周波伝送回路の平面図と断面図



本発明の第7実施形態に係る液晶表示装置の表示部と周辺回路部の回路ブロック図



	FD14	FD24	LA03	LA11	LA12
	LA13	LA15			
2H092	HA15	JA25	JB13	JB38	JB58
	KB22	KB25	KB26	MA08	MA14
	MA15	MA16	MA18	MA19	MA20
	MA27	MA30	MA35	MA37	NA19
	NA25	PA08			
5C094	AA21	AA43	AA53	BA03	BA43
	CA19	CA24	DA09	DA14	EA04
	EA05	ED03	FA01	GB10	
5G435	AA16	AA17	BB12	CC09	CC12
	GG12	KK05			

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2003202589A	公开(公告)日	2003-07-18
申请号	JP2001401278	申请日	2001-12-28
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	張宏勇 佐藤精威		
发明人	張 宏勇 佐藤 精威		
IPC分类号	G02F1/1335 G02F1/1345 G02F1/1362 G02F1/1368 G09F9/00 G09F9/30 G09F9/35		
CPC分类号	G02F1/13454 G02F1/133514 G02F2001/136222		
FI分类号	G02F1/1368 G02F1/1335.505 G02F1/1345 G09F9/00.342.Z G09F9/30.349.B G09F9/35 G09F9/00.342		
F-TERM分类号	2H091/FA02Y 2H091/FC10 2H091/FC26 2H091/FD04 2H091/FD14 2H091/FD24 2H091/LA03 2H091/LA11 2H091/LA12 2H091/LA13 2H091/LA15 2H092/HA15 2H092/JA25 2H092/JB13 2H092/JB38 2H092/JB58 2H092/KB22 2H092/KB25 2H092/KB26 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA30 2H092/MA35 2H092/MA37 2H092/NA19 2H092/NA25 2H092/PA08 5C094/AA21 5C094/AA43 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA09 5C094/DA14 5C094/EA04 5C094/EA05 5C094/ED03 5C094/FA01 5C094/GB10 5G435/AA16 5G435/AA17 5G435/BB12 5G435/CC09 5G435/CC12 5G435/GG12 5G435/KK05 2H191/FA02Y 2H191/FC10 2H191/FC36 2H191/FD04 2H191/FD34 2H191/FD44 2H191/LA03 2H191/LA11 2H191/LA13 2H191/LA15 2H191/LA19 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CC72 2H192/DA02 2H192/EA07 2H192/EA32 2H192/EA42 2H192/EA44 2H192/EA67 2H192/FA12 2H192/FA22 2H192/FA26 2H192/FA73 2H192/FA81 2H192/FB02 2H192/FB33 2H192/GA04 2H192/GD61 2H192/HA13 2H192/HA45 2H291/FA02Y 2H291/FC10 2H291/FC36 2H291/FD04 2H291/FD34 2H291/FD44 2H291/LA03 2H291/LA11 2H291/LA13 2H291/LA15 2H291/LA19		
代理人(译)	横山纯一		
外部链接	Espacenet		

摘要(译)

解决的问题：在具有显示部分和外围电路部分的液晶显示装置中减小布线之间的电容。显示单元A具有多个晶体管8，像素电极39a，多个扫描总线 and 多个数据总线，以及第一基板60，该第一基板60具有连接到扫描总线 and 数据总线的外围电路单元B，在具有面对第一基板60的第二基板70和夹在第一基板60和第二基板70之间的液晶74的液晶显示装置中，像素电极设置在显示部分A中的晶体管8上。包括形成在39a的上和下侧之一上的滤色器12f和留在外围电路部分B中的用于滤色器12的彩色树脂膜12。

